

## SUMARI

Aquesta tesi doctoral es titula *A CMOS pixel vertex detector for the Super KEK-B experiment semiconductor tracker*. Aquesta tesi explicarà tota la investigació que s'ha desenvolupat en el laboratori IDLab, que es troba a la University of Hawai'i, i que correspon a l'*upgrade* del detector de pixel. Aquest resum explicarà breument els continguts de cada capítol present en aquesta memòria.

**Capítol 1 Introducció** Aquest capítol presenta una revisió d'alguns dels camps de coneixement en els quals es desenvolupa aquesta tesi. El primer camp que es menciona està relacionat amb la física experimental de partícules i introdueix breument els diferents tipus de detectors que es poden trobar en l'entorn d'un detector en termes molt generals, com podria ser un detector de *tracking*. Un exemple de detector de *tracking* és el detector basat en semiconductors, que és el tipus de detector presentat i desenvolupat en aquesta tesi. De totes les diferents opcions, el tipus de tecnologia escollida per desenvolupar en aquesta tesi correspon a MAPS, que també serà presentat. El següent aspecte que s'explicarà és una visió general de l'experiment Belle i que explicarà les raons que han portat a la necessitat d'actualització del *vertex detector*.

**Capítol 2 Detecció i *Tracking* de Partícules** Aquest capítol presenta una revisió tecnològica. Aquesta revisió descriu breument els detectors de *drift* i basats en CCD i també les seves aplicacions més exitoses en el camp de la física d'altres energies. El següent tipus de detectors que s'expliquen inclouen els detectors híbrids i monolítics (i semi-monolítics). Els detectors que s'han evaluat en aquesta tesi corresponen a detectors monolítics (o MAPS) en dos de les modalitats possibles: CMOS amb capa epitaxial i CMOS amb tecnologia SOI. Aquestes dues opcions tecnològiques són explicades detalladament, especialment la tecnologia SOI, i es procedeix a ressaltar les avantatges i desavantatges més importants presents en ambdues tecnologies. El següent aspecte que s'explica en aquest capítol és com es realitza la detecció de les partícules. La base de tots els detectors és la unió pn, i es fa una anàlisi detallada de la

capacitat d'unió present, la càrrega capturada i com es realitza la creació de la senyal que serà posteriorment detectada. L'últim aspecte que es presenta aquí és un anàlisi de les diferents arquitectures a nivell de píxel, que aniran desde la bàsica PPS a la més complexa APS. La majorment utilitzada és la APS, degut a l'amplificació que s'inclou en cada píxel present. Aquesta arquitectura ha anat evolucionant al llarg dels anys, presentant una arquitectura que es troba desde l'estructura bàsica que es diu de 3T a la que inclou una digitalització a nivell de píxel.

**Capítol 3 Principis d'Operació per un Detector** Aquest capítol s'inicia amb un llistat de les característiques més importants del silici, que el converteixen en el material més utilitzat en el desenvolupament de detectors de píxel i en la tradicional circuiteria digital o analògica que es desenvolupa en el camp de la microelectrònica. El següent aspecte considerat és la interacció de la radiació amb la matèria. Es presenta un anàlisi que inclou les pèrdues d'energia de partícules carregades pesades i també s'analitzen les fluctuacions que apareixen en les pèrdues. Un anàlisi similar es produeix també per les pèrdues d'energia produïda per electrons i fotons. Els últims aspectes que s'expliquen aquí inclouen l'energia per generació de portadors en un material semiconductor i el *multiple coulomb scattering*.

**Capítol 4 Upgrade de l'Experiment Belle** Aquest capítol s'utilitza per introduir l'entorn on el detector de píxel ha d'acabar treballant. Per començar aquesta introducció es farà una descripció de conceptes bàsics de física de partícules, l'experiment Belle, i de KEK. La segona explicació és una descripció de les característiques més importants de les *B-Factories* i especialment sobre KEK. KEK és l'accelerador on l'experiment Belle té lloc. Després d'aquesta introducció general, es presenten els resultats obtinguts amb els dos primers prototips. CAP1 és el primer prototipus, consisteix en una cel·la 3T bàsica, per la qual es presenten els resultats per la radiació a la qual el prototipus ha estat exposat, a part d'aquests resultats es fa un anàlisi de la velocitat de lectura obtinguda. CAP2 és el segon prototipus, i presenta una estructura bàsica que conté 10 cel·les d'emmagatzament per píxel. Aquestes cel·les poden

ser utilitzades per fer lectures amb CDS. De la mateixa manera que es va fer amb CAP1, els resultats de la radiació a la que el prototipus ha estat exposat es presenten, i també es realitzarà un anàlisi de la velocitat de lectura obtinguda.

**Capítol 5 *Continuous Acquisition Pixel 3 (CAP3)*** Aquest capítol s'utilitza per explicar l'arquitectura de CAP3 i per descriure tots els resultats de test obtinguts amb el *set-up* del laser. CAP3 es va fabricar utilitzant el procés de TSMC de  $0.25\mu\text{m}$ . L'arquitectura de pixel utilitzada aquí inclou un grup doble de 8 cel·les d'emmagatzament per pixel. El laser infraroig era detectat clarament, però la velocitat de lectura que s'obtenia amb aquest chip era molt baixa, en part, degut a que les capacitats que es trobaven a les línies de sortida eren molt altes.

**Capítol 6 *Continuous Acquisition Pixel 4 (CAP4)*** Aquest capítol s'utilitza per explicar les arquitectures que s'utilitzen en CAP4. En aquest capítol es descriurà amb més detall el *set-up* de test del laser. Les plaques COBI/PETRA són presentades com a parts del nou entorn que s'utilitzarà pel desenvolupament de la família CAP. Després d'això, l'arquitectura del CAP4 s'explicarà d'una manera general, per després entrar en detall en les dues arquitectures presents en aquest xip: *Wilkinson* i *Binary*. El prototipus amb lectura de sortida tipus *Wilkinson* és la continuació de l'estudi del tipus de lectures de sortida tipus analògic. Aquesta arquitectura presenta dues aventatges. La primera és la utilització d'una estructura tipus arbre per disminuir la capacitat del node de sortida. La inclusió d'un comparador cada 3-4 files permet la digitalització de la senyal obtinguda a nivell de pixel. La segona opció evaluada en el CAP4 era una estructura que realitza una molt més complexa digitalització a nivell de pixel. Aquesta opció analitza la possibilitat d'utilitzar un pixel amb gran nombre de circuiteria que s'encargaria de la detecció d'un *hit* dependent d'una senyal llindar. La característica més important d'aquesta aproximació és la transmissió de la informació de pixel a pixel, cap a la dreta i cap a l'esquerra. Aquesta arquitectura presenta dos tipus diferents de *layout*, que difereixen en el nombre de transistors PMOS utilitzats. El *layout*

que presentava més número de transistors PMOS va presentar resultats per velocitats de lectura de 10Mhz.

**Capítol 7 *Continous Acquisition Pixel 5 (CAP5)*** El capítol que descriu CAP5 estudia la possibilitat d'evitar les limitacions del número de transistors PMOS utilitzats, que apareixen en la utilització de CMOS amb capa epitaxial. La utilització d'un procés SOI és possible gràcies a una col·laboració de KEK amb l'empresa OKI. Aquests prototipus es van fabricar utilitzant un *run* del procés  $0.15\mu\text{m}$  de SOI. El pixel que es va enviar a fabricar seguia la mateixa arquitectura que en el *CAP4 binary*. La cel·la de lectura bàsica, amb el transistor de *reset* i amb l'estructura de *source-follower* van funcionar d'acord amb les expectatives, però el comparador i tota la circuiteria digital va mostrar un funcionament molt pobres. Aquest xip es va utilitzar per caracteritzar els transistors i comprovar els efectes d'utilitzar les obertures per les implantacions en les variacions de tensió llindar, mostrant resultats que no s'havien mostrat abans.

**Capítol 8 *Conclusions*** Aquest capítol presenta els majors assoliments aconseguits al llarg d'aquesta tesi. Un d'ells és la presentació d'una arquitectura a nivell pixel (*binary*) que mai abans havia estat utilitzada, encara que els resultats experimentals no són tan exitosos como era d'esperar. Es presentarà al prototipus de CAP6 que continuarà evaluant l'arquitectura de Wilkinson amb un procés de TSMC de  $0.35\mu\text{m}$  que s'ha enviat a fabricar en Octubre de 2007. El prototipus de CAP7 continuarà evaluant la solució *binary*. Aquesta solució es fabricarà utilitzant el procés de SOI de  $0.20\mu\text{m}$  de OKI. Aquest procés s'ha desenvolupat i utilitzat durant anys i ha mostrat un funcionament excel·lent. La fabricació de CAP7 es va realitzar al Gener del 2008 incloent una solució *binary* on el problema de *chattering* present en CAP4 s'ha intentat evitar.

## RESUMEN

Esta tesis doctoral se titula *A CMOS pixel vertex detector for the Super KEK-B experiment semiconductor tracker*. Esta tesis explicará toda la investigación que se ha desarrollado en el laboratorio IDLab, que se encuentra en la University of Hawai'i, y que corresponde al *upgrade* del detector de pixel. Este resumen explicará brevemente los contenidos de cada capítulo presente en esta memoria.

**Capítulo 1 Introducción** Este capítulo presenta una revisión de algunos de los campos de conocimientos en los cuales se desarrolla esta tesis. El primer campo que se menciona está relacionado con física experimental de partículas y introduce brevemente los diferentes tipos de detectores que pueden ser encontrados en el entorno de un detector a nivel general, como podría ser un detector de *tracking*. Un ejemplo de detector de *tracking* es el detector basado en semiconductores, que es el tipo de detectores que es presentado y desarrollado en esta tesis. De todas las diferentes opciones, el tipo de tecnología escogida para desarrollar en esta tesis corresponde a MAPS, que también será presentado. El siguiente aspecto que se explicará es una visión general del experimento Belle y que explicará las razones que han llevado a la necesidad de la actualización del *vertex detector*.

**Capítulo 2 Detección y Rastreo de Partículas** Este capítulo presenta una revisión tecnológica. Esta revisión describe brevemente a los detectores de *drift* y basados en CCD y también sus aplicaciones más exitosas en el campo de la física de altas energías. El siguiente tipo de detectores que se explican incluyen los detectores híbridos y monolíticos (y semi-monolíticos). Los detectores que han sido evaluados en esta tesis corresponden a detectores monolíticos (o MAPS) en dos de sus modalidades: CMOS con capa epitaxial y CMOS con tecnología SOI. Estas dos opciones tecnológicas son explicadas detalladamente, especialmente la tecnología SOI, y se procede a resaltar las ventajas y desventajas más importantes presentes en ambas tecnologías. El siguiente aspecto que se explica en este capítulo es como se realiza la detección

de las partículas. La base de todos los detectores es la unión pn, y se hace un análisis detallado de la capacidad de unión presente, la carga capturada y como se realiza la creación de la señal que será posteriormente detectada. El último aspecto que se presenta aquí es un análisis de las diferentes arquitecturas a nivel de pixel, que van desde la básica PPS a la más compleja APS. La mayormente utilizada es la APS, debido a la amplificación que se incluye en cada pixel presente. Esta arquitectura ha ido evolucionando a lo largo de los años, presentando una arquitectura que se encuentra desde la estructura básica llamada 3T a la que incluye una digitalización a nivel de pixel.

**Capítulo 3 Principos de Operación para un Detector** Este capítulo se inicia con un listado de las características más importantes del silicio, que lo convierten en el material más usado en el desarrollo de detectores de píxel y en la tradicional circuitería digital o analógica que se desarrolla en el campo de la microelectrónica. El siguiente aspecto considerado es la interacción de la radiación con la materia. Se presenta un análisis que incluye las pérdidas de energía de partículas cargadas pesadas y también se analizan las fluctuaciones que aparecen en las pérdidas. Un análisis similar se produce también para las pérdidas de energía producida por electrones y fotones. Los últimos aspectos que se explican aquí incluyen la energía por generación de portadores en un material semiconductor y el *multiple coulomb scattering*.

**Capítulo 4 Upgrade del Experimento Belle** Este capítulo se utiliza para introducir el entorno donde el detector de pixel tiene que acabar trabajando. Para empezar esta introducción se hará una descripción de conceptos básicos de física de partículas, del experimento Belle, y también de KEK. La segunda explicación es una descripción de las características más importantes de las *B-Factories* y especialmente sobre KEK. KEK es el acelerador donde el experimento Belle tiene lugar. Después de esta introducción general, se presentan los resultados obtenidos con los dos primeros prototipos. CAP1 es el primer prototipo, consiste de una celda 3T básica, con el cual se presentan los resultados de la radiación a la que el prototipo ha sido expuesto, a parte de estos resultados se hace un análisis de la velocidad de lectura obtenida. CAP2 es

el segundo prototipo, y presenta una estructura básica que contiene 10 celdas de almacenaje por pixel. Estas 10 celdas pueden ser utilizadas para hacer una lectura con CDS. Tal y como se hizo anteriormente con CAP1, los resultados de la irradiación a la que el prototipo ha sido expuesto se presentan, y también se realizará un análisis de la velocidad de lectura obtenida.

**Capítulo 5 *Continuous Acquisition Pixel 3 (CAP3)*** Este capítulo se utiliza para explicar la arquitectura de CAP3 y para describir todos los resultados de test obtenidos con el *set-up* del laser. CAP3 se fabricó utilizando el proceso de TSMC de  $0.25\mu\text{m}$ . La arquitectura de pixel usada aquí incluye un grupo doble de 8 celdas de almacenaje por pixel. El laser infrarrojo era detectado claramente, pero la velocidad de lectura que se obtenía con este chip era muy baja, en parte, debido a que las capacidades que se encontraron en las líneas de salida eran muy altas.

**Capítulo 6 *Continuous Acquisition Pixel 4 (CAP4)*** Este capítulo se utiliza para explicar las arquitecturas que se utilizan en CAP4. En este capítulo se describirá con mayor detalle el *set-up* de test del laser. Las placas COBI/PETRA son presentadas como partes del nuevo entorno que se usara para el desarrollo de la familia CAP. Después de esto, la arquitectura del CAP4 se explicará de un manera general, para después entrar en detalle en las dos arquitecturas presentes en este chip: *Wilkinson* y *Binary*. El prototipo con lectura de salida tipo *Wilkinson* es la continuación del estudio del tipo de lecturas de salida tipo analógico. Esta arquitectura presenta dos ventajas. La primera es la utilización de una estructura tipo árbol para disminuir la capacidad del nodo de salida. La inclusión de un comparador cada 3-4 filas permiten la digitalización de la señal obtenida a nivel de pixel. La segunda opción evaluada en el CAP4 era una estructura que realiza una mucho más compleja digitalización a nivel de pixel. Esta opción analiza la posibilidad de utilizar un pixel con gran número de circuitería que se encargaría de la detección de un *hit* dependiendo de una señal umbral. La característica más importante de esta aproximación es la transmisión de la información de pixel a pixel, hacia la derecha y hacia la izquierda. Esta arquitectura presenta dos

tipos diferentes de *layout*, que difieren en el número de transistores PMOS utilizados. El *layout* que presentaba mayor número de transistores PMOS presentó resultados para velocidades de lectura de 10Mhz.

**Capítulo 7 *Continous Acquisition Pixel 5 (CAP5)*** El capítulo que describe CAP5 estudia la posibilidad de evitar las limitaciones del número de transistores PMOS utilizados, que aparece en la utilización de CMOS con capa epitaxial. La utilización de un proceso SOI es posible gracias a una colaboración de KEK con la empresa OKI. Estos prototipos se fabricaron utilizando un *run* del proceso  $0.15\mu\text{m}$  de SOI. El pixel que se envió a fabricar seguía la misma arquitectura que en el *CAP4 binary*. La celda de lectura básica, con el transistor de *reset* y con la estructura de *source-follower* funcionaron de acuerdo con las expectativas, pero el comparador y toda la circuitería digital mostró un funcionamiento muy pobres. Este chip se utilizó para caracterizar los transistores y comprobar los efectos de utilizar las aberturas para las implantaciones en las variaciones de tensión umbral, mostrando resultados que no se habían mostrado antes.

**Capítulo 8 Conclusiones** Este capítulo presenta los mayor logros conseguidos a lo largo de esta tesis. Entre ellos esta la presentación de una arquitectura a nivel pixel (*binary*) que nunca antes había sido utilizada, aunque los resultados experimentales no son tan exitosos como era de esperar. Se presentará al prototipo de CAP6 que continuará evaluando la arquitectura de Wilkinson con un proceso de TSMC de  $0.35\mu\text{m}$  que se envió a fabricar en Octubre de 2007. El prototipo de CAP7 continuará evaluando la solución *binary*. Esta solución se fabricará utilizando el proceso de SOI de  $0.20\mu\text{m}$  de OKI. Este proceso se ha desarrollado y utilizado durante años y ha mostrado un funcionamiento excelente. La fabricación de CAP7 se realizó en Enero del 2008 incluyendo una solución *binary* donde el problema de *chattering* presente en CAP4 se intenta evitar.



## ABSTRACT

This dissertation is entitled *A CMOS pixel vertex detector for the super KEK-B experiment semiconductor tracker*. It will explain the research that has been done at the IDLab at the University of Hawai'i for the upgrade of the pixel detector. This summary will briefly explain the contents of each chapter that has been included.

**Chapter 1 Introduction** This chapter makes an overview of the fields that this dissertation has been developed. The first field is related to experimental particle physics and a brief description of the different kind of detectors that can be found in a complete detector environment, like a tracking detector. A tracking detector can be a semiconductor detector, which is the kind of detectors presented in this dissertation. From all the different possibilities, the option studied in this work is Monolithic (or Semi-Monolithic) Active Pixel Sensor (MAPS), that will be briefly introduced. The next aspect to be explained is a Belle experiment overview that explains the reason for the need for the upgrade of the vertex detector.

**Chapter 2 Particle Detection and Tracking** This chapter includes a technology review. This technology review describes drift and Charge-Coupled Device (CCD) detectors and their more successful applications in the field of high energy physics. The next kind of detectors explained include hybrid and monolithic (and semi-monolithic) detectors. The detectors that have been evaluated in this dissertation correspond to monolithic detectors: Complementary Metal Oxide Semiconductor (CMOS) with epitaxial layer and CMOS on Silicon on insulator (SOI). These two options are explained, specially the SOI technology, highlighting all the advantages and disadvantages presented by them. The next aspect that is explained in this chapter is how the detection is performed. The basis of all this semiconductor detectors are the p-n junction, where the junction capacitance, charge collection and signal formation are analyzed. The last aspect to be presented is the different pixel detector architectures, from the basic Passive Pixel Sensor (PPS) to the more complex

Active Pixel Sensor (APS). The most commonly used is the APS, because it includes amplification at pixel level. This approach has been evolving through the years, presenting a more complex architecture that will go from the basic 3 Transistor (3T) structure to the digitalization at pixel level.

**Chapter 3 Principle of Detector Operation** This chapter start listing the most important characteristics of the Silicon, that convert it as the most used material in pixel detector development and microelectronics digital/analog circuitry. The next aspect to be considered is the interaction of radiation with matter. There will be an analysis that includes the energy loss of heavy charged particles, and analyzing what are the fluctuations of loss. A similar analysis is performed for the energy loss by electrons and photons. The last aspects that are explained here include the energy for charge carrier generation in a semiconductor material and the multiple coulomb scattering.

**Chapter 4 Belle Experiment Upgrade** This chapter is used to introduce the environment where the pixel detector has to be working. To start this introduction basic particle physics and the Belle Experiment in Research Institute for High Energy Physics (KEK) are explained. The second explanation is related to B-Factories, specially to KEK. KEK is the accelerator where the Belle experiment is taking place. After this general introduction, the results obtained with the two first prototypes are introduced. Continuous Acquisition Pixel 1 (CAP1) is the first prototype, it consists of a basic 3T cell and irradiation studies and an analysis of the read-out speed is also presented. Continuous Acquisition Pixel 2 (CAP2) is the second prototype, it consists of a basic structure with 10 storage cells per pixel, that can be used to perform Correlated Double Sampling (CDS) read-out. As well as happened with CAP1, test beam results, irradiation studies and an analysis of the read-out speed is done.

**Chapter 5 Continuous Acquisition Pixel 3 (CAP3)** This chapter is used to explain the architecture of Continuous Acquisition Pixel 3 (CAP3) and to describe all the testing results obtained with the laser set-up. CAP3 was

developed using TSMC with a feature size of  $0.25\mu\text{m}$ . The pixel architecture used here includes a double 8 group of storage cells per pixel. The laser spot was detected. But the output speed obtained with this chip was too slow, because the capacitance at the output lines were too high.

**Chapter 6 Continuous Acquisition Pixel 4 (CAP4)** This chapter is used to explain the architectures of Continuous Acquisition Pixel 4 (CAP4). In this chapter the laser testing set-up is explained with more detail. The Compound Operational Board Interface (COBI)/Particle Electronics Test & Readout Application Board (PETRA) board are introduced as a part of the new environment used for the development of the Continuous Acquisition Pixel (CAP) family. Then, the CAP4 architecture will be generally explained, to enter into more detail in the 2 architectures included in this chip: the Wilkinson and the Binary read-out. Wilkinson read-out prototype keeps studying the analog read-out kind of system. This architecture would include two main advantages. The use of a tree output structure to decrease the capacitance at the output node. And the inclusion of a comparator every few rows that would digitalized the signal obtained at pixel level. The second option evaluated in this CAP4 was a more complex digitalization pixel structure. It analyzed the possibilities of using a pixel with circuitry that would take responsibility of the detection of a hit based on a general threshold signal. The main characteristic of this approach is the transmission pixel-by-pixel of the signal obtained for both sides, left and right. There were two different pixel layout included in the CAP4 layout. The main difference was the number of Positive-channel Metal-Oxide Semiconductor (PMOS) used. The approach with higher number of PMOS transistors showed results based in a read-out speed of 10Mhz.

**Chapter 7 Continuous Acquisition Pixel 5 (CAP5)** Continuous Acquisition Pixel 5 (CAP5) chapter analyzed the possibility of overcoming the limitation of PMOS transistor that appears in a CMOS with epilayer technology. The usage of a SOI process was available through a collaboration with KEK and OKI Electric Industry Co. Ltd. (OKI). This prototypes were fabricated using a second run of a  $0.15\mu\text{m}$  SOI process. The pixel that were submitted for

this process included the same architectural approach as CAP4 binary. The basic read-out cell, with the reset transistor and source-follower was working according to our expectations, but the comparator and all the digital circuits showed a very poor performance. This chip was used to characterized the transistors and see the real effects of using the openings on the variation of the threshold voltage, showing results that were never reported before.

**Chapter 8 Conclusions** This section presents the main achievements presented in all the dissertation, they are novelty of the pixel architecture used, even though the experimental results obtained have not been as successful as expected. CAP6 prototype will also continue evaluating the Wilkinson architecture in the  $0.35\mu\text{m}$  TSMC process was done in October 2007. CAP7 prototype will be evaluating the binary solution. This binary solution will be fabricated using a  $0.20\mu\text{m}$  SOI process of OKI. This process has been developed for several years and has shown great performance. CAP7 submission was done in January 2008 with improved binary solution to correct the pixel chatter problem.