

IV DISEÑO ESTRUCTURAL

En este capítulo se describe el proceso de diseño estructural de la interfaz. Para ello se describirá a nivel de dispositivo los diferentes bloques analógicos que configuran el modulador Δ - Σ . También se definirá el funcionamiento de la maquina de estados que controla el sistema.

Si se estudia el circuito escogido en el capítulo de diseño Funcional, se observa que este se compone de cinco elementos básicos, tal y como se muestra en la Figura 1.

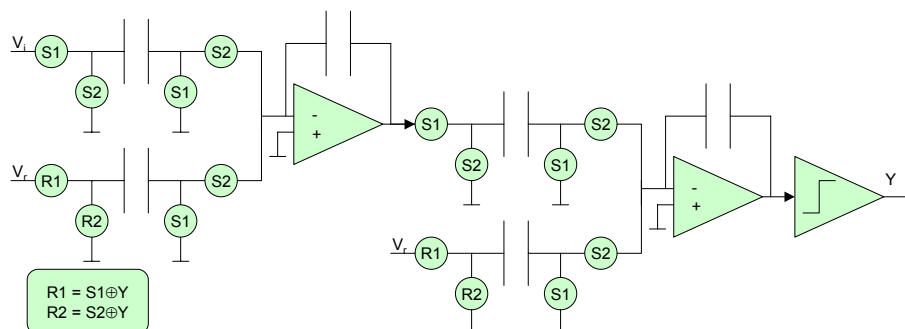


Figura 1. Circuito del modulador en modo test.

Estos componentes son:

- Capacidades
- OTA

-
- Comparador
 - Generador de Fase de Reloj
 - Máquina de control
 - Puertas de paso

Para realizar este diseño, se va a estudiar la arquitectura más adecuada para cada elemento, teniendo en cuenta las restricciones que aparecen como consecuencia de trabajar en una tecnología digital.

En primer lugar se estudian las posibles alternativas de implementación de capacidades compatibles con la tecnología escogida. Buscando en todo momento reducir las dimensiones del circuito que se va a realizar, sin perder prestaciones.

Posteriormente se estudia el OTA que se va a utilizar. Es importante realizar una buena selección del mismo, ya que junto con las capacidades, son los dos elementos que más pueden afectar a las características del modulador^[Gre86], y por ende de la interfaz.

Seguidamente se define el comparador, el cual actuará de convertidor analógico digital de un bit. Este elemento no es especialmente crítico en un modulador $\Delta-\Sigma$. Aunque no por ello se ha dejado de buscar la solución más adecuada al tipo de sistema que se está diseñando.

Por último se explica la forma en que se han implementado los circuitos de control del modulador. Estos incluyen el generador de fases de reloj, y la máquina de control. Esta última será la que controlará el cambio de la interfaz de un modo de trabajo a otro.

Como puertas de paso se ha utilizado la implementación habitual en tecnología CMOS formada por un transistor NMOS en paralelo con un transistor PMOS y configuraciones “dummy”.

IV.1 Capacidades en tecnología digital

Una de las mayores diferencias entre las tecnologías de fabricación analógicas y digitales radica en la disponibilidad de elementos lineales para el diseño de los circuitos. Así por ejemplo, en el primer caso es fácil encontrar resistencias y capacidades lineales gracias a la presencia de capas de alta resistividad y de dos niveles de polisilicio. Sin embargo, la disponibilidad de estos dispositivos implica el incremento del número de procesos tecnológicos, o lo que es lo mismo, el coste de fabricación del circuito.

Por este motivo, y teniendo en cuenta el bajo coste que se ha exigido desde el primer momento, el diseño se ha basado únicamente en tecnología digital CMOS con una única capa de polisilicio, en este caso Atmel-ES2 0,7 μ m.

IV.1.1 Capacidades lineales

Por capacidades lineales, se entienden aquellas que siguen una ley de proporcionalidad entre la carga y la tensión:

$$C = \frac{q}{V} \quad (\text{Ec. 1})$$

Todo el principio de diseño de los sistemas basados en capacidades conmutadas se rige por esta ley. Por lo tanto, hacer uso de capacidades no-lineales implicará una modificación de la arquitectura básica del circuito. Partiendo de este hecho se han buscado las capacidades lineales disponibles en una tecnología en la que no está pensado hacer uso de ellas.

En la tecnología de ES2 se disponen de 3 capas de conductores (poly, metal1 y metal2) separadas por un dieléctrico (óxido de silicio amorfo). Por lo tanto, si se hace uso de apilamientos del tipo conductor-dieléctrico-conductor, se pueden conseguir capacidades plano paralelas de comportamiento lineal.

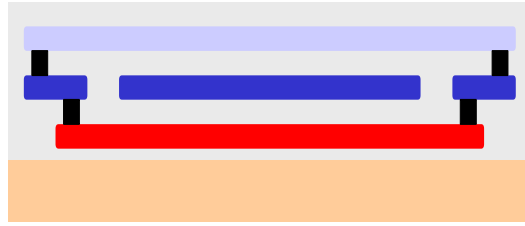


Figura 2. Dibujo de una capacidad lineal de tipo sándwich.

En la Figura 2 superior se muestra un sección transversal de una capacidad lineal. Se observa el apilamiento de tres capas conductoras. La superior y la inferior (metal2 y polisilicio respectivamente) son un electrodo, mientras que la de en medio (metal1) es el segundo electrodo. Las dos capas exteriores se interconectan adecuadamente.

Este tipo de capacidad presenta peores prestaciones que las capacidades obtenidas mediante una de tecnología analógica con dos niveles de polisilicio, ya que su capacidad por unidad de área es menor. Esto implica un aumento de la superficie necesaria para la realización del circuito.

Otro aspecto que debe ser tenido en cuenta es la elevada desviación estándar que se obtiene en el valor de la capacidad por unidad de área. Esto se debe en gran medida a la utilización de un dieléctrico cuyo único objetivo es el de asegurar un buen aislamiento eléctrico entre conductores. Por ello, el grosor y las características del óxido resultante no se controlan con gran precisión.

Esto conlleva que si se quiere hacer uso de ellas como capacidades de referencia, se ha de hacer una calibración oblea a oblea, e incluso chip a chip. En caso contrario se pueden encontrar disparidades muy grandes entre circuitos.

A modo de resumen, se puede decir que en la tecnología digital se disponen de capacidades lineales, con los siguientes condicionantes:

- Baja capacidad por unidad de área
- Baja repetibilidad entre obleas

Por lo tanto, sería interesante buscar otro tipo de capacidades que permitan mejorar los aspectos anteriores.

IV.1.2 Capacidades MOS

Si se estudia cual es el proceso tecnológico que se sigue para la realización de capacidades lineales en tecnologías analógicas, se ve que es básicamente el mismo que se utiliza para hacer las capacidades de puerta de los transistores MOS.

En el caso de tecnologías analógicas, las capas conductoras son de poly, entre las que hay oxido de puerta^[Pei97]. En el caso de transistores MOS, hay una capa conductora (poly) y una semiconductor (substrato).

La necesidad de introducir una capa más de poly implica un proceso tecnológico más al tener que crear la segunda capa.

Tanto el óxido de puerta, como el crecido entre dos capas de poly son buenos dieléctricos para realizar capacidades ya que tienen un grosor pequeño (lo que aumenta la capacidad por unidad de área), a la vez que son procesos que están más controlados^[Cre81].

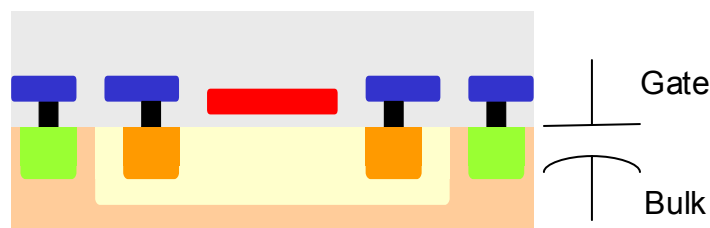


Figura 3. Dibujo de una capacidad MOS y símbolo utilizado.

Además, una capacidad MOS está implícita en cualquier tecnología digital MOS, ya que forma parte de cualquier transistor MOS. Sin embargo, el valor de la capacidad resultante tiene una gran dependencia en tensión, siendo poco lineal. Por este motivo no suelen ser utilizadas en circuito analógicos sensibles a este aspecto. Sin embargo, es posible obtener un comportamiento lineal de un circuito basado en capacidades MOS si se realiza con la arquitectura adecuada.

Para verificar el comportamiento de las capacidades MOS se han analizado un conjunto de estructuras de test^[Gom97]. Estas estructuras de test se han realizado con un proceso digital de Atmel-ES2 ECPD10. Este proceso solo dispone de dos niveles de metal, además del de poly.

La capacidad MOS se basa en la estructura de un transistor MOS. Un electrodo lo constituye la puerta, y el otro es el pozo (tipo N). En este caso, no existe ni drenador, ni fuente. La puerta esta rodeada por un anillo que permite polarizar el sustrato de forma homogénea.

El conjunto de estructuras de test esta constituido por capacidades de diferentes áreas. Estas se muestran en la Figura 4.

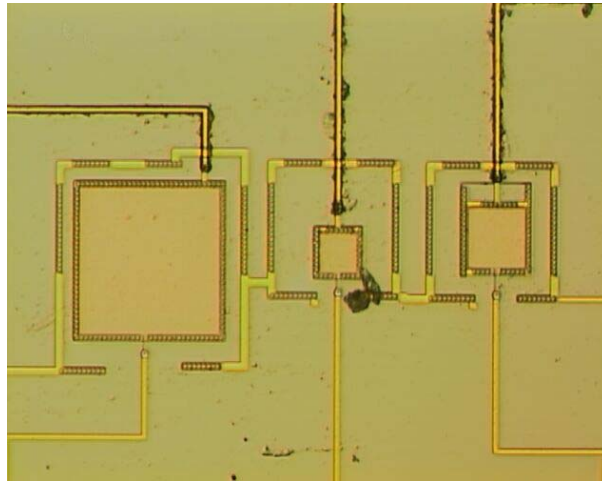


Figura 4. Fotografía de las capacidades MOS.

IV.1.2.1 Medidas experimentales

A partir de las estructuras de test se han realizado dos estudios. En el primero se ha obtenido la característica $C(V)$ a alta frecuencia de una capacidad MOS realizada en esta tecnología, para diferentes áreas. Estos resultados se muestran en la Figura 5.

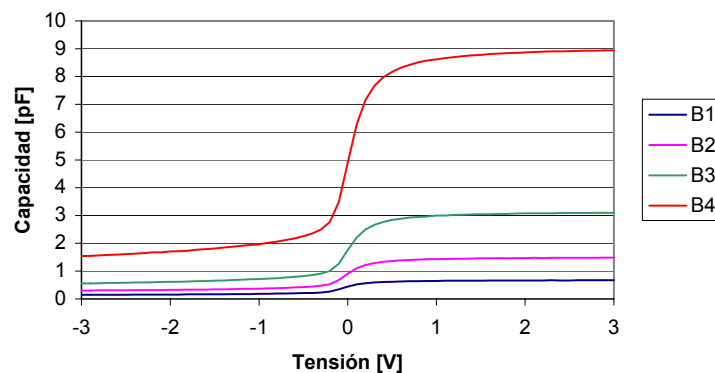


Figura 5. Curvas capacidad frente a tensión para capacidades de diferentes dimensiones. El área son $400\mu\text{m}^2$, $900\mu\text{m}^2$, $1936\mu\text{m}^2$ y $5625\mu\text{m}^2$ para B1, B2, B3 y B4 respectivamente.

En ella se observa el comportamiento no-lineal de este tipo de capacidades. La relación entre la capacidad de inversión y la de acumulación es de 1:6. Por lo tanto, este tipo de capacidad debe ser utilizada con precaución, ya que puede introducir no-linealidades^[Beh92].

IV.1.2.2 Modelo de la capacidad MOS

Teniendo en cuenta que se desea utilizar estas capacidades en el circuito que se va a diseñar, se considera interesante disponer de un modelo de capacidad MOS fiable. Por este motivo se hace una primera comparación de los resultados experimentales con los obtenidos de simulaciones con el modelo de ELDO nivel 6. Los resultados se muestran en la gráfica siguiente.

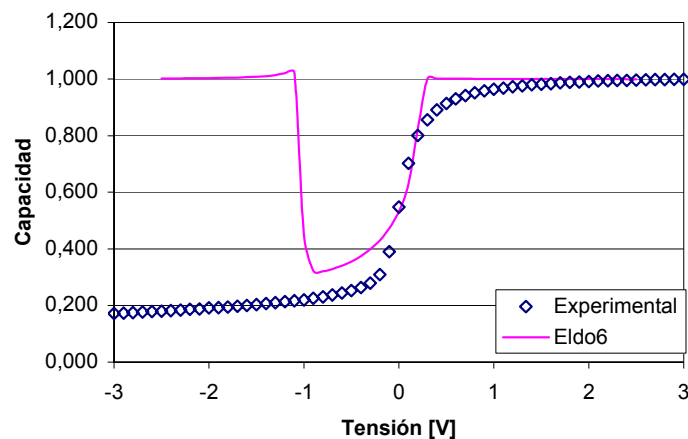


Figura 6. Comparación resultados experimentales y simulación con modelo ELDO6.

En el se observa la curva de la capacidad MOS obtenida por simulación se desvía de forma notable respecto a la experimental, ya que el comportamiento que simula es el de baja frecuencia. Este hecho hace evidente la necesidad de obtener un buen modelo de la capacidad. Éste lo encontramos en la literatura^[Nic82].

Basándose en él, se ha realizado un modelo para Matlab y otro para HDL-A (ver Anexo B), de forma que es posible simular el efecto de la capacidad MOS en cualquier circuito analógico. El resultado del modelo MOS se muestra en la Figura 7.

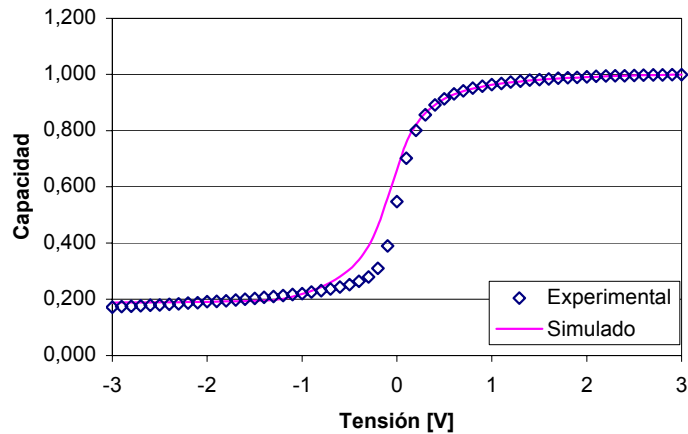


Figura 7. Comparación resultados experimentales y simulación del modelo de capacidad MOS

En ella se puede observar la buena concordancia en las regiones de acumulación y de fuerte inversión.

IV.2 Diseño con capacidades MOS

El diseño con capacidades MOS puede introducir distorsión armónica^[Beh92], y por lo tanto ser una posible fuente de errores. A continuación se presenta un estudio de posibles arquitecturas basadas en capacidades MOS, con el fin eliminar o minimizar dicho error.

IV.2.1 Arquitecturas SC con capacidades MOS

Para analizar el efecto de la capacidad MOS en las diferentes arquitecturas se ha escogido un integrador como circuito de test, ya que es la célula básica de un modulador $\Delta-\Sigma$. Además realiza una integración del error, por lo que será más sencillo hacer un estudio de los resultados. El esquema del integrador se muestra en la Figura 8.

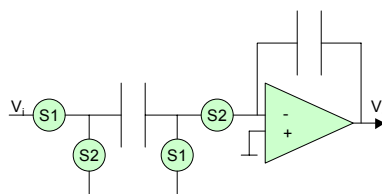


Figura 8. Esquema de un integrador ideal.

Se ha realizado una simulación con tres modelos de integrador. El primero es un integrador ideal con capacidades lineales. El segundo es un integrador al que se le han substituido las capacidades lineales por capacidades MOS.

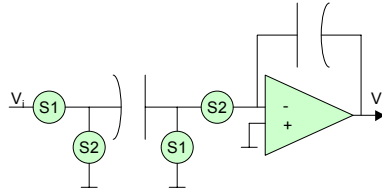


Figura 9. Esquema de un integrador con capacidades MOS.

El tercero se basa en la substitución de la capacidad lineal por una configuración especial de las capacidades MOS^{[Yos95][Yos96]}. Dicha configuración se basa en la conexión en serie de dos capacidades MOS. El punto de conexión entre ambas es el electrodo de la puerta. En la Figura 10 se muestra un esquema simplificado.

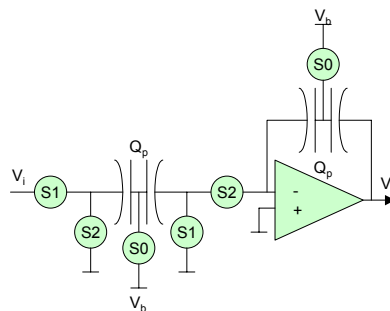


Figura 10. Esquema de un integrador con capacidades MOS linealizadas.

Los contactos de puerta se encuentran polarizados de tal forma que su punto de trabajo se ha desplazado a la zona de acumulación. Que es una de las zonas donde el comportamiento de la capacidad depende poco del valor de la tensión, tal y como se muestra en la Figura 11.

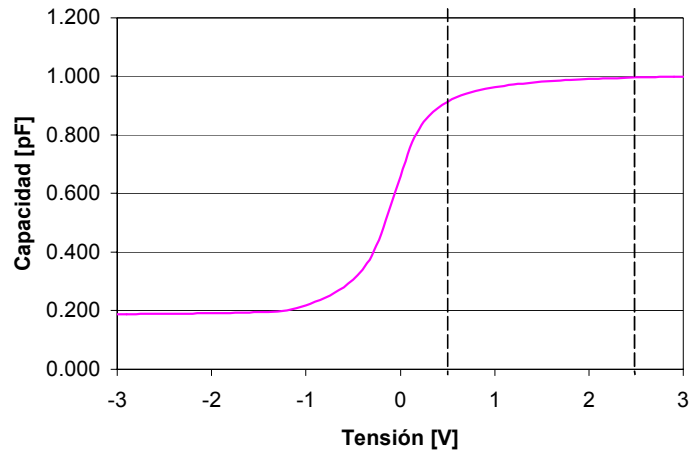


Figura 11. $C(V)$ de una capacidad MOS

En ella se ha dibujado también el rango de trabajo de la capacidad, teniendo en cuenta su punto máximo es la tensión de polarización (2,5V), y el valor mínimo se localiza en el inicio de la zona de acumulación (0,5V). Este último se ha definido, imponiendo la condición de que dentro de este intervalo, la variación del valor de la capacidad es inferior al 10%.

Teniendo en cuenta estos márgenes, se ha fijado el punto de trabajo (V_b) en 1,5V, y se ha simulado el comportamiento de la capacidad en serie. El resultado se muestra en la Figura 12.

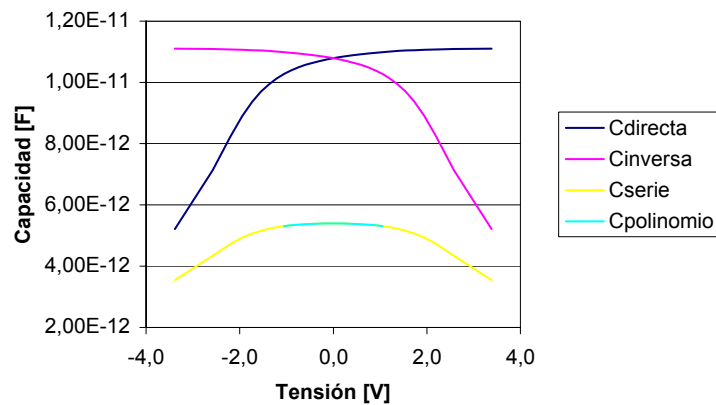


Figura 12. Relación $C(V)$ para el modo de trabajo en serie.

En ella se ha dibujado en primer lugar la aportación que tienen cada una de las capacidades ($C_{directa}$ y $C_{inversa}$) cuando se trabaja en este modo. Por debajo de ambas se encuentra la capacidad resultante de conectar ambas capacidades en serie (C_{serie}).

Teniendo en cuenta que el punto de trabajo de las capacidades esta en 1.5V, el rango máximo de variación de la capacidad es $\pm 2V$. Se ha fijado la salida del integrador entre $\pm 1V$ para evitar que la tensión aplicada a la capacidad de salida este próxima a la tensión de polarización. Para modelizar esta capacidad se ha hecho un ajuste polinómico ($C_{\text{polinomio}}$), el resultado se muestra superpuesto en la Figura 12. Con esta arquitectura se consigue una linealidad próxima al 2%.

Para poder polarizar la capacidad es necesario introducir una nueva fase en el integrador (S0)^[Yos95] tal como aparece en la Figura 10. En ella se inyectan las cargas necesarias en las puertas para que la capacidad MOS trabaje en acumulación. Para ello se polarizan a la tensión V_b . Una vez realizado este paso, se abre el conmutador, consiguiendo que ambas capacidades se mantengan en dicha zona.

Se continúa con las dos fases habituales de un integrador, y una vez terminado este proceso, se vuelven inyectar las cargas que se puedan haber perdido debido a las resistencias parásitas de nuevo en la fase S0.

Si se aplica una señal sinusoidal de 10mV de amplitud a la entrada del integrador se obtienen los resultados que se muestran en la Figura 13.

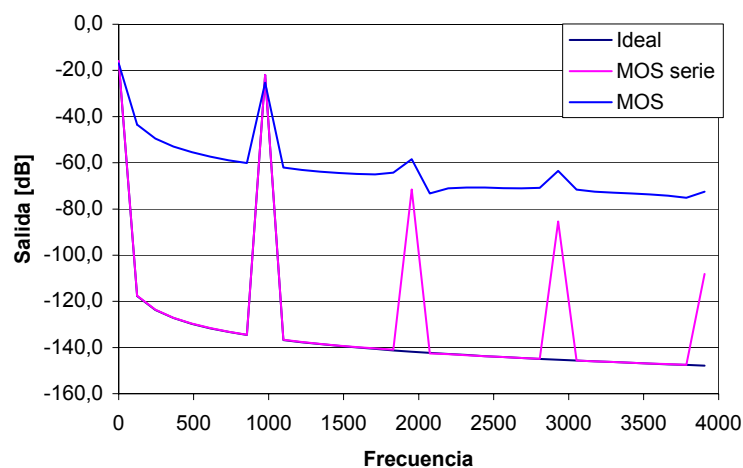


Figura 13. Espectro de frecuencia de la respuesta de tres integradores frente a una senoide de 10mV.

La salida del integrador realizado con capacidades lineales es una senoide, y no contiene ningún armónico, como cabría esperar. Su espectro

queda completamente cubierto por el del integrador MOS serie, excepto en los picos de los armónicos de este último.

En el caso del integrador con una capacidad MOS, la respuesta es una señal compuesta por una senoide, sus armónicos, y un suelo de ruido introducido por la no-linealidad del sistema. Se observa que apenas se consiguen 20dB de relación señal-ruido.

Por último, el integrador con dos capacidades MOS en serie tiene un comportamiento muy próximo al del integrador ideal. Sin embargo, contiene armónicos, cuya amplitud está alrededor de 50dB por debajo de la del armónico principal. Esto lo hace inadecuado para un modulador $\Delta-\Sigma$, ya que limita la resolución del sistema.

Como resumen, se puede concluir que ninguna de las soluciones anteriores basada en capacidades MOS es válida cuando se desea hacer uso de un sistema basado en integradores.

IV.2.2 Propuesta de arquitectura

Ateniéndose a los resultados presentados en la sección precedente, nos hemos planteado buscar una nueva arquitectura basada en capacidades MOS.

En las propuestas anteriores, el enfoque ha consistido en realizar correctamente la integración de la tensión. Este planteamiento no está dando los resultados apetecidos, por lo que se propone su modificación.

Si se estudia un circuito basado en capacidades conmutadas (SC), es evidente que las relaciones entre las tensiones de entrada y de salida de los circuitos dependen exclusivamente de la frecuencia y de las relaciones entre capacidades.

A modo de ejemplo, si se calcula la ecuación que rige el integrador de la figura:

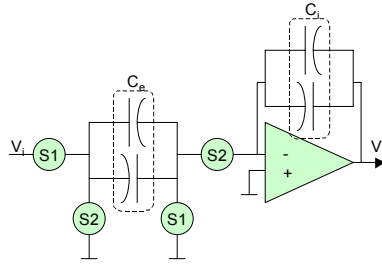


Figura 14. Esquema de un integrador con capacidades MOS.

Se puede observar que ésta es:

$$I_V(z) = \frac{V_s}{V_e} = \frac{C_e}{C_i} \frac{z^{-1}}{1 - z^{-1}} \quad (\text{Ec. 2})$$

La cual depende, tal y como se ha indicado, de la relación entre capacidades, y de forma implícita de la frecuencia, que está contenida dentro de la variable Z.

Si se estudia la ecuación que describe el comportamiento de una capacidad MOS, se observa que esta depende básicamente de los siguientes parámetros^[Nic82].

$$C(V) = \frac{A}{d} C_0(\epsilon_{Si}, \epsilon_{ox}, N, T, V) \quad (\text{Ec. 3})$$

Donde A es el área de la capacidad y d es el grosor del dieléctrico. ϵ_{Si} y ϵ_{ox} son las constantes dieléctricas del silicio y el oxido de puerta respectivamente. N es la densidad de impurezas, T es la temperatura y V es la tensión aplicada entre los electrodos.

De todos estos parámetros, solo V y A varían, ya que el resto están fijados por la tecnología. La función queda simplificada de la siguiente forma.

$$C = AC_0(V) \quad (\text{Ec. 4})$$

Si las capacidades son lineales, y por lo tanto no dependen de V, la ecuación del integrador pasa a ser

$$I_V(z) \equiv \frac{V_s}{V_e} = \frac{A_e}{A_i} \frac{z^{-1}}{1 - z^{-1}} \quad (\text{Ec. 5})$$

Y por lo tanto, el circuito pasa a depender únicamente de relaciones entre áreas. Principio en el que se basa todo los circuitos integrados de capacidades conmutadas.

Sin embargo, si las capacidades no son lineales, se tiene que trabajar en el plano temporal, y la ecuación del integrador pasa a ser

$$V_s[n] = \frac{A_i C_0 (V_s[n-1]) V_s[n-1] + A_e C_0 (V_e[n-1]) V_e[n-1]}{A_i C_0^{-1} (A_i C_0 (V_s[n-1]) V_s[n-1] + A_e C_0 (V_e[n-1]) V_e[n-1])} \quad (\text{Ec. 6})$$

Si en lugar de extraer la función a partir de las tensiones, se hace a partir de las cargas se obtiene

$$\begin{cases} q_s[n] = q_i[n-1] + q_e[n-1] \\ V_s = \frac{q_s}{A_i C_0^{-1}(q_s)} \\ q_e = A_e C_0(V_e) V_e \end{cases} \quad (\text{Ec. 7})$$

Se observa que la integración de cargas es lineal, en caso contrario no se cumpliría la ley de conservación de la carga. Sólo aparecen no-linealidades cuando se realiza la conversión tensión-carga y carga-tensión. Teniendo en cuenta este aspecto, se realiza el mismo estudio basándose en la relación que existe entre las cargas. Para ello se analiza el circuito de la Figura 15.

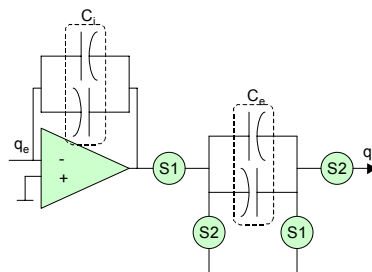


Figura 15. Esquema de un integrador de carga.

Que tiene por ecuación:

$$q_s[n] = q_s[n-1] + \frac{C_e}{C_i} q_e[n-1] \quad (\text{Ec. 8})$$

Este circuito realiza la integración de carga. Además, se observa que al substituir las capacidades lineales por capacidades MOS (Ec. 4) se obtiene:

$$q_e[n] = q_e[n-1] + \frac{A_e C_0(V)}{A_i C_0(V)} q_i[n-1] = q_e[n-1] + \frac{A_e}{A_i} q_i[n-1] \quad (\text{Ec. 9})$$

Es decir, se conserva el comportamiento lineal, y permite seguir trabajando con relaciones geométricas entre capacidades. O lo que es equivalente, vuelve a ser válido todo el planteamiento realizado para capacidades conmutadas, teniendo siempre en cuenta que en este caso, se trabaja con cargas.

Si se toma un circuito compuesto por dos integradores de tensión en serie, este contiene un integrador de cargas.

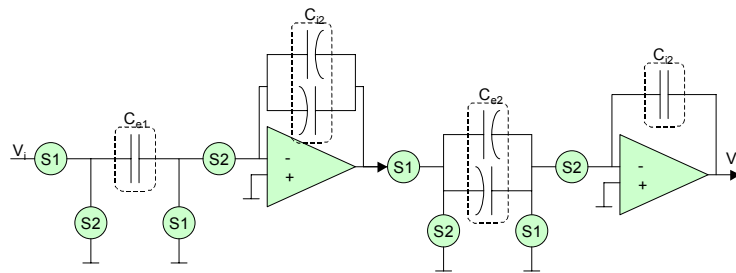


Figura 16. Esquema de dos integradores en serie.

Se puede calcular la ecuación que rige el circuito.

$$V_s[n] = \frac{1}{A_{i2} C_0} \left(q_{i2}[n-1] + \frac{A_{e2} C_0(V)}{A_{i1} C_0(V)} (q_{i1}[n-2] + A_{e1} C_0 V_i[n-2]) \right) \quad (\text{Ec. 10})$$

En ella se han tratado de forma diferentes las capacidades \$C_{e1}\$ y \$C_{i2}\$, ya que estas deberán ser lineales, si se desea conservar la linealidad del sistema. También se han agrupado las capacidades no-lineales.

Se observa que solo es necesario disponer de capacidades lineales en aquellos puntos donde se realiza la conversión tensión-carga o carga-tensión, en el resto de nodos se puede trabajar directamente con carga.

También se observa que el comportamiento final del circuito es equivalente al que se obtendría al utilizar únicamente capacidades lineales.

$$I_V^2(z) = \frac{V_o}{V_i} = \frac{1}{A_{i2}} \frac{z^{-1}}{1-z^{-1}} \frac{A_{e2}}{A_{i1}} \frac{A_{e1} z^{-1}}{1-z^{-1}} \quad (\text{Ec. 11})$$

Otro aspecto importante es que las relaciones entre capacidades se pueden separar entre lineales-lineales y MOS-MOS. Esto facilita el diseño ya que no se tiene que aparear el valor de una capacidad lineal con una MOS.

Este cambio de enfoque permite trabajar con circuitos basados en SC haciendo uso de capacidades MOS sin necesidad de linealizarlas.

IV.3 Diseño del modulador Δ - Σ MOS

Basándose en la arquitectura presentada, se ha realizado un nuevo diseño para un modulador Δ - Σ de segundo orden^[Nor89] utilizando capacidades MOS. El esquema se muestra en la Figura 17.

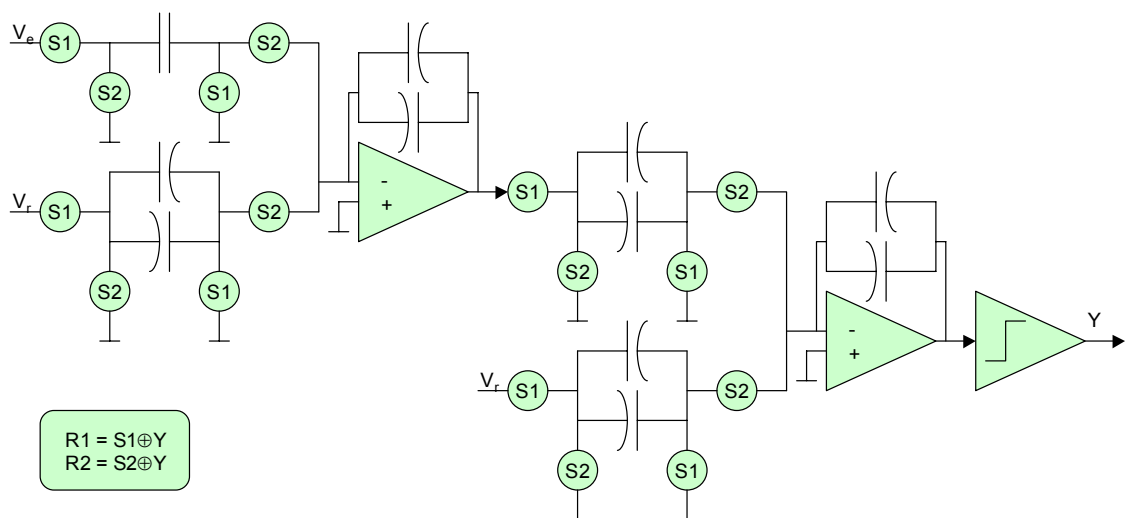


Figura 17. Esquema de un modulador Δ - Σ de segundo orden con capacidades MOS.

Su aspecto es parecido al esquema de dos integradores (Figura 16). Se observan dos diferencias importantes, la primera son las capacidades de referencia, y la segunda el cambio de la capacidad de integración del segundo integrador por una capacidad MOS.

Al trabajar con capacidades MOS en la capacidad de referencia se modifica la constante de proporcionalidad entre la tensión de entrada y la tensión de referencia. Su efecto es equivalente a una modificación de la tensión de referencia. Este efecto se puede compensar a posteriori.

La capacidad en el integrador de salida no afecta al comportamiento del modulador, ya que el comparador sólo precisa conocer el signo de la tensión de salida y no su valor absoluto.

A partir de estas consideraciones se han estipulado los valores de las capacidades del modulador. Para ello se ha tenido en cuenta el valor mínimo que debe tener la capacidad para que no se vea afectada por el ruido térmico que se obtuvo en el capítulo anterior (1,4pF).

A continuación se presenta el esquema con la denominación de cada una de las capacidades (Figura 18).

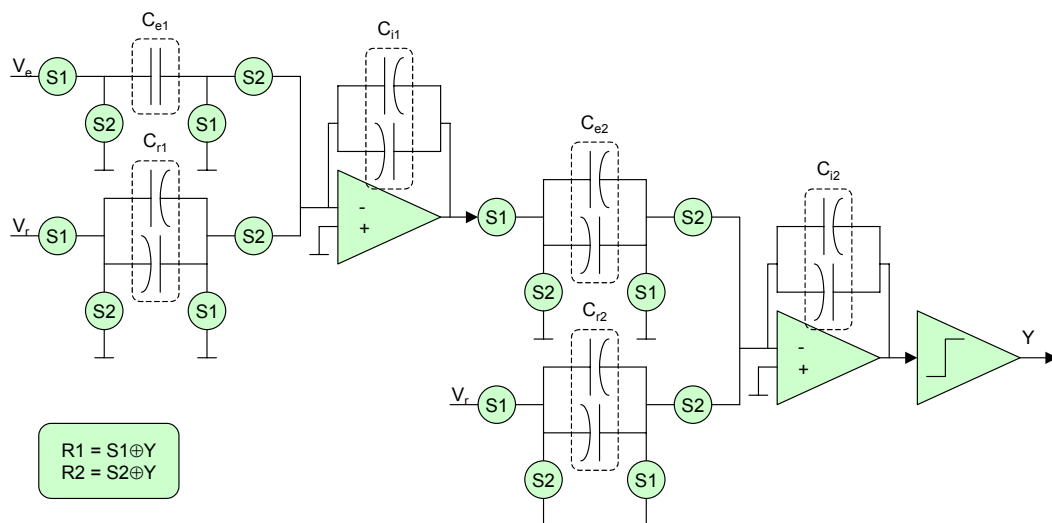


Figura 18. Esquema de un modulador Δ - Σ de segundo orden con capacidades MOS.

Teniendo en cuenta la función de transferencia del modulador en el plano Z, se puede definir el valor de cada una de las capacidades. Dicha función se muestra en la Figura 19.

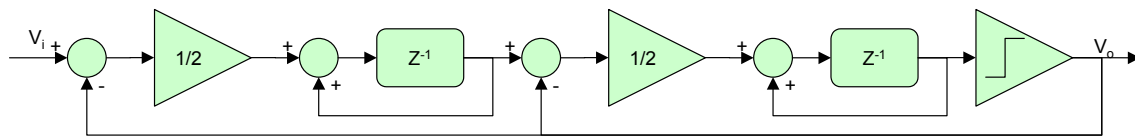


Figura 19. Diagrama de bloques del modulador $\Delta-\Sigma$

En primer lugar se ha definido una capacidad unitaria, cuyo valor es de 1,6pF, igual al de la capacidad de referencia estipulada en el diseño funcional. A partir de ella se obtienen todo el resto de capacidades, poniendo en paralelo varias de ellas. Este será el valor de la capacidad de entrada (C_{e1}) y la de referencia de entrada (C_{r1}).

La ganancia $\frac{1}{2}$ del primer integrador se obtiene con una capacidad de integración (C_{i1}) de valor doble al de la de entrada. Sin embargo, en este caso, el amplificador podría trabajar muy próximo a las tensiones de polarización. En estos puntos, sus prestaciones se ven mermadas, por lo que en lugar de un valor doble, se escoge cuadruple^[Gri97]. De esta forma el rango de tensiones de la salida se reduce a la mitad, y el amplificador trabaja siempre en condiciones optimas.

Al introducir esta capacidad cuatro veces superior, es necesario amplificar la señal que entra en el segundo integrador por dos. Para ello, conseguirlo, se le da el valor de la capacidad unitaria a la capacidad de referencia (C_{r2}) y se duplica el valor de la capacidad de entrada (C_{e2}). Por último, a la capacidad de salida (C_{i2}) se le vuelve a dar el valor de la del primer integrador.

Teniendo en cuenta todos estos aspectos, se obtienen los siguientes valores para las diferentes capacidades, los cuales se muestran en la Tabla 1.

Capacidad	Valor
C_{e1}, C_{r2}, C_{r2}	1,6pF
C_{i1}, C_{i2}	6,4pF
C_{e2}	3,2pF

Tabla 1. Valor de las capacidades MOS

Se observa que todas ellas son múltiplos de la unitaria. Si se calcula la función de transferencia, se vuelve a obtener la que se muestra en la Figura 19.

IV.3.1 Modelo de comportamiento del modulador Δ - Σ

El modelo de comportamiento pretende corroborar la bondad de la solución basada en capacidades MOS. Este se basa en el modelo de capacidad MOS que se ha presentado anteriormente, a partir del cual se realizan dos simulaciones diferentes. La primera se hace con Matlab, y confirma el modelo analítico del sistema. La segunda se basa en macromodelos Spice, y valida el circuito propuesto en este capítulo.

IV.3.1.1 Modelo del modulador en Matlab

El modulador presentado en la Figura 18 se ha simulado utilizando componentes ideales y capacidades MOS. De esta forma es más fácil encontrar la procedencia de las no-idealidades. Los resultados se muestran a continuación.

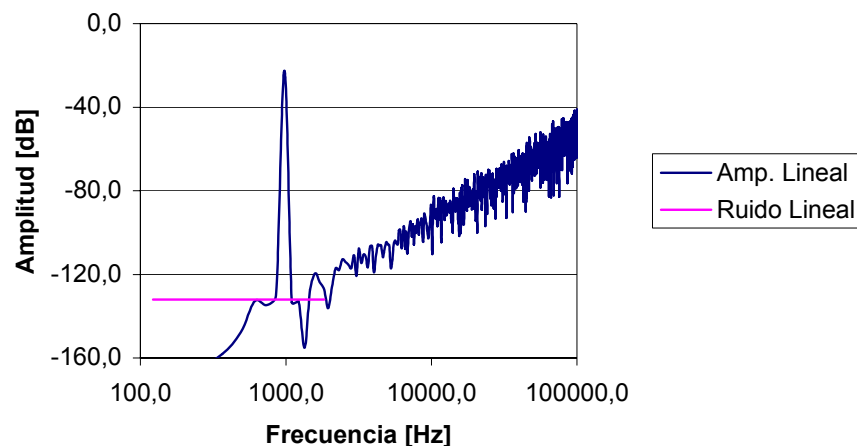


Figura 20. Salida del modulador Δ - Σ MOS

En el espectro de frecuencia de la salida se puede observar que la introducción de capacidades MOS no modifica el comportamiento del modulador. Si se realiza un estudio de la relación señal ruido del sistema, se obtienen los mismos resultados en el modulador MOS y en el lineal.

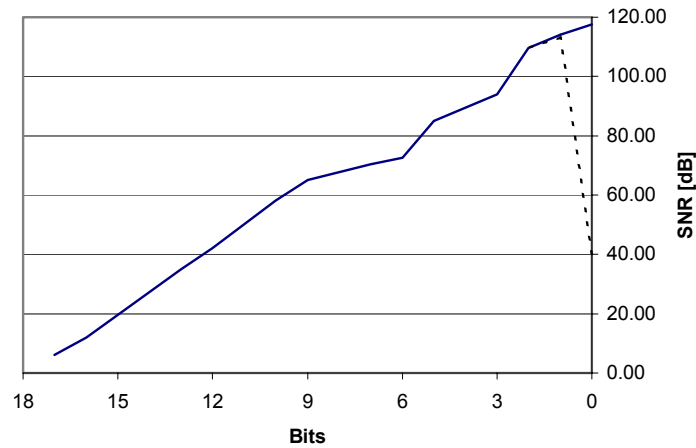


Figura 21. Relación Señal-Ruido dependiendo de la amplitud de la señal de entrada

En la Figura 21 se muestra la salida obtenida para un modulador con capacidades MOS. Se observa que la relación es una línea recta, en toda la gráfica. También se muestra el comportamiento que cabría esperar para puntos cerca del origen, que es una caída en la relación señal ruido ^[Bos88].

Si la capacidad de entrada y la de referencia están apareadas, cuando la entrada del modulador alcanza valores próximos a la tensión de referencia, se produce una saturación del integrador. Esto provoca una reducción de la relación señal ruido.

Si las capacidades no están apareadas, el fenómeno de saturación se desplaza a tensiones superiores o inferiores, dependiendo de la relación entre capacidades.

En este caso, la capacidad de referencia tiene un valor superior a la de entrada, por lo que el punto de caída se ve desplazado hacia la derecha de la curva, y no se observa. Si la relación es a la inversa, este punto se desplaza hacia la izquierda, perdiendo prestaciones del modulador.

Teniendo en cuenta que se producen variaciones durante el proceso tecnológico, se ha aumentado el valor de la capacidad de referencia. De esta forma, se evita dicho efecto, al desplazar el punto hacia la derecha, tal como se observa en la Figura 21.

IV.3.1.2 Modelo del modulador en Spice

Una vez comprobadas las características del modulador ideal, se realiza una simulación basada en macromodelos Spice. Esta permite validar la arquitectura escogida, ya que se tiene en cuenta la resistencia de las puertas de paso, y se observa el comportamiento del modulador como un sistema continuo en el tiempo.

Para ello es necesario traducir el modelo de capacidad MOS que se ha realizado para Matlab a HDL-A. Con ello se dispone de todos los elementos necesarios para repetir la simulación.

Se han simulado el modulador con capacidades MOS y el lineal, para poder comparar los resultados. Para ello se ha introducido a la entrada de ambos una señal de amplitud 38,1dB inferior a la de referencia. Se ha calculado el espectro de la salida de ambos moduladores, los cuales se muestran en la Figura 22.

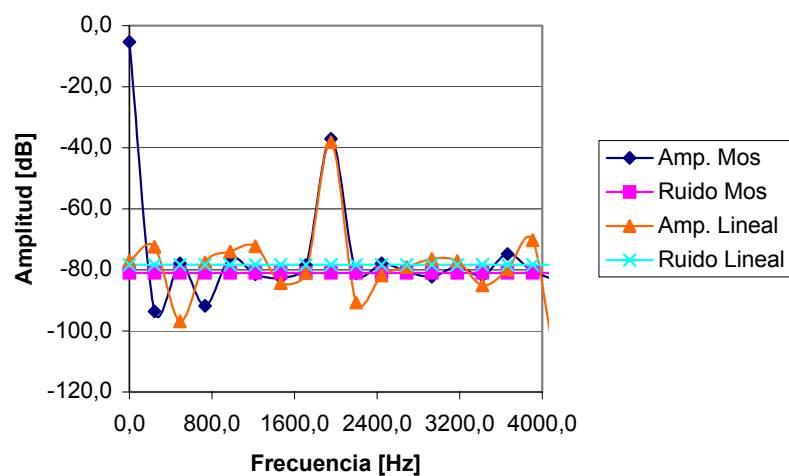


Figura 22. Espectro de frecuencia de un modulador Δ - Σ MOS comparado con uno lineal.

Tal y como se observa, los resultados son equivalentes para ambos tipos de circuitos. Los valores de amplitud obtenidos a la salida son 37,1dB para el modulador MOS y 38,2dB para el lineal. La diferencia proviene de la relación de valores de capacidades entre la de entrada y la de referencia, tal como se ha explicado en el apartado anterior.

Se observa un armónico equivalente al de la simulación de la interfaz de entrada en el capítulo anterior. Éste se debe al número de puntos que se han simulado. Sin embargo, no es posible realizar simulaciones más largas, debido al tiempo que se requiere para realizarlas (una semana), las hace inviables.

IV.4 Diseño del OTA

Además de capacidades MOS, el integrador utiliza un OTA. Las características del modulador Δ - Σ dependen en gran medida de las prestaciones del amplificador operacional (OA). Esto implica que la definición de las especificaciones de éste condicionará el buen funcionamiento del modulador.

IV.4.1 Elección de la arquitectura

Existen una gran variedad de posibilidades a la hora de escoger la arquitectura del OA. En este caso se ha realizado un estudio previo basándose en los OTA Miller y Folded Cascode^[Lak94]. Para realizar dicho estudio se parte de las especificaciones iniciales.

- Ganancia · Ancho de Banda (GBW): 10MHz
- Velocidad de Variación (SR): 5V/ μ s
- Capacidad de Carga (C_L): 38pF

Partiendo de estas se ha realizado el diseño de un amplificador de cada tipo, y se han comparado los resultados obtenidos.

IV.4.1.1 OTA Folded-Cascode

El esquema del OTA Folded-Cascode se muestra en la Figura 23.

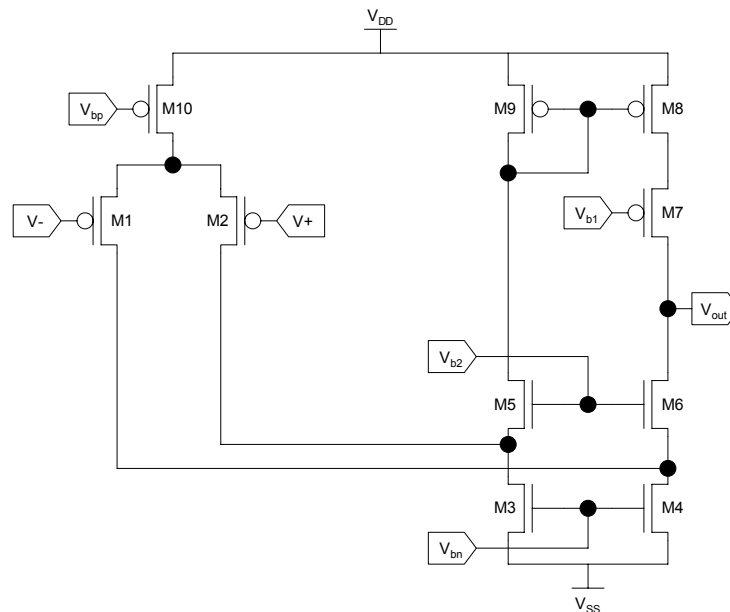


Figura 23. Esquema de un OTA Folded-Cascode.

En primer lugar se observa que el conjunto es equivalente a una transconductancia diferencial. Ésta depende de la diferencia de tensiones entre las puertas de los transistores M1 y M2, los cuales se reparten la corriente proporcionada por M10. En una etapa de entrada diferencial convencional, encontraríamos en lugar de los transistores M3 y M4 una carga. En este caso dicha carga se encuentra desplazada a los transistores M8 y M9.

Teniendo presente que los transistores M5, M6 y M7, actúan como etapas cascode, se puede ver que la función de M3 y M4 es simplemente transmitir los diferenciales de corriente producidos por M1 y M2 a M8 y M9.

Cuando el OTA está en reposo (V^- es igual a V^+), la corriente que pasa por M1, M2 es exactamente la mitad de la corriente que pasa por M10. Si M3 y M4 actúan como fuentes de corriente que dejan pasar la misma corriente que M10 respectivamente, M8 y M9 deberán proporcionar una corriente igual a la que pasa M1 y M2 para equilibrar todo el circuito.

En el momento en que se aplica una entrada diferencial a la etapa de entrada, queda descompensada la corriente que pasa por M3 y M4, que intenta ser equilibrada por M8 y M9. Sin embargo, M8 y M9 deben dar la misma corriente, ya que están en configuración espejo de corriente, por lo que el

exceso o defecto de corriente debe ser compensado a través de la carga conectada al nodo V_{out} .

Teniendo en cuenta el funcionamiento del OTA, se obtiene:

$$GBW = \frac{g_{m1}}{2\pi C_L} \quad (\text{Ec. 12})$$
$$SR = \frac{I_{B10}}{C_L}$$

Además, se deben considerar una serie de restricciones que permiten dimensionar los diferentes transistores del OTA.

- La tensión de $(V_{GS1} - V_T) \cong 0,2V$ ya que en esta zona es donde se obtiene la mayor ganancia de los transistores^[Lak94].
- Las dimensiones de los transistores M5 y M6 no deben introducir un polo demasiado próximo, para poder asegurar un margen de fase de 60° .
- Las tensiones $(V_{GS3} - V_T) = (V_{GS9} - V_T) \cong 0,5V$ para mejorar el apareamiento. El resto de $(V_{GS} - V_T) \cong 0,3V$.
- Las tensiones V_{b1} y V_{b2} serán de $\pm 0,1V$ respectivamente, para no limitar el rango de salida.
- Por último se impone que la longitud del canal sea unas 4 veces superior a la longitud mínima permitida en la tecnología de fabricación.

Donde V_{GS} es la tensión entre la puerta y la fuente, y V_T es la tensión umbral del transistor MOS

La última ecuación ayuda a reducir los efectos de canal corto, a la vez que mejora el apareamiento entre transistores. Se ha desarrollado una herramienta de software que recoge todas estas restricciones y permite calcular las dimensiones de los diferentes transistores, basándose en el GBW, el SR y el valor de la capacidad de carga del circuito. El resultado obtenido se muestra en la Tabla 2.

<i>Transistor</i>	<i>Dimensiones</i>
M1, M2	628/4
M3, M4	52/4
M5, M6	144/4
M7	444,8/4
M8, M9	160/4
M10	444,8/4

Tabla 2. Dimensiones de los transistores MOS del OTA Folded-Cascode

Los valores obtenidos se han redondeado a un paso de $0,1\mu\text{m}$ que es el estándar de la tecnología utilizada.

IV.4.1.2 OTA Miller

El esquema básico del OTA Miller es el de la figura siguiente.

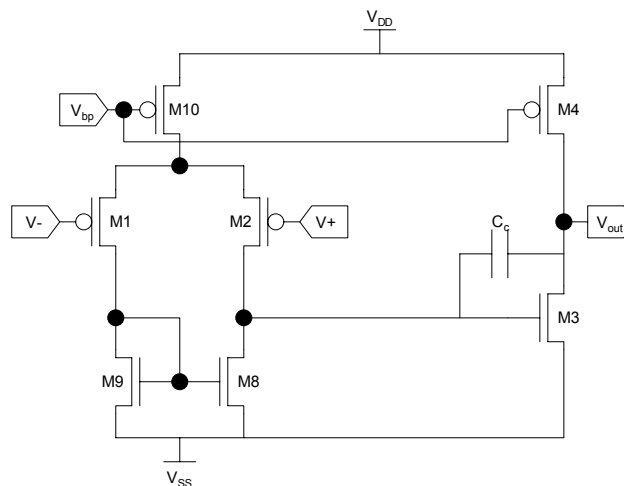


Figura 24. Esquema de un OTA Miller.

En este esquema se han mantenido las numeraciones de los transistores que actúan de forma equivalente a como lo realizan los del amplificador Folded-Cascode.

El circuito también actúa como una transconductancia diferencial, sin embargo su configuración difiere de la anterior. En este caso, el amplificador

consta de dos etapas. La etapa de entrada es de tipo diferencial, constituida por los transistores M1 y M2, que trabaja de forma equivalente a la del Folded-Cascode. Estos atacan a una carga activa, constituida por los transistores M8 y M9, que proporciona una salida en tensión. Ésta ataca a la etapa de salida, que es una fuente de corriente constituida por el transistor de salida M3, y una carga que es M4.

El circuito también incluye una capacidad de compensación (C_c), que permite asegurar la estabilidad del circuito. Esta capacidad depende de la capacidad de carga del nodo de salida (C_L), y por lo tanto, es necesario conocer el valor de esta última a priori.

Teniendo en cuenta el funcionamiento del OTA, se pueden establecer las siguientes ecuaciones básicas:

$$\begin{aligned}
 C_c &> 0,22 C_L && \text{(Ec. 13)} \\
 GBW &= \frac{g_{m1}}{2\pi C_c} = \frac{g_{m3}}{4,4\pi C_L} \\
 SR &= \frac{I_{B10}}{C_c}
 \end{aligned}$$

Además, se incluyen un conjunto de requisitos que permiten dimensionar los diferentes transistores del OTA. la mayoría de las cuales son equivalentes a las del Folded-Cascode.

- La tensión de ($V_{GS1} - V_T$) $\cong 0,2V$ ya que en esta zona es donde se obtiene la mayor ganancia.
- Las dimensiones de los transistores M8 y M9 no deben introducir un polo demasiado próximo, para poder asegurar un margen de fase de 60° .
- La tensión ($V_{GS9} - V_T$) $\cong 0,5V$ para mejorar el apareamiento. Para el resto de transistores ($V_{GS} - V_T$) $\cong 0,3V$.
- Por último, se vuelve a imponer que la longitud del canal sea unas 4 veces superior a la longitud mínima de la tecnología.

Con todas estas restricciones se han calculado las dimensiones de los diferentes componentes necesarios para el OTA Miller. Estas se muestran en la Tabla 3.

<i>Transistor</i>	<i>Dimensiones</i>
M1, M2	138,4/4
M8, M9	65,6/4
M3	411,6/4
M4	614,4/4
M10	97,6/4
C_c	2,1pF

Tabla 3. Dimensiones de los transistores y capacidad del OTA Miller.

La capacidad de compensación se ha elegido menor que la que se obtiene según las ecuaciones, ya que las capacidades de carga no superan los 10pF. De esta forma es posible reducir el área ocupada. El resto de componentes han mantenido sus dimensiones.

IV.4.2 Simulación

A partir del esquema presentado en la sección anterior, se ha realizado la simulación del OTA Folded-Cascode y del Miller. Este último se ha simulado con dos posibles capacidades de compensación (capacidad lineal o MOS), ya que esta última permite reducir el área del operacional^[Gom97]. Las simulaciones se han realizado en continua, pequeña señal y en modo transitorio, así como de la distorsión armónica con el simulador ELDO.

Las simulaciones se han realizado con una capacidad de carga de 6,4pF, la razón es que es un valor más próximo al valor final de la capacidad del integrador.

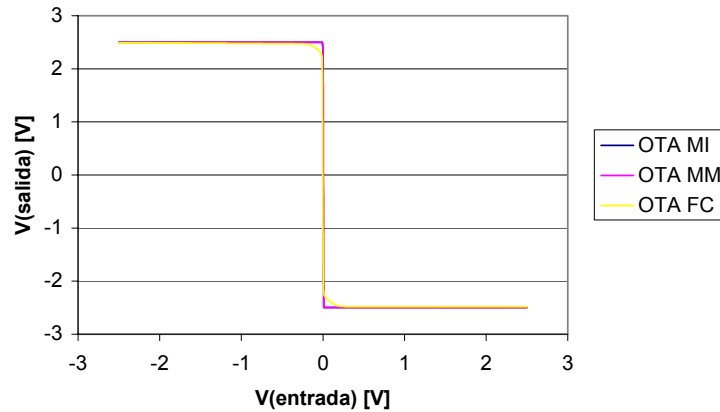


Figura 25. Tensión de salida frente a la tensión de entrada en continua

En la Figura 25 se muestran las salidas para una entrada en continua de un OTA Folde-Cascode (OTA FC), un OTA Miller con capacidades lineales (OTA MI) y un OTA Miller con capacidades MOS (OTA MM).

Se observa que las salidas en continua son equivalentes, aunque tiene un mayor rango de salida el OTA Miller con capacidades MOS (MM).

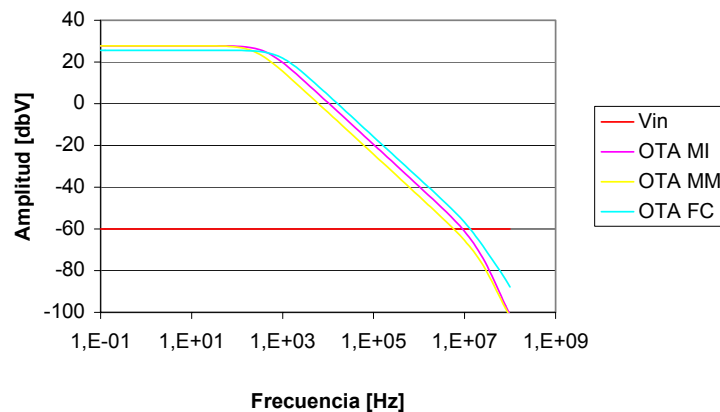


Figura 26. Simulación en pequeña señal

En la Figura 26 se muestra el diagrama de Bode de los tres OTAs, así como la señal de entrada V_{in} . Se observa que su comportamiento prácticamente no difiere.

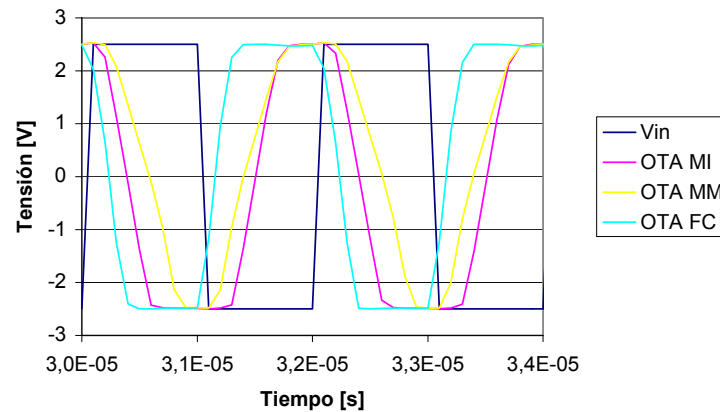


Figura 27. Simulación de la salida de los OTAs frente a un tren de impulsos

En la Figura 27 se muestra el comportamiento en transitorio de los OTAs. Los OTAs trabajan como seguidores inversores. Se observa que el OTA MOS es el que más tarda en seguir la señal de entrada, en contraposición al Folded-Cascode que es el más rápido.

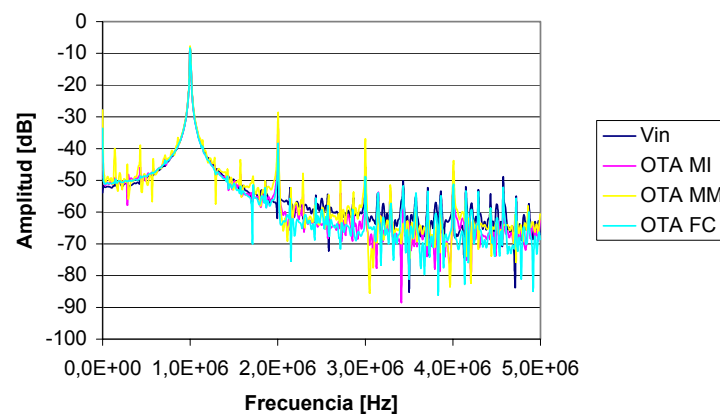


Figura 28. Simulación de la salida de los OTAs frente a una senoide

En la Figura 28 se muestra la salida de los diferentes OTAs frente a una entrada sinusoidal con frecuencia 1MHz. Se observa que todos tienen un comportamiento similar.

Sin embargo, si se mira con más detalle, se observa que el OTA folded-cascode obtiene mejores prestaciones en todas las simulaciones. La razón fundamental es que solo tiene que atacar una única capacidad, mientras que los Miller también tienen la de compensación.

A partir de las simulaciones anteriores se obtiene la siguiente tabla resumen (Tabla 4).

<i>Parámetro</i>	<i>Folded-Cascode</i>	<i>Miller Capacidad Lineal</i>	<i>Miller Capacidad MOS</i>
Tensión de Polarización	±2,5V	±2,5V	±2,5V
Carga	6,4pF	6,4pF	6,4pF
Tensión de Offset	-825μV	241μV	241μV
Relación de Giro	12,3V/μs	8,2V/μs	5,8V/μs
Corriente de Salida	78,7μA	52,5μA	37,1μA
Excursión de la Salida	±2,5V	±2,5V	±2,5V
Ganancia · Ancho de Banda	20MHz	10MHz	6MHz
Ganancia en continua	86dB	88dB	88dB
Distorsión armónica	<29,6dB	<24,0dB	<20,7dB
Área	11.430μm ²	25.730μm ²	7.672μm ²

Tabla 4. Prestaciones obtenidas a partir de una simulación a nivel transistor.

Se observa que se obtienen las prestaciones deseadas. Como aspectos relevantes, hacer notar que la distorsión armónica es muy alta. Esto se debe a que la resolución de la simulación no permite obtener un resultado más ajustado, ya que la distorsión de la señal de entrada es de 39,2dB^[Bot97].

También se observa que el área estimada del OTA Miller ideal es entre 2 y 3 veces superior a la de los otros dos OTAs. Esto se debe principalmente al tamaño de la capacidad de compensación, que en esta tecnología es de unas 150μm de lado.

A partir de todos los datos obtenidos en la tabla se ha optado por el OTA Folded-Cascode, ya que alcanza una buena relación entre área y prestaciones. Además es estable independientemente de la capacidad de carga, lo cual lo hace especialmente interesante en este tipo de diseños, donde hay que considerar capacidades parásitas que se puedan sumar a la capacidad de carga.

IV.5 Diseño del comparador

El comparador es el bloque que realiza la cuantificación de la salida del integrador. Por este motivo, debe asegurar un bajo offset, a la vez que un tiempo de respuesta rápido.

Para realizarlo, se ha utilizado un circuito equivalente a un OTA Miller, al cual se le han añadido una etapa de salida que permite conseguir una salida digital. El esquema del circuito se muestra en la Figura 29^[Gre86].

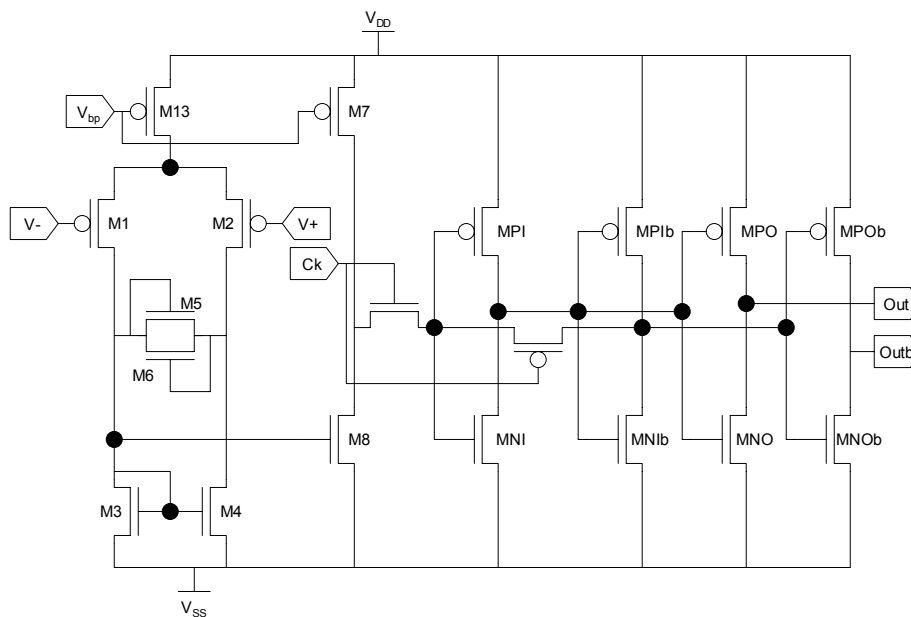


Figura 29. Esquema de un comparador con registro a la salida.

El bloque de salida digital tiene como cometido sincronizar la señal de salida con un reloj. Su comportamiento es equivalente al de un latch. De esta forma se asegura que todo el modulador este correctamente sincronizado.

Los transistores de la etapa diferencial presentan dimensiones más pequeñas que las de un OTA. La razón es que se ha reducido la corriente que pasa por el circuito, ya que solo que tiene como carga un pequeño transistor MOS (M8). Además se le han añadido dos transistores MOS en configuración de diodo (M5, M6), que evitan que se sature el par diferencial, y por lo tanto disminuyen el tiempo de respuesta. Por último indicar que se ha eliminado la capacidad de compensación, ya que el sistema trabaja en modo digital.

Seguidamente se encuentra el latch, que esta compuesto por dos inversores interconectados por puertas de paso. Cuando el reloj esta 1, el transistor Nck se abre, a la vez que el transistor Pck se cierra, con lo que la salida de comparador modifica el estado de los inversores. Cuando el reloj vuelve a 0, el transistor Nck se cierra, y el Pck se abre, con lo que el latch queda en estado biestable.

Las dimensiones de los diferentes transistores que se utilizan en el circuito se muestran en la siguiente tabla. Se han agrupado, en función de los bloques básicos.

<i>Transistor</i>	<i>Dimensiones</i>
M1, M2	156,8/4
M3, M4	6,6/4
M5, M6	6,8/4
M7	22,2/2
M8	11,1/7,5
M13	111,2/4
Pck, PI, PIb, PO, POB	2,4/0,8
Nck, NI, Nib, NO, NOB	1/0,8

Tabla 5. Dimensiones de los transistores del comparador.

IV.6 Diseño de los circuitos de control

Este bloque tiene por objetivo primordial seleccionar el modo de trabajo del modulador. El bloque de control se encargará de dar la cadencia con la que se abren y cierran los diferentes conmutadores.

Este bloque consta de dos módulos: el generador de reloj y la máquina de control. El primero se encarga de generar el reloj de cuatro fases, el cual es controlado por los pulsos generados por el segundo. Estos pulsos dependen de

la configuración del modulador (medida de tensión o de capacidad), así como de la salida actual.

IV.6.1 Reloj de cuatro fases

Este circuito es el encargado de dar las señales a los diferentes conmutadores que controlan el circuito. Es importante que las señales de apertura y cierre de los diferentes conmutadores vayan sincronizados. De esta forma se evita que las capacidades puedan conectarse a tensiones no deseadas, que introducen ruido.

Para conseguir un correcto funcionamiento es necesario hacer trabajar el circuito sincronizado con cuatro fases de reloj. Cada una de ellas define el momento en que se abre o se cierra cada uno de los cuatro conmutadores que controlan una capacidad. El esquema básico se muestra en la figura.

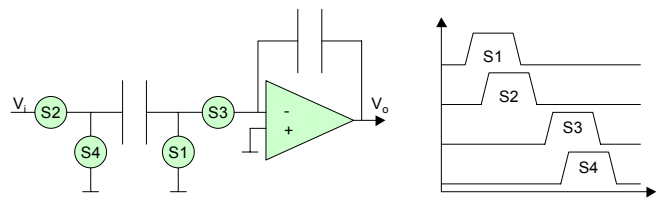


Figura 30. Esquema de una capacidad conmutada basado en un reloj de fases no superpuestas.

En primer lugar, se define el tiempo de separación entre fase, que se ha escogido de una décima parte del periodo total. Teniendo en cuenta que el periodo de reloj es de $1\mu\text{s}$, el tiempo que se obtiene es de 10ns .

Existen diferentes posibilidades para realizar este circuito. La alternativa más simple consiste en crear una máquina de estados que genera las cuatro fases de reloj^[Rab96]. En este caso se necesita un reloj entre 10 y 20 veces más rápido que el que se utiliza para controlar el modulador (1MHz). Esto implica introducir señales de alta frecuencia en las señales de control, las cuales se pueden introducir en la señal de entrada.

Este efecto es especialmente perjudicial, si se tiene en cuenta que al realizar el diezmado, las señales que son múltiplo de la de muestreo pasan a la banda base. Por lo tanto, es mejor buscar una solución basada en circuitos que trabajen a la misma frecuencia que el que genera el reloj.

Esta solución se basa en un biestable^[Rot75] modificado que permite obtener las cuatro fases de reloj. Este se muestra en la Figura 31.

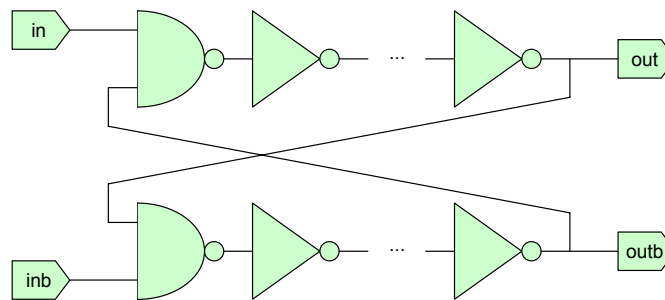


Figura 31. Esquema de un biestable modificado

Para realizarlo, se puede partir de puertas digitales estándar. Sin embargo, estas puertas están diseñadas para minimizar los tiempos de retraso (1ns). Por lo tanto, conseguir la distancia entre fases que se desea (10ns), se necesitan 10 inversores conectados en serie, además de la puerta NAND, en cada una de las ramas.

Por este motivo, se diseñó un biestable a partir de transistores MOS. Los transistores tienen un canal largo y estrecho, de forma que se aumenta a la vez la resistencia y la capacidad de puerta, con lo que se consiguen grandes constantes de tiempo con un bajo coste de área. El esquema se muestra en la Figura 32.

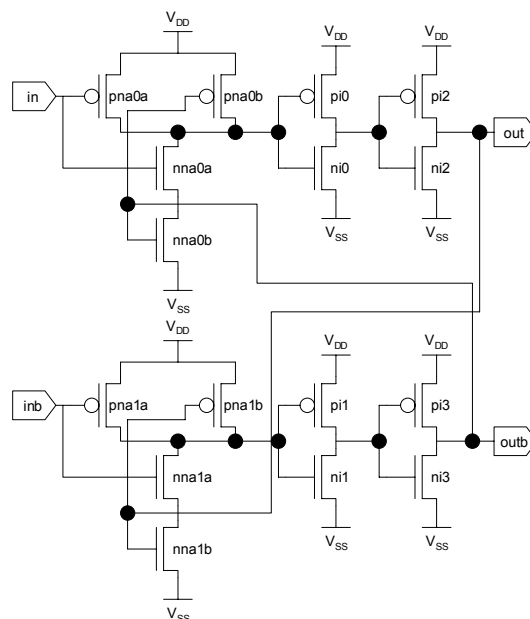


Figura 32. Esquema del generador de fases de reloj.

En este caso el biestable sólo tiene dos inversores, además de la puerta NAND, con el consiguiente ahorro de área. Al biestable se le han añadido posteriormente una serie de inversores que permiten incrementar la carga, a la vez que generan la fase y su negada para facilitar el control de los conmutadores.

IV.6.2 Maquina de control

La maquina de control es un circuito constituido por una maquina de cuatro estados. Ésta genera un reloj cuyo ciclo de trabajo depende del modo de trabajo y de la salida del modulador $\Delta-\Sigma$.

Si trabaja en los modos de balance de cargas y modulador de tensión, el ciclo de trabajo siempre esta equilibrado (2:4). Por lo tanto actúa como un divisor de frecuencia de relación 1:4.

Sin embargo, si trabaja en modo de balance de fuerzas, el ciclo de trabajo se modifica dependiendo de la salida, dando relaciones de 1:4 o 3:4. Esto permite modular la fuerza que actúa sobre el acelerómetro, tal como se ha descrito en el capítulo anterior. El diagrama de estados se muestra en la figura.

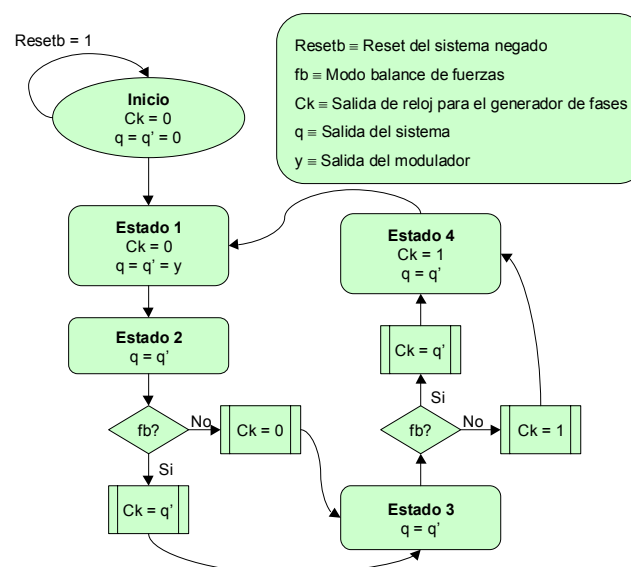


Figura 33. Diagrama de estados de la Máquina de Control.

La máquina de estados se ha descrito en primer lugar en HDL-A, lo cual ha permitido realizar una simulación completa de todo el sistema. Una vez

corroborado su correcto funcionamiento se ha traducido a VHDL, para poder realizar posteriormente su síntesis.

IV.7 Modulador completo

A partir de los componentes anteriores se ha realizado una simulación a nivel transistor del circuito. Esta permite corroborar el correcto funcionamiento del sistema, antes de pasar al diseño de las máscaras.

Esta simulación sólo pretende comprobar que la salida sigue el patrón esperado, y que por lo tanto, los elementos están conectados correctamente. Otro tipo de comprobación es difícil, ya que la simulación duraría un tiempo excesivamente largo (varias semanas).

Teniendo en cuenta lo anterior, se simulado el comportamiento frente a una señal de una frecuencia seis veces inferior a la de muestreo. En este caso la salida será una señal cuadrada, ya que el factor de sobremuestreo es muy pequeño. Los resultados se muestran en la Figura 34.

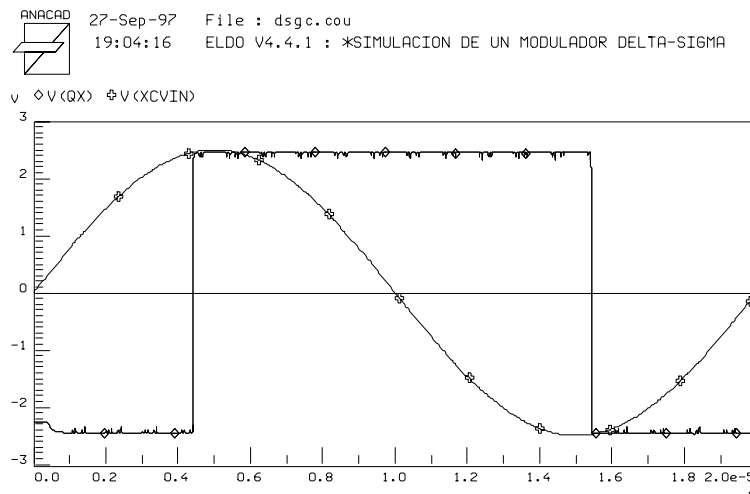


Figura 34. Simulación a nivel de transistor del modulador Δ - Σ . La curva con cruces (\oplus) indica la entrada, y los rombos (\blacklozenge) la salida.

La gráfica muestra los 20 primeros periodos de la salida del modulador frente a la entrada. La salida es una señal cuadrada, de frecuencia igual a la que tiene la señal de entrada, tal como esperábamos.

El retraso es únicamente un periodo de reloj, y no dos (ver capítulo de diseño funcional), debido a que el modulador no está en estado estacionario.

IV.8 Referencias

- [Gre86] R. Gregorian, G.C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons, Inc., ISBN 0-471-62569-8, 1986.
- [Pel97] M. J. M. Pelgrom, M. Vertregt, " CMOS technology for mixed signal lcs", Solid-State electronics, Vol. 41, pp. 967-974, 1997.
- [Cre81] J. L. MacCreary, "Matching properties and voltage and temperature dependence of MOS capacitors", IEEE J. Solid-State circuits, SC-16, 608-616, 1981.
- [Gom97] J.M. Gómez, S.A. Bota, E. Montané, A. Herms, J. Samitier, "Study of MOSFET Capacitors for Digital CMOS Tecnology Applications", Mixed Design of Integrated Circuits and Systems, pp. 577-583, 1997.
- [Beh92] A.T. Behr, M.C. Schneider, S.N. Filho, C.G. Montoro, "Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates", IEEE J. Solid-State Circuits, vol. SC-27, pp. 1470-1475, 1992.
- [Nic82] E.H. Nicolian, J.R. Brews, "MOS (Metal Oxide Semiconducto) Physics and Technology", John Wiley & Sons, Inc., ISBN 0-471-08500-6, 1982.
- [Yos95] H. Yoshizawa, G. Temes, "High-Linearity Switched-Capacitor Circuits in Digital CMOS Technology", IEEE Int. Sym. on Circ. and Syst., pp. 1029-1032, 1995.
- [Yos96] H. Yoshizawa, G. Temes, P. Ferguson, F. Krummenacher, "Novel Design Techniques for High-Linearity MOSFET-only Switched-Capacitor Circuits", 1996 Symp. on VLSI circ., pp. 152-153, 1996.
- [Nic82] E.H. Nicollian, J.R. Brews, "MOS (Metal Oxide Semiconductor) Physics and Technology", John Wiley & Sons, Inc., ISBN 0-471-08500-6, pp. 156-167, 1982.

-
- [Nor89] S.R. Norsworthy, I.G. Post, H. Scott Fetterman, "A 14-bit 80-kHz Sigma-Delta A/D Converter: Modeling, Design and Performance Evaluation", IEEE J. Solid-State Circuits, vol. SC-24, pp. 256-266, Apr. 1989.
- [Gri97] M. Grigorie, "Integrated Sigma-Delta Interface for Capacitive Sensors", Tesis para la obtención del grado de Doctor, EPFL, 1997.
- [Bos88] B.E. Boser, B.A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters", IEEE J. Solid-State Circuits, vol. 23, pp. 1298-1308, Dec. 1988.
- [Lak94] K.R. Laker, W.M.C. Sansen, "Design of Analog Integrated Circuits and Systems", McGraw-Hill, 1994.
- [Bot97] S.A. Bota, J.M. Gómez, E. Montané, J. Samitier, "Capacitance Modelling for Mixed Signal Applications in Digital CMOS Technology", Design of Circuits and Integrated Systems Conference, pp. 495-500, 1997.
- [Rab96] JanM. Rabaey, "Digital Integrated Circuits, A Design Perspective", Prentice Hall, ISBN 0-13-178609-1, 1996.
- [Rot75] Charles H. Roth, "Fundamentals of Logic Design", West Publishing Company, ISBN 0-314-922180, 1975.