

V DISEÑO FÍSICO

En este capítulo se hace una presentación del diseño físico del modulador $\Delta-\Sigma$. Estos se han implementado utilizando la tecnología ECPD07 de Atmel-ES2. Esta tecnología es digital, por lo tanto, los parámetros característicos de los dispositivos resultantes presentan tolerancias elevadas. Recordemos que los circuitos digitales son muy robustos frente a variaciones de estos parámetros.

En este caso se quieren implementar un circuito analógico de alta resolución. Ello implica que se buscan altas prestaciones de todos los componentes (OTAs, Capacidades, Conmutadores). Por ello será necesario poner especial énfasis en el diseño de las celdas básicas que se utilizan en los componentes, para asegurar el apareamiento de elementos que las forman.

A este aspecto hay que añadir que se está diseñando un circuito mixto analógico/digital. Esto implica que hay señales que trabajan a diferentes frecuencias, y que por lo tanto se pueden producir interferencias entre ellas. Por este motivo es necesario realizar una buena distribución de todas ellas, de forma que se reduzca al mínimo las posibles interferencias.

Teniendo en cuenta los aspectos anteriormente mencionados, se han diseñado las máscaras del circuito. Se ha partido de una distribución inicial de los componentes, procurando que cada circuito estuviera ubicado de forma que recibiera y generara el mínimo ruido posible.

El siguiente paso ha sido buscar la forma de optimizar el diseño del circuito. Se tienen que aunar dos aspectos generalmente antagónicos como son el diseño a partir de celdas básicas y las prestaciones. Lo primero es especialmente importante ya que disminuye el tiempo de diseño, al poder hacer uso de un mismo componente en diferentes ubicaciones. Sin embargo, lo que se busca en un circuito de esta características es lo segundo.

Aprovechando las herramientas que proporciona el entorno de diseño, se ha realizado un diseño jerárquico de las máscaras, el cual permite alcanzar un punto de consenso entre ambos aspectos.

Por último se han diseñado las máscaras de los diferentes componentes del circuito. Se hace especial énfasis en el diseño del OTA y de las capacidades, al ser los dos componentes que más van a influenciar en las prestaciones del circuito.

V.1 Distribución de los componentes

En un circuito basado en capacidades conmutadas es de vital importancia realizar una correcta ubicación de los diferentes componentes. La razón fundamental es que se está trabajando a la vez con señales de baja frecuencia y de alta, analógicas y digitales, todas ellas sobre un mismo sustrato^[Mak95]. Siempre existen interferencias entre ellas, y por lo tanto, es necesario un correcto diseño para evitar una merma de las características del circuito^[Gre86].

Las interferencias que puede introducir una sistema digital en uno analógico a través de la polarización pueden llegar a ser de un 10% en la tensión de polarización^[Ing97]. Teniendo en cuenta que estas interferencias afectan al modo común, se recomienda trabajar con circuitos en modo diferencial, para minimizar su efecto. Sin embargo, esta arquitectura no es compatible con la interfaz diseñada.

Teniendo en cuenta todo lo anterior, se ha realizado un estudio de la mejor ubicación de los componentes en el circuito, buscando reducir el efecto

de las interferencias. En primer lugar, es necesario separar la parte analógica del circuito de la parte digital, e ir realizando la transición de una a otra de la forma más suave posible.

Por este motivo, se han ordenado los componentes utilizados en base a sus características de funcionamiento (de digital a analógico):

- Máquina de control
- Reloj de cuatro fases
- Conmutadores
- Comparador
- Multiplexores analógicos
- Capacidades
- OTAs
- Fuentes de polarización

Esta ordenación es relativa, y depende de los criterios que se ha tomado para realizarla. En este caso, nos hemos basado en el tipo de señal de control y en la frecuencia de trabajo de cada bloque. Para facilitar su entendimiento se muestra una figura con los motivos que han llevado a ella.

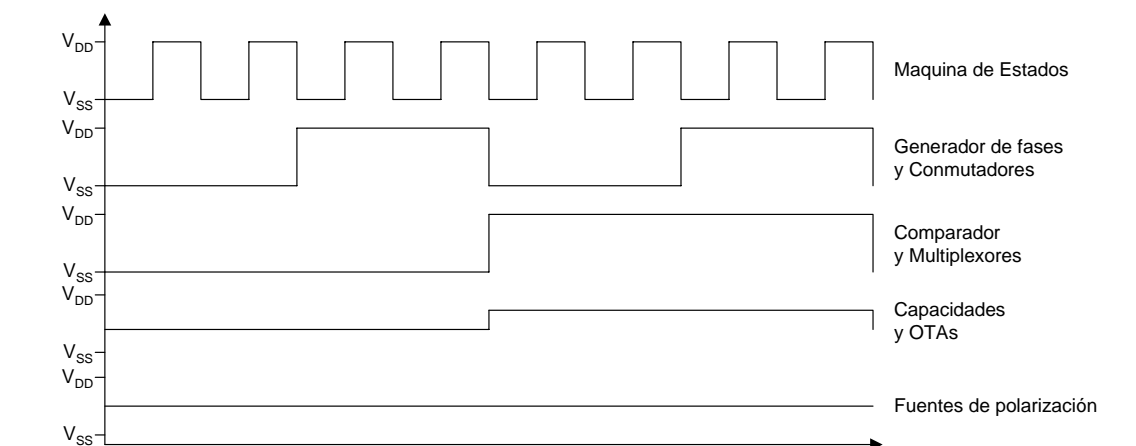


Figura 1. Gráfica cualitativa de la frecuencia y amplitud de las variaciones de la señal de los diferentes componentes

La máquina de estados es el elemento que trabaja a más frecuencia, y será el que generará más ruido.

Los siguientes componentes son el generador de fases de reloj y los conmutadores, que cambian de estado en cada fase de reloj. En este caso se han ordenado teniendo en cuenta quien controla a quien (la máquina de estados controla el generador de fases, y éste los conmutadores).

Posteriormente se encuentran el comparador y los multiplexores, que varían de estado cada ciclo de reloj. En este caso se ha tenido en cuenta que la salida del comparador es digital.

Seguidamente están las capacidades y los OTAs, cuya variación en la tensión es analógica. En este caso la ordenación se ha realizado por proximidad, teniendo en cuenta que los OTAs tienen que estar conectados a las fuentes de polarización.

Por último están las fuentes de polarización que no varían nunca de estado.

A partir de esta ordenación, se han ido ubicando los diferentes componentes en el circuito. El diseño de las máscaras se ha realizado siguiendo el mismo orden, colocando la máquina de control en la parte superior, y los OTAs y fuentes de polarización en la inferior. Un esquema del diseño se muestra en la Figura 2.

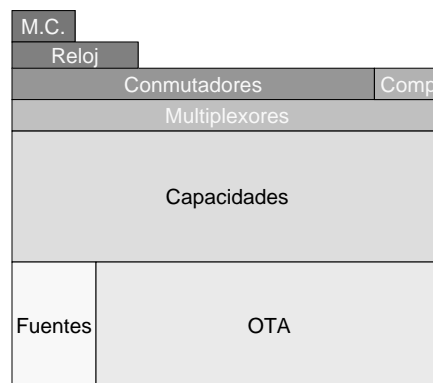


Figura 2. Distribución de componentes en las máscaras

Las pistas de las señales se han ubicado procurando que las distancias recorridas fueran las más pequeñas posibles.

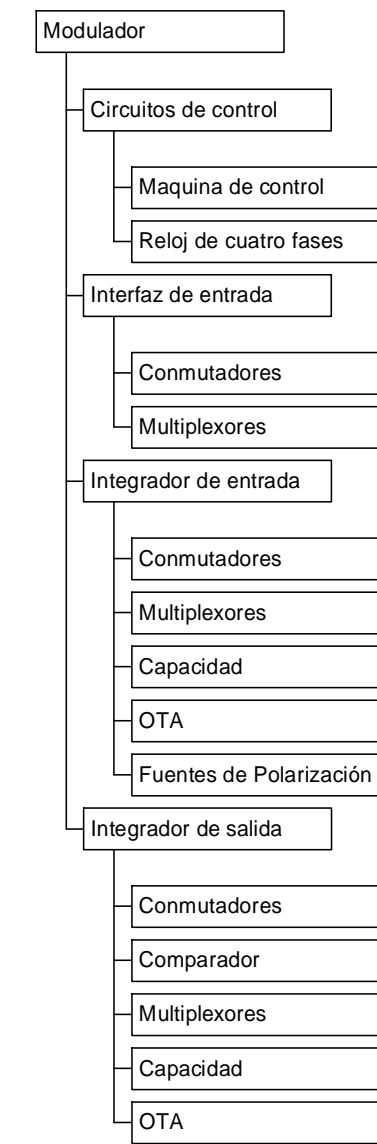


Figura 3. Árbol de diseño

V.2 División jerárquica del modulador

En un diseño como este, es importante establecer una planificación muy precisa, tanto para la ubicación de componentes, como para minimizar errores. Por este motivo, se ha optado por seguir un diseño físico jerárquico. Esta metodología es equivalente a la que se sigue en el diseño estructural, en el cual cada componente forma parte de un componente superior y esta formado por componentes inferiores.

Para poder realizarlo, es necesario partir de un esquema jerarquizado. En este caso, se ha realizado el árbol de diseño que se muestra en la Figura 3.

Como se observa, el modulador se divide en cuatro bloques básicos: los circuitos de control, la interfaz de entrada, el integrador de entrada y el integrador de salida.

Exceptuando los circuitos de control, el resto de bloques contienen componentes comunes (conmutadores, multiplexores), y otros específicos (fuentes de polarización, comparador). Esta distribución se ha buscado, de forma que se pudiera disponer del mayor número de bloques independientes, a la hora de realizar nuevos diseños.

A partir de esta jerarquización se ha realizado un diseño de abajo a arriba. Las diferentes máscaras se han realizado de forma que fueran compatibles con cualquiera de las ubicaciones para las que han sido diseñadas.

En este sentido, también han sido de gran ayuda las herramientas que proporciona el entorno de diseño, gracias a las cuales es posible modificar un componente, una vez ya está ubicado dentro del elemento superior. De todas formas, este paso se tiene que realizar con cuidado, para evitar que la adaptación de un componente a un bloque, conlleve que deje de ser útil en otro bloque.

V.3 OTA

El OTA es un componente especialmente sensible al diseño de sus máscaras. La mayoría de sus transistores MOS deben estar correctamente apareados. Por este motivo, no es posible realizar un diseño físico completamente automático, ya que las prestaciones que se obtendrían del circuito serían muy pobres^{[Nai99][Coh94]}. Por este motivo, todo el diseño se ha realizado completamente a medida.

Partiendo del esquema del OTA, se ha buscado la forma de minimizar el ruido de la etapa de entrada, a la vez que conseguir un buen apareamiento entre transistores. Para ello, se han utilizado una longitud de canal de $4\mu\text{m}$, la cual es cuatro veces superior a la mínima que impone la tecnología. También se han interdigitado los transistores que forman el par diferencial^[Ism94].

Esta etapa se ha rodeado de un anillo de guarda conectado a V_{ss} a través de pistas anchas, para asegurar que todo el anillo esté al mismo potencial. Y reducir el ruido que puede llegar a través del sustrato.

Alrededor de dicho anillo se han colocado el resto de transistores. En ellos también se ha mantenido la misma longitud de canal, y se han interdigitado los espejos de corriente. Por último se han rodeado todos los transistores con un segundo anillo de guarda.

Para facilitar la modificación de los transistores, se han utilizado celdas básicas (como puertas MOS o vías) que proporciona la tecnología de ES2. Allí donde ha sido posible se ha trabajado sobre matrices de componentes (como en los anillos de guarda y los transistores interdigitales). Con todo ello se ha

minimizado el tiempo necesario para corregir las desviaciones que se han detectado en las simulaciones efectuadas sobre la representación física del circuito. En la Figura 4 se muestra el diseño físico del OTA.

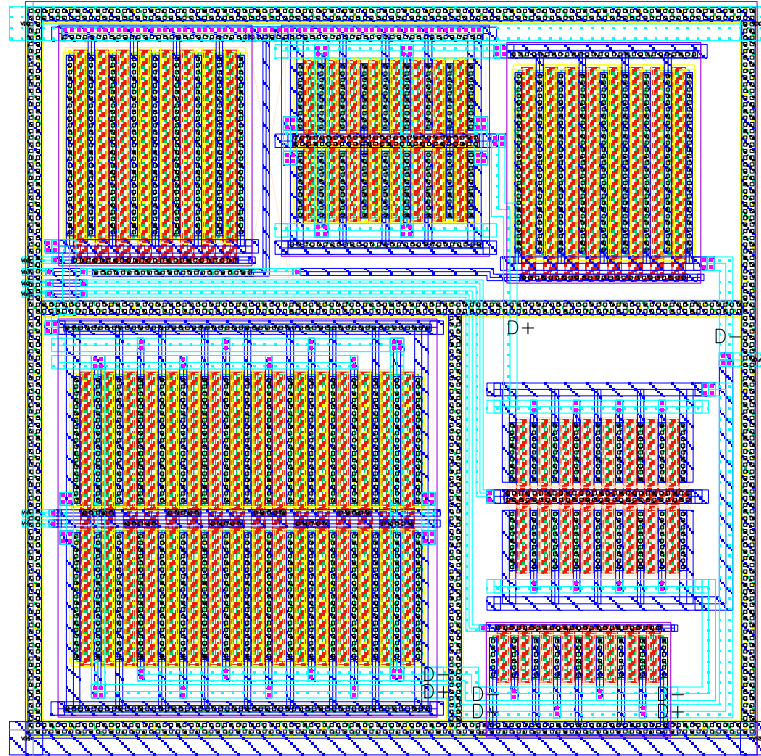


Figura 4. Máscaras del OTA Folded-Cascode.

A partir de estas máscaras se realiza una simulación a nivel transistor (diseño estructural) y una simulación a nivel de máscaras (diseño físico). Se obtienen los siguientes resultados para las simulaciones.

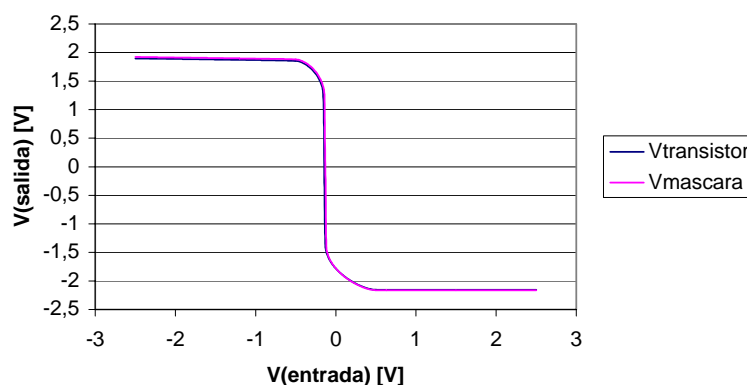


Figura 5. Tensión de salida frente a la tensión de entrada en continua

En la Figura 5 se observan resultados equivalentes en ambas simulaciones, únicamente difieren para valores de entrada negativos. Esta

diferencia es atribuible a los diodos parásitos introducidos relacionados con las zonas de fuente y drenador.

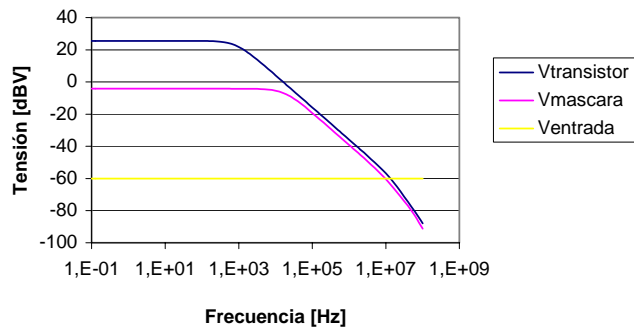


Figura 6. Simulación en pequeña señal

El diagrama de Bode de la Figura 6 muestra el comportamiento en frecuencia de la simulación. Se obtiene el mismo GBW, pero sin embargo, la ganancia en continua de la simulación a nivel de las máscaras es casi 30dB inferior a la de transistor. Esto se debe a que solo se ha compensado el offset en la simulación a nivel transistor. Se observa que si este varía entre $\pm 130\text{mV}$, el comportamiento todavía es suficiente. Si este es superior, pueden perderse prestaciones del modulador^[Cho98].

Teniendo en cuenta que el integrador no incluye ninguna compensación de offset, se debe suponer que el punto de trabajo será el mismo que en la simulación del diseño físico, el cual es más que suficiente para las especificaciones dadas ($>50\text{dB}$).

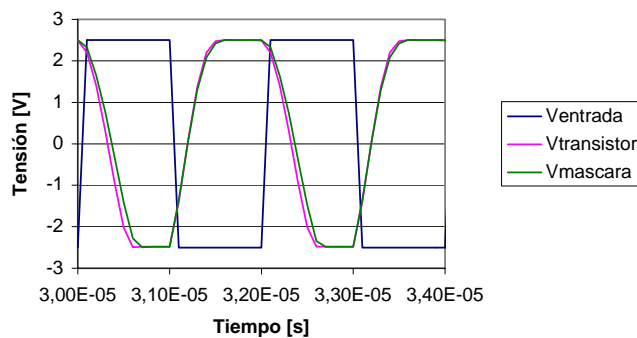


Figura 7. Simulación de la salida del OTA frente a un tren de impulsos

En la Figura 7 se muestra la simulación del transitorio, la cual tiene un comportamiento equivalente en ambos casos. Solo se observa que la simulación física precisa de mayor tiempo para alcanzar el valor de salida. Esto

se debe al efecto de las capacidades parásitas, que ahora se pueden estimar y simular.

A partir de estas simulaciones se obtienen los siguientes resultados.

<i>Parámetro</i>	<i>Valor</i>
Tensión de Polarización	$\pm 2,5V$
Carga	6,4pF
Tensión de Offset	-130mV
Rango en Modo Común	-2,2V~1,9V
Velocidad de Variación (SR)	7,1V/ μ s
Corriente de Salida	45 μ A
Excursión de la Salida	$\pm 2V$
Ganancia por Ancho de Banda	10MHz
Ganancia en continua	55dB

Tabla 1. Prestaciones obtenidas a partir de una simulación a nivel de máscara.

Las prestaciones obtenidas son suficientes para el modulador que se ha diseñado. Por lo que se puede continuar con el resto de componentes.

V.4 Capacidades

Las capacidades son elementos que ocupan una gran superficie en un circuito integrado, independientemente del método de integración escogido. Este hecho hace que sean muy vulnerables tanto a variaciones de las características espaciales de la tecnología (grosor del óxido, concentración de dopantes, tamaño...)^[Gre86]. Sin olvidar que dependiendo de la geometría de una capacidad, esta puede variar sus características, y verse incrementada, o disminuida.

Por este motivo, se deben tomar una serie de precauciones a la hora de diseñar y conectar estos dispositivos. A continuación se detallan los aspectos tenidos en cuenta en su diseño.

V.4.1 Capacidades lineales

El diseño de las capacidades MOS se ha realizado intentando maximizar la capacidad por unidad de área y el apareamiento, a la vez que se minimizaban las posibles fuentes de interferencias.

Con este objetivo se han diseñado todas las capacidades basándose en una celda unitaria, la cual está constituida por un apilamiento poly-óxido-metal1-óxido-metal2. La capa de metal2 y la de poly están interconectadas entre sí, consiguiendo crear una superficie de Gauss alrededor del electrodo de metal1. Esta superficie sólo se abre en dos puntos, que son los que permiten polarizar el electrodo. El diseño se puede observar en la Figura 8.

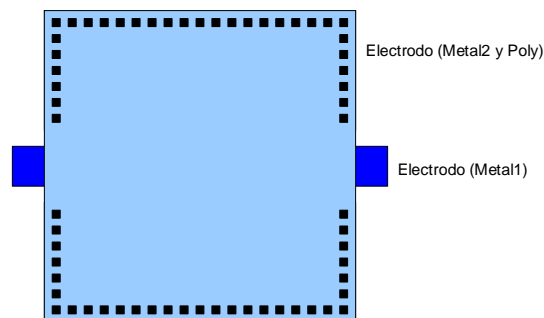


Figura 8. Diseño de máscaras de una capacidad lineal.

Esta implementación permite asegurar un buen apareamiento entre capacidades. La razón es que la interacción del electrodo de metal1 con el exterior es muy pequeña. Y por lo tanto el valor de la capacidad unitaria es independientemente de la posición que ocupe dentro de una capacidad más grande.

Para realizar una capacidad de valor superior, se conectan en paralelo un número determinado de capacidades unitarias. A modo de ejemplo, en el caso de este modulador, la capacidad mínima utilizada para su diseño es 16 veces la capacidad unitaria. El resto de capacidades son múltiplos de la mínima y por lo tanto de la unitaria.

Por último, cada capacidad ha sido rodeada por un anillo de guarda que polariza el sustrato a V_{SS} , para minimizar la posible interacción entre capacidades a través del sustrato.

V.4.2 Capacidades MOS

En el caso de las capacidades MOS ha sido necesario tomar algunas precauciones adicionales. En primer lugar, se ha hecho uso de capacidades PMOS, ya que de esta forma es posible hacer uso de un pozo N flotante y disponer del segundo terminal de la capacidad.

Las capacidades se han realizado a partir del poly de la puerta MOS que actuaba como primer electrodo, y del pozo flotante que actuaba como segundo electrodo. Este diseño es altamente vulnerable cuando hay ruido en el sustrato. Por este motivo, el pozo flotante está a su vez circundado por un anillo de guarda que conecta el sustrato a V_{SS} .

El tamaño de estas capacidades unitarias no puede ser muy grande debido a la resistividad del pozo N. Además es necesario hacer el diseño de forma que se vayan capiculando las capacidades. El resultado final se muestra en la Figura 9.

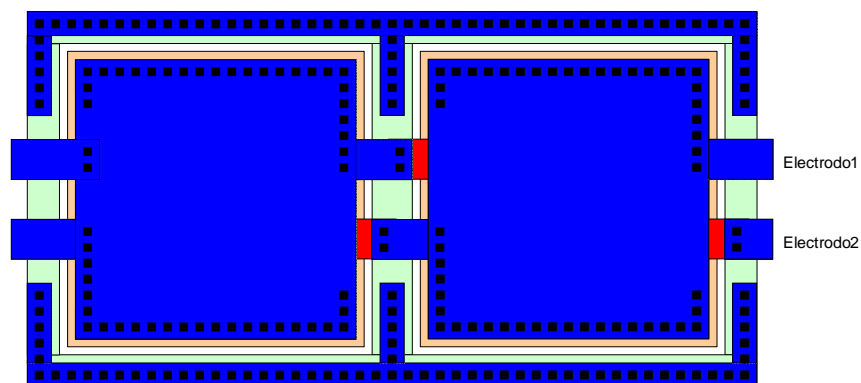


Figura 9. Máscaras de una capacidad MOS.

Como se observa en la figura, cada capacidad unitaria está constituida por dos capacidades MOS conectadas en antiparalelo. En la Figura 10 se muestran las capacidades MOS utilizadas en el modulador.

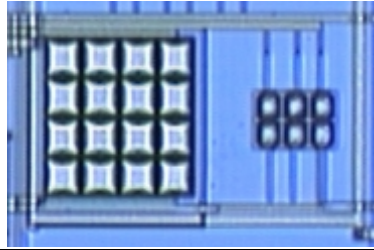


Figura 10. Micrografía de una capacidad lineal (izquierda) y una capacidad MOS (derecha) de valores equivalentes

Se observa que el área ocupada es una tercera parte de la que necesita una capacidad lineal, lo cual implica un importante ahorro de área.

V.5 Integrador

Tal como se ha indicado en el árbol de diseño, existen un integrador de entrada y uno de salida. Si a esto añadimos que se desea comparar las características de una interfaz basada en capacidades lineales y una basada en capacidades MOS, se concluye que es necesario el diseño de cuatro integradores diferentes.

Sin embargo, gracias a la utilización del diseño jerárquico, se ha realizado un único integrador genérico, incluyendo todos aquellos aspectos comunes a todos ellos. Este ha sido posteriormente personalizado, para tener en cuenta las diferencias entre ellos.

En este sentido, también ha sido de gran ayuda el uso de una arquitectura que permite substituir directamente una capacidad lineal por una MOS, ya que no ha hecho falta introducir más elementos en el circuito. Esto también permite asegurar que el test solo depende de la capacidad utilizada, ya que la disposición y conexión del resto de dispositivos es la misma.

Se ha tenido especial cuidado a la hora de conectar las capacidades lineales, procurando que los electrodos exteriores fueran siempre los que estuvieran conectados o bien a tierra, o bien a la tierra virtual. El motivo de este conexionado es evitar las posibles interferencias que se pudieran producir con el substrato, así como entre capacidades.

La ubicación de los componentes ha seguido el orden indicado en el apartado V.1. El diseño final de las máscaras se muestra en la Figura 11.

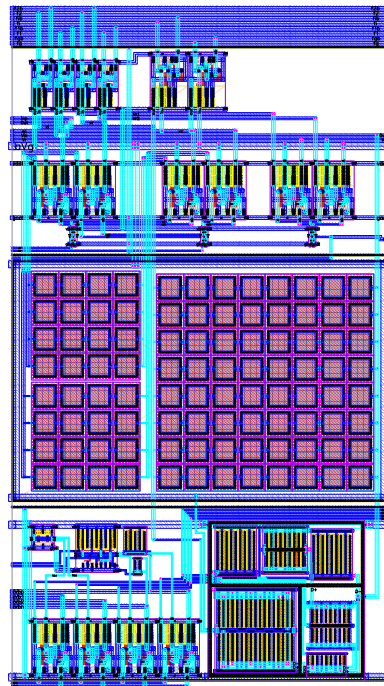


Figura 11. Máscaras del integrador de entrada.

En un circuito final, se debería optimizar el área para disminuir el coste de fabricación. Se observa que el área ocupada por las capacidades es superior a un 30%. Por lo tanto, si se substituye una capacidad lineal por una MOS se obtendría una reducción de área superior al 20%.

V.6 Circuitos de control

El diseño de los circuitos de control se ha realizado basándose en las herramientas de síntesis y generación de máscaras que incluye el entorno de diseño. La razón fundamental es que trabajan sobre señales digitales, y por lo tanto son independientes de la ubicación de los dispositivos.

En el caso del generador de reloj, la opción escogida ha sido el generador automático de máscaras. El motivo es que en este caso se disponía de un esquema a nivel de transistores del circuito.

Para reducir el ruido que introduce este dispositivo en el substrato, se han rodeado el bloque N y el bloque P con anillos de guarda. Esto aumenta las medidas del circuito, pero reduce las interferencias con los circuitos analógicos.

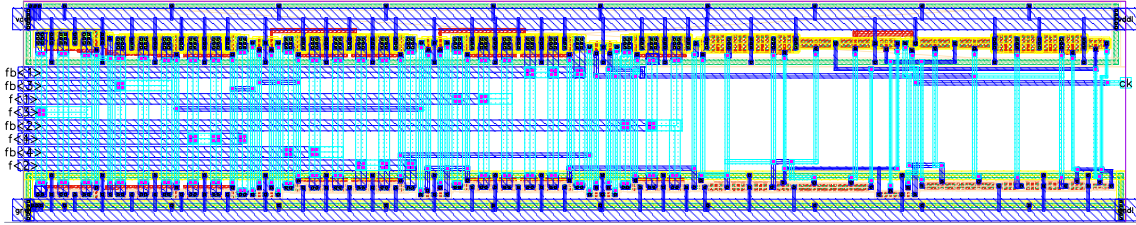


Figura 12. Generador de fases de reloj.

En el caso de la máquina de estados, se ha seguido un proceso semi-estándar. A partir de la descripción en VHDL se ha realizado una síntesis con celdas básicas de la librería de ES2. Una vez obtenido el esquema lógico, se han generado las máscaras con las herramientas de auto-placement y auto-routing.

El resultado obtenido en ambos casos resulta adecuado para las prestaciones esperadas de los mismos.

V.7 Modulador $\Delta-\Sigma$

Finalmente se ha realizado la unificación de los diferentes bloques que componen el modulador. De nuevo se ha mantenido la ubicación de componentes por zonas. Esto ha implicado un aumento del área ocupada por el circuito, pero permite asegurar que habrá un bajo nivel de interferencias.

Partiendo de las máscaras se ha extraído un circuito para poder realizar una simulación lo más próxima a la realidad. En este caso, el tiempo de simulación es mucho mayor, ya que se consideran los elementos parásitos. El resultado es que se simulan más de 2500 componentes, por lo que los tiempos son muy elevados (varias semanas). Por este motivo solo se ha simulado medio periodo de la senoide.

Los resultados se muestran en la Figura 13.



26-Sep-97 File : dsgc.cou
14:30:12 ELDO V4.4.1 : *SIMULACION DE UN MODULADOR DELTA-SIGMA

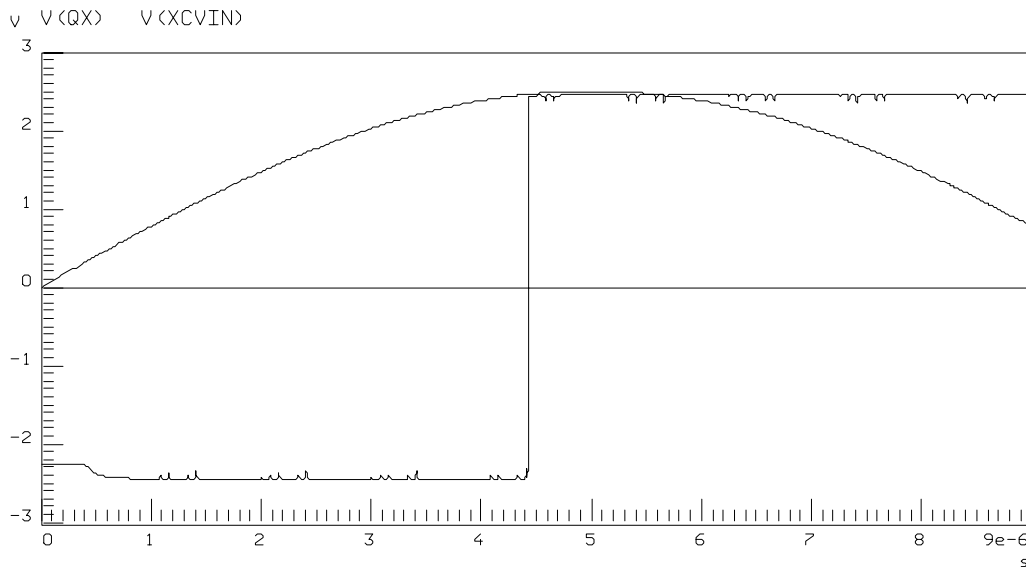


Figura 13. Simulación del modulador Δ - Σ .

La salida del modulador es la esperada. Sigue el comportamiento de la senoide, aunque debido a la frecuencia de la señal de entrada, los niveles de ruido de cuantificación son muy elevados.

V.8 Circuito Integrado

El circuito completo incluye tres moduladores Δ - Σ diferentes. Los dos primeros son moduladores con la etapa de entrada modificada, uno trabaja con capacidades lineales y el otro con MOS. El último es un modulador con etapa de entrada en tensión, que permitiría en caso necesario separar los errores debidos a la etapa de entrada de los del modulador por separado.

También se han introducido dos circuitos de test (un OTA y un comparador), para poder extraer las características de los mismos, y compararlas con las especificaciones iniciales.

Se ha procurado en todo momento separar la polarización de los elementos digitales de los analógicos. Para ello se ha dividido el integrado en dos bloques de entradas/salidas claramente diferenciados. Se han ubicado los pads correspondientes en lados opuestos del circuito, para minimizar las posibles interferencias.

Teniendo en cuenta el número de pads permitido por el encapsulado escogido (PLCC68), se decidió utilizar los mismos pads para las tensiones de alimentación y de referencia de los tres moduladores. Sin embargo, para evitar posibles efectos debidos a la resistencia parásita de las pistas, se ha aumentado el tamaño de estas. Este se ha escogido de forma que permite el paso de una corriente seis veces superior a la corriente del pico de conmutación obtenida en las simulaciones, lo cual permite trabajar en paralelo a los tres circuitos.

La tecnología utilizada permite hacer uso de herramientas de ubicación y enrutado automáticos. Éstas son muy útiles en circuitos digitales, pero no tiene en cuenta aspectos críticos en el diseño analógico, como la posición de las posibles fuentes de ruido. Por este motivo se ha optado por realizar una ubicación manual y un enrutado semiautomático, ya que es la única forma de asegurar la correcta posición de los diferentes componentes del circuito.

Para la realizar dicha colocación, se han posicionado los circuitos siguiendo una simetría axial respecto al eje de entrada/salida. De esta forma se minimiza las posibles interferencias que realizan los generadores de reloj, al estar uno al lado del otro y opuestos a la posición de los OTAs. Además se ha procurado que las entradas analógicas estuvieran encaradas con los pads correspondientes, de forma que se reduce la longitud de pista necesaria, y por lo tanto de posibles interferencias.

El enrutado de las pistas analógicas se ha realizado de forma totalmente manual, procurando que los puntos de intersección estuvieran lo más próximos posible a los pads. El resto de pistas se ha realizado de forma automática.

La microfotografía muestra el modulador basado en capacidades MOS una vez ya fabricado.

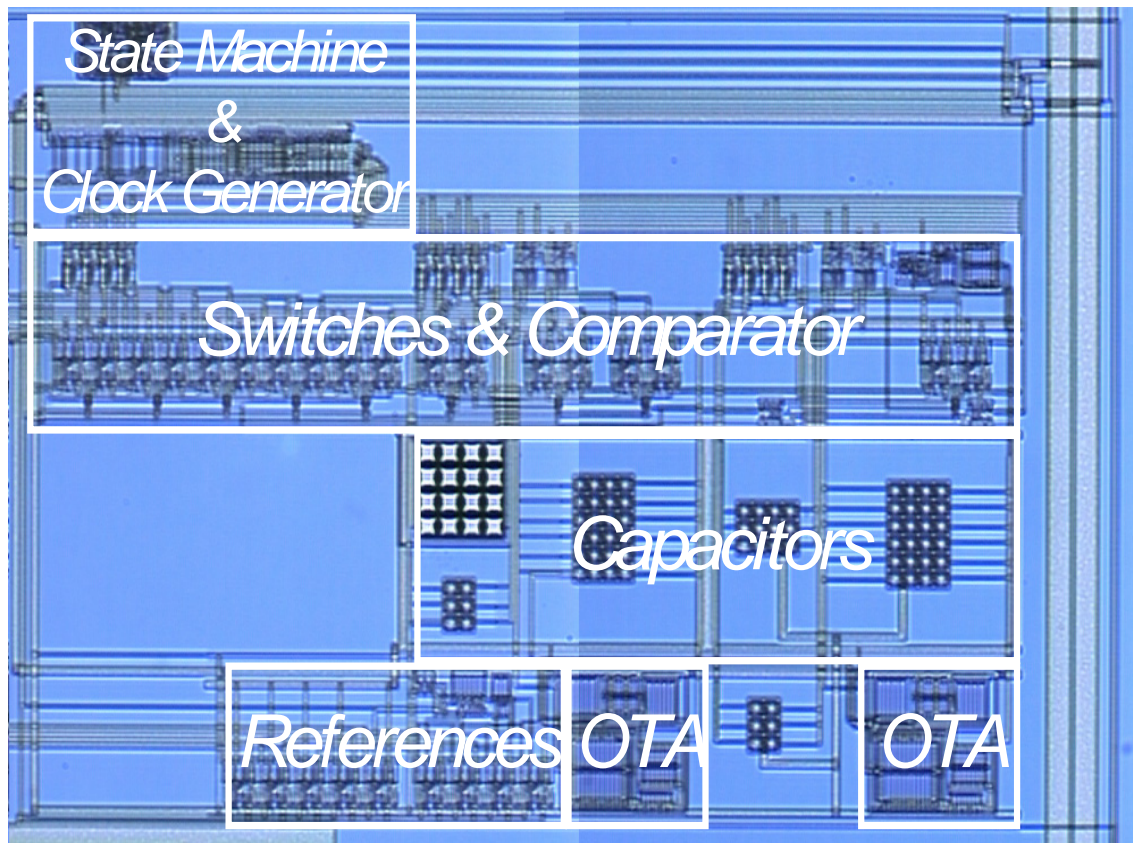


Figura 14. Microfotografía del modulador Δ - Σ .

V.9 Referencias

- [Mak95] K. Makie-Fukuda, T. Kikuchi, T. Matsuura, M. Hotta, "Measurement of Digital Noise in Mixed-Signal Integrated Circuits", IEEE J. Solid-State Circuits, vol. 30, pp.87-91, 1995.
- [Gre86] R. Gregorian, G.C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons, Inc., ISBN 0-471-62569-8, 1986.
- [Ing97] M. Ingels, M.S.J. Steyaert, "Design Strategies and Decoupling Techniques for Reducing the Effects of Electrical Interference in Mixed-Mode IC's", IEEE J. Solid-State Circuits, vol. 32, pp.1136-1141, July 1997
- [Nai99] R. Naiknaware, T.S. Fiez, "Automated Hierarchical CMOS Analog Circuit Stack Generation with Intramodule Connectivity and Matching Considerations", IEEE J. Solid-State Circuits, vol. 34, pp.304-317, Mar. 1999.

[Coh94] J.M. Cohn, D.J. Garrod, R.A. Rutenbar, L.R. Carley, "Analog Device-Level Layout Automation", Kluwer Academic Publishers, ISDN 0-7923-9431-3, 1994.

[Ism94] M. Ismail, T. Fiez, "Analog VLSI Signal and Information Processing", McGraw-Hill, Inc., ISBN 0-07-032386-0, 1995.

[Cho98] B.W. Cho, P. Choi, B.K. Sohn, "Modeling Modulators for A/D Signal Conversion", IEEE Circuits & Devices, pp. 26-31, November 1998.