



Universitat Autònoma de Barcelona

**Escuela de Ingeniería  
Departamento de Ingeniería Electrónica**

# **Filamentos conductores de ruptura dieléctrica en aislantes delgados**

Memoria presentada por  
**Xavier Saura Mas**  
para optar al grado de  
Doctor en Ingeniería Electrónica  
y de Telecomunicación

Dirigida por:  
Dr. Jordi Suñé y,  
Dr. Enrique Miranda

**Bellaterra, Septiembre de 2014**









Universitat Autònoma de Barcelona

Programa de doctorado:

*Ingeniería Electrónica y de Telecomunicación*

Departamento:

*Departamento de Ingeniería Electrónica*

Autor:

Xavier Saura Mas

Directores:

Dr. Jordi Suñé Tarruella

Dr. Enrique Miranda Castellano





Universitat Autònoma de Barcelona

**Escuela de Ingeniería**  
**Departamento de Ingeniería Electrónica**

Jordi Suñé Tarruella, catedrático de universidad, y Enrique Miranda Castellano, profesor agregado, de la Universitat Autònoma de Barcelona,

**Certifican,**

Que el trabajo “**Filamentos conductores de ruptura dieléctrica en aislantes delgados**” que presenta Xavier Saura Mas para optar al grado de Doctor en Ingeniería Electrónica y de Telecomunicación, se ha realizado bajo su dirección.

Bellaterra, Septiembre de 2014

Dr. Jordi Suñé Tarruella

Dr. Enrique Miranda Castellano









# Agradecimientos

En primer lugar, mis agradecimientos son para el Dr. Jordi Suñé y el Dr. Enrique Miranda, por la oportunidad que me brindaron de poder investigar y desarrollar mi tesis doctoral. Ha sido una gran experiencia, muchos los momentos compartidos, y aún más los amigos que me llevo como resultado de los años de investigación que he podido disfrutar dentro del Departamento de Ingeniería Electrónica. A ellos, y en especial a mis compañeros de despacho, quiero agradecer por todos los buenos momentos compartidos.

Además, quiero agradecer a la Dra. Francesca Campabadal ya que sin duda alguna, su apoyo y colaboración han sido vitales para la obtención de los resultados del capítulo 3. Sus consejos y conocimientos han sido de gran valor para mí. En el marco de este capítulo, quiero reconocer la colaboración y ayuda del equipo del área de nanolitografía de la Sala Blanca del IMB-CNM dirigido por el Dr. Xavier Borrisé, con los cuales he compartido multitud de momentos dentro de dicha sala. Mis agradecimientos también a tantos otros miembros de este centro por su colaboración y sus consejos en relación con la fabricación de los dispositivos del mismo capítulo.

Doy las gracias también a toda mi familia, especialmente a mis abuelos y a mi madre, por la educación que me brindaron a lo largo de mi vida, e inculcarme valores como el respeto, responsabilidad, motivación y perseverancia para perseguir mis objetivos, así como el espíritu de superación frente a los problemas que se presentan en la vida.

Quiero dedicar especialmente este trabajo a la estrella que ilumina mi día a día, a Milagros, mi pareja, por su amor, alegría, paciencia y colaboración, por la fuerza que me transmite para seguir adelante en todo momento con pasión y motivación. Por esa constancia y apoyo incondicional, por ser la persona más importante de mi vida.

Gracias por cada granito de arena aportado a los que habéis estado, a los que estáis, y a los que ya no están pero seguirán eternamente a mi lado. Sin la colaboración de todos vosotros no habría sido posible concluir este trabajo.

Gracias!







# Contenido

Publicaciones relacionadas con esta tesis .....	i
Presentación.....	v
1. Introducción.....	1
1.1. Escalado del óxido y dieléctricos <i>high-k</i> .....	2
1.2. Degradación y ruptura del óxido .....	5
1.3. Caracterización de la ruptura .....	8
1.3.1. Caracterización eléctrica .....	8
1.3.2. Caracterización microscópica .....	12
1.4. Contexto en el que se enmarca la tesis doctoral .....	14
2. <i>Threshold Switching</i> en estructuras MIS .....	15
2.1. Introducción al fenómeno de <i>Resistive Switching</i> .....	16
2.1.1. Clasificaciones del fenómeno de <i>Resistive Switching</i> .....	17
2.1.2. <i>Memory Switching</i> y <i>Threshold Switching</i> .....	20
2.2. Descripción de las muestras caracterizadas .....	24
2.3. Caracterización del fenómeno de <i>Threshold Switching</i> .....	24
2.4. Resultados no publicados.....	31
2.5. Conclusiones.....	34
3. Exploración del efecto de campo sobre la conducción en caminos de ruptura dieléctrica.....	35
3.1. Consideraciones iniciales.....	37
3.2. Descripción de las estructuras fabricadas .....	48
3.2.1. Estructuras preliminares .....	48
3.2.1.1. Estructura BD-NW-AF .....	48
3.2.1.2. Estructura MIM Si- <i>backgated</i> .....	49
3.2.2. Estructura MIM <i>backgated</i> .....	52
3.2.3. Estructura MIM <i>gated</i> .....	53
3.3. Caracterización del efecto de campo sobre la conducción en caminos de ruptura dieléctrica.....	56
3.3.1. Estructuras MIM <i>backgated</i> .....	56
3.3.2. Estructuras MIM <i>gated</i> .....	62

3.4. Conclusiones .....	65
4. Estadística de eventos de ruptura múltiples en estructuras MIM/MOS .....	67
4.1. Introducción a la estadística espacial de procesos puntuales.....	68
4.2. Descripción de las muestras y condiciones de estrés.....	77
4.3. Caracterización espacial de eventos vecinos y efecto de bordes.....	78
4.4. Caracterización de la generación de eventos de ruptura múltiples.....	86
4.5. Caracterización espacial en función de la localización de la punta de medida. ..	90
4.6. Conclusiones.....	105
5. Conclusiones finales.....	107
6. Referencias .....	109
Anexo A. Artículos incluidos en el compendio de publicaciones.....	121
Anexo B. Artículo pendiente de publicación .....	149
Anexo C. Detalles de los procesos de fabricación.....	163
Anexo C.1. Proceso de fabricación NANOFUSE1 .....	165
Anexo C.2. Proceso de fabricación NANOFUSE2 .....	173
Anexo C.3. Proceso de fabricación NANOFUSE3 .....	177
Anexo C.4. Litografía por haz de electrones .....	181







# Publicaciones relacionadas con esta tesis

## ARTÍCULOS INCLUIDOS EN ESTA TESIS POR COMPENDIO DE PUBLICACIONES

- A. X. Saura, E. Miranda, D. Jiménez, S. Long, M. Liu, J. M. Rafí, F. Campabadal, and J. Suñé, “Threshold switching and conductance quantization in Al/HfO<sub>2</sub>/Si(p) structures”, Japanese Journal of Applied Physics (JJAP) 52, 04CD06, 2013.
- B. X. Saura, X. Lian, D. Jimenez, E. Miranda, X. Borrisé, F. Campabadal and J. Suñé, “Field-effect control of breakdown paths in HfO<sub>2</sub> based MIM structures”, Microelectronics Reliability, vol. 53, Issues 9–11, pp. 1346-1350, 2013.
- C. X. Saura, J. Suñé, S. Monaghan, P. K. Hurley, and E. Miranda, “Analysis of the breakdown *spot* spatial distribution in Pt/HfO<sub>2</sub>/Pt capacitors using nearest neighbor statistics”, Journal of Applied Physics 114, 154112, 2013.
- D. X. Saura, D. Moix, J. Suñé, P.K. Hurley, E. Miranda, “Direct observation of the generation of breakdown *spots* in MIM structures under constant voltage stress”, Microelectronics Reliability, vol. 53, Issues 9–11, pp. 1257-1260, 2013.

## ARTÍCULO PENDIENTE DE PUBLICACIÓN

- X. Saura, S. Monaghan, J. Suñé, P. K. Hurley, E. Miranda, “Failure Analysis of MIM and MIS Structures Using Point-to-Event Distance and Angular Probability Distributions”. Submitted to Transactions on Device and Materials Reliability.

## CONTRIBUCIONES A CONGRESOS

- X. Saura, J. Suñé, E. Miranda, D. Jiménez, C. Martínez-Domingo, S. Long, M. Liu, J.M. Rafí and F. Campabadal, “Threshold switching in MOS structures with HfO<sub>2</sub>”, Barcelona Nanotechnology Cluster – Bellaterra (BNC-B) Research Meeting 2011.
- J. Suñé, E. Miranda, D. Jiménez, X. Saura, S. Long, M. Liu, J.M. Rafí and F. Campabadal, “Threshold switching and conductance quantization in Al/HfO<sub>2</sub>/Si(p) structures”, 44<sup>th</sup> Solid State Devices and Materials (SSDM), 2012.

- X. Saura, X. Lian, D. Jimenez, E. Miranda, X. Borrisé, J.M. Rafi, F. Campabadal and J. Suñé, “Exploring the field-effect control of breakdown paths in lateral W/HfO<sub>2</sub>/W structures”, 14<sup>th</sup> International Conference on Ultimate Integration On Silicon (ULIS), 2013.
- X. Saura, X. Lian, D. Jimenez, E. Miranda, X. Borrisé, F. Campabadal and J. Suñé, “Field-effect control of breakdown paths in HfO<sub>2</sub> based MIM structures”, 24<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF), 2013.
- X. Saura, D. Moix, J. Suñé, P.K. Hurley, E. Miranda, “Direct observation of the generation of breakdown *spots* in MIM structures under constant voltage stress”, 24<sup>th</sup> European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF), 2013.





# Presentación

La continua evolución en los campos de la micro y nanoelectrónica es posible gracias a la gran cantidad de esfuerzos que se realizan en múltiples líneas de investigación con la finalidad de introducir mejoras constantes en los dispositivos ya sea en cuanto a su rendimiento, su funcionalidad, o las dimensiones de los dispositivos. Una de las innovaciones más importantes es la utilización de aislantes de puerta de alta permitividad dieléctrica (*high-k dielectrics*) y electrodos metálicos, introducidos por Intel en 2007 [1]. La investigación en torno de estos materiales ha permitido continuar con el escalado de los dispositivos electrónicos basados en la tecnología MOS hasta los transistores *Tri-gate* de 22nm introducidos por Intel por primera vez en producción masiva a finales de 2011 en sus últimos microprocesadores de la familia Intel Core i7 de tercera generación. Como puede notarse, se hace imprescindible que existan múltiples líneas de investigación que incluyan la utilización de las herramientas correctas para la caracterización de nuevos dispositivos que permitan la mejora y evolución constante.

La línea de investigación en la que se enmarca esta tesis doctoral se sitúa en torno al fenómeno de ruptura dieléctrica, y la posterior conducción filamentaria, en estructuras metal-aislante-semiconductor (*metal-oxide-semiconductor*, MOS) y metal-aislante-metal (*metal-insulator-metal*, MIM) observado en materiales dieléctricos de alta permitividad y bajo diferentes circunstancias. La idea de utilizar la ruptura dieléctrica como núcleo del principio de operación de dispositivos eléctricos no es algo nuevo y ya se ha considerado en la industria semiconductora, principalmente para la fabricación de dispositivos de memoria no volátiles. Como resultado de la investigación desarrollada en esta tesis doctoral, se ha contribuido con la publicación de varios artículos científicos y con varias participaciones a congresos, siempre en el ámbito de la micro y nanoelectrónica. Así, esta tesis se presenta en formato de “compendio de artículos” por lo que los resultados mostrados hacen referencia directa a cuatro artículos publicados (incluidos en el anexo A), y a un artículo pendiente de aceptación (incluido en el anexo B). Resumidamente, los conceptos que se tratan a lo largo de la tesis son los siguientes:

- A modo de introducción, en el capítulo 1 se describen los conceptos básicos y necesarios para comprender los resultados descritos en los siguientes capítulos en relación con los dispositivos que se utilizan en este trabajo, los cuales están basados en estructuras MOS o MIM con dieléctricos de alta permitividad.
- En el capítulo 2, se describe el mecanismo de TS observado en estructuras MOS y se describe en términos del modelo de contacto puntual cuántico. Los resultados presentados en este capítulo están directamente relacionados con el artículo A.
- En el capítulo 3 se presentan los resultados relacionados con el artículo B de esta tesis, los cuales hacen referencia a la posibilidad del efecto de campo sobre la conducción en caminos de ruptura dieléctrica en estructuras MIM.

- En el capítulo 4 se hace un análisis estadístico espacio-temporal en capacidades MIS/MOS en las que se observan múltiples eventos de ruptura como resultado del estrés eléctrico producido sobre las mismas. Los resultados presentados en este capítulo se relacionan con los artículos C y D, además del artículo pendiente de aceptación del anexo B que no ha sido incluido en el compendio de publicaciones.
- Finalmente, en el capítulo 5 se presentan las conclusiones obtenidas como consecuencia de las investigaciones desarrolladas a lo largo de esta tesis.

La investigación realizada en esta tesis doctoral se ha realizado dentro del grupo NANOCOMP (Nanoelectrónica Computacional) del Departamento de Ingeniería Electrónica de la Universitat Autònoma de Barcelona y en colaboración con otros centros de investigación externos como el Instituto de Microelectrónica de Barcelona del Centro Nacional de Microelectrónica de Barcelona (IMB-CNM) y el Tyndall National Institute de Cork (Irlanda). Así, la investigación se ha realizado dentro de los siguientes proyectos:

- Proyecto TEC2009-09350 del Ministerio de Educación y Ciencia, titulado: Antifusibles controlables por tensión basados en nanohilos de ruptura dieléctrica.
- TEC2012-32305 del Ministerio de Economía y Competitividad, titulado: Dispositivos iónico-electrónicos basados en óxidos para memorias no volátiles y nanoelectrónica reconfigurable.
- GICSERV NGG-165 del Ministerio de Educación y Ciencia, titulado: Desarrollo de capacidades MOS laterales con óxidos high-k (ALD) sobre obleas SOI nanoestructuradas mediante e-beam / RIE.
- GICSERV7 NGG-221 del Ministerio de Educación y Ciencia, titulado: Estructuras de conmutación resistiva controladas por tensión mediante backgate.

En relación con las estructuras fabricadas en el capítulo 3, en colaboración con el IMB-CNM y en relación con los proyectos GICSERV6 y GICSERV7, durante la tesis doctoral también se ha obtenido la siguiente cualificación para la manipulación de equipos de la Sala Blanca del IMB-CNM:

- Registrado en el “Registro de Personas Autorizadas a entrar en Sala Blanca” con la “Cualificación 0.1” en el IMB-CNM.
- Cualificación del régimen de “Autoservicio Cualificado” en la Sala Blanca del IMB-CNM para la utilización del equipo “LEO 1530” para el uso de un microscopio electrónico de barrido (*scanning electron microscopy*, SEM) y del equipo “Raith 150TWO” para la realización de litografía por haz de electrones (*electron beam lithography*, EBL).







# 1. Introducción

La degradación y la ruptura de las capas ultradelgadas de óxido de silicio ( $\text{SiO}_2$ ) utilizadas como aislante de puerta en estructuras metal-óxido-semiconductor (*metal-oxide-semiconductor*, MOS), también conocidas como metal-aislante-semiconductor (*metal-insulator-semiconductor*, MIS), son un importante motivo de investigación en los últimos años debido a que la ruptura de las mismas es uno de los principales mecanismos que afecta la fiabilidad y rendimiento de la tecnología CMOS (*complementary MOS*, CMOS) [2-4]. Además, debido al incremento de corriente de pérdidas, que incrementa el consumo en *stand-by* de los MOSFET (*MOS field effect transistor*), se ha alcanzado el límite del escalado del  $\text{SiO}_2$  [5]. En consecuencia se están realizando numerosas investigaciones en torno a la utilización de nuevos materiales dieléctricos de puerta con una alta constante dieléctrica en comparación con la del  $\text{SiO}_2$ , al desarrollo de nuevas arquitecturas de dispositivos (como los transistores MOSFET multi-puerta, los transistores de nanohilo, los transistores finFETs, etc.), y nuevos materiales tanto para el sustrato como para el electrodo de puerta [6]. Tradicionalmente, la ruptura del dieléctrico se asociaba con la pérdida de la funcionalidad de los dispositivos MOS por lo que no se había prestado atención sobre sus propiedades eléctricas posteriores a la ruptura. Sin embargo, la idea de utilizar la ruptura dieléctrica como núcleo del principio de operación de dispositivos eléctricos no es algo nuevo y ya se ha considerado en la industria semiconductora, principalmente para la fabricación de dispositivos de memoria no volátiles.

En este sentido, debido a que en este trabajo se centra la atención sobre la fenomenología de post-ruptura del dieléctrico, en este primer capítulo se introducen los aspectos clave en los que se enmarca la investigación realizada durante la tesis doctoral. Primero, se introducen conceptos tales como el escalado del óxido y los dieléctricos de alta permitividad, la degradación de los mismos, y se introduce el fenómeno de ruptura del dieléctrico. Actualmente, éste fenómeno es centro de varias líneas de investigación en relación con el fenómeno de la conmutación resistiva (descrito a lo largo del capítulo 2). En este primer capítulo, también se describen los métodos de caracterización eléctrica y microscópica. Finalmente, una vez descritos los conceptos clave para la comprensión de la investigación realizada, se sitúa esta tesis doctoral en el marco en el que se desarrolla la investigación mostrada en los siguientes capítulos.

## 1.1. Escalado del óxido y dieléctricos *high-k*

La conocida Ley de Moore predice que la capacidad de integración se duplica aproximadamente cada 18 meses [7]. La continua miniaturización que se ha producido en el campo de la electrónica ha requerido de la investigación de nuevas técnicas de fabricación, nuevas topologías de estructuras, nuevos materiales, entre otros. Esta investigación ha sido imprescindible siempre con la finalidad de desarrollar estructuras cuya funcionalidad sea la misma que la de una estructura MOS. En concreto, en el nodo tecnológico CMOS de los 70nm, se estimaban espesores de óxido de silicio de entre 1.2 y 1.6nm [8]. Debido al reducido grosor del óxido, las corrientes de pérdidas excesivas han incrementado el consumo en corte de los transistores llegando al límite del escalado de los dieléctricos basados en SiO<sub>2</sub> [5].

Como consecuencia, se han hecho muchos esfuerzos para reemplazar el SiO<sub>2</sub> por nuevos dieléctricos con mayor constante dieléctrica. Algunas de las innovaciones más notables y recientes son la utilización de Si tensado y la introducción de dieléctricos de alta permitividad (conocidos también como dieléctricos *high-k*) en lugar de SiO<sub>2</sub>, ambas introducidas por Intel en 2003 y 2007, respectivamente. A lo largo del desarrollo de esta tesis, se ha trabajado en todo momento en el marco de estructuras MOS/MIS con óxidos de puerta de tipo *high-k* por lo que el entendimiento de sus propiedades resulta de gran utilidad.

En el momento en que el escalado de los dispositivos MOS ha implicado la reducción del espesor del SiO<sub>2</sub> a pocos nanómetros, la fiabilidad de los dispositivos MOS ha disminuido y la corriente de pérdidas en la estructura ha aumentado, provocando un aumento del consumo estático. Así, el escalado del SiO<sub>2</sub> ha hecho que la investigación en el campo de los dieléctricos *high-k*, así como su utilización, haya crecido en los últimos años. A partir de la expresión (1.1), utilizada en primera aproximación para calcular la capacidad de una estructura MOS de placas paralelas (dónde  $K$  es la constante del dieléctrico o permitividad relativa,  $\epsilon_0$  es la permitividad del vacío,  $A$  es el área de la capacidad y  $T_{ox}$  es el grosor del óxido), se puede comprender fácilmente que estos materiales, al tener una mayor constante dieléctrica, permiten aumentar el espesor del óxido reduciendo a su vez la corriente de pérdidas a través del mismo. Con la finalidad de tener una estimación para comparar los efectos del SiO<sub>2</sub> con el material *high-k* que lo sustituye, se define el término de espesor de óxido equivalente (*equivalent oxide thickness*, EOT), cuya ecuación se presenta en (1.2), como una estimación para comparar los efectos del SiO<sub>2</sub> con el material *high-k* que lo sustituye.

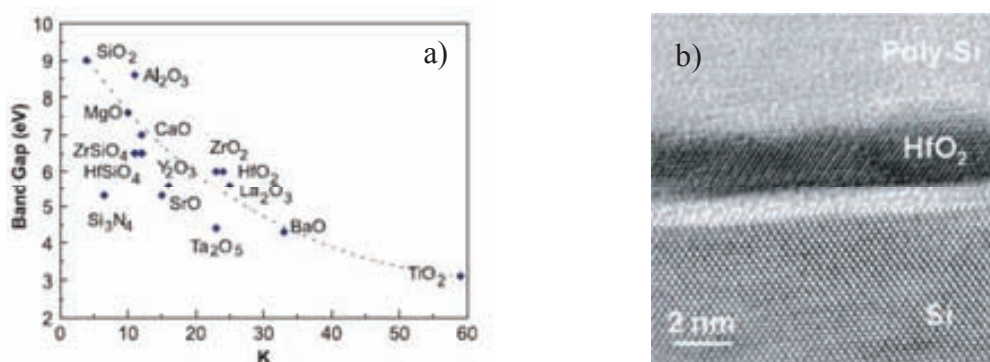
$$C = K \frac{\epsilon_0 A}{T_{ox}} \quad (1.1)$$

$$EOT = T_{high-k} \frac{K_{SiO_2}}{K_{high-k}} \quad (1.2)$$

Dentro de los distintos materiales *high-k* candidatos a sustituir el SiO<sub>2</sub>, es importante tener en cuenta ciertos factores [9]: el *high-k* debe tener un valor de K suficientemente alto como para ser usado durante muchos años de escalado; como el óxido está en contacto directo con el canal de silicio (Si), debe ser termodinámicamente estable con el Si; debe ser cinéticamente estable además de compatible con procesos de 1000°C durante 5 segundos; debe ser aislante y por lo tanto, tener una diferencia de bandas con el Si de aproximadamente 1eV para minimizar la inyección de portadores a las bandas del Si; debe formarse una buena interfaz entre el *high-k* y el Si; debe tener pocos defectos eléctricamente activos en el interior del óxido, también llamados trampas, ya que estos defectos pueden atrapar cargas [10].

	K	Gap (eV)	CB offset (eV)
Si		1.1	
SiO <sub>2</sub>	3.9	9	3.2
Si <sub>2</sub> N <sub>3</sub>	7	5.3	2.4
Al <sub>2</sub> O <sub>3</sub>	9	8.8	2.8 (not ALD)
Ta <sub>2</sub> O <sub>3</sub>	22	4.4	0.35
TiO <sub>2</sub>	80	3.5	0
SrTiO <sub>3</sub>	2000	3.2	0
ZrO <sub>2</sub>	25	5.8	1.5
HfO <sub>2</sub>	25	5.8	1.4
HfSiO <sub>4</sub>	11	6.5	1.8
La <sub>2</sub> O <sub>3</sub>	30	6	2.3
Y <sub>2</sub> O <sub>3</sub>	15	6	2.3
a-LaAlO <sub>3</sub>	30	5.6	1.8

**Tabla 1.1.** Valores de la constante dieléctrica estática (K), el *bandgap* experimental (eV) y el offset de la banda de conducción en el Si para varios dieléctricos de puerta [9].



**Fig. 1.1.** a) Representación de la constante dieléctrica vs. el *bandgap* en distintos dieléctricos. b) imagen obtenida con un microscopio electrónico de transmisión (Transmission Electron Microscopy, TEM) de una sección en la que se muestra una capa interfacial de SiO<sub>2</sub> debajo la capa de HfO<sub>2</sub> [9].

En cuanto al valor de la constante dieléctrica (K) su relación con la distancia entre la banda de valencia ( $B_V$ ) y la banda de conducción del material dieléctrico (banda prohibida o en inglés, *bandgap*), es importante tener en cuenta el compromiso entre

ambos ya que interesa tener un valor alto de ambos pero el valor de  $K$  tiende a variar de manera inversamente proporcional al valor del *bandgap* (ver Tabla 1.1 y Fig. 1.1a). En cuanto a la formación de una buena interfaz entre el Si y el óxido, se debe tener en cuenta la creación/existencia de una capa interfacial que aumenta el valor del EOT mínimo según se muestra en la ecuación (1.3) (ver Fig. 1.1b). Con la finalidad de controlar y mejorar esta interfaz, se puede añadir intencionadamente una capa de  $\text{SiO}_2$  delgada entre el sustrato de Si y el material *high-k* formando así, lo que se conoce como un *stack* dieléctrico. En este caso:

$$EOT = T_{\text{SiO}_2} + T_{\text{high-k}} \frac{K_{\text{SiO}_2}}{K_{\text{high-k}}} \quad (1.3)$$

Desde que la investigación en el campo de los *high-k* se inició, han sido muchos los óxidos metálicos que se han estudiado como posibles materiales dieléctricos *high-k* para sustituir el  $\text{SiO}_2$  [11-15]. Sin embargo, dentro de los muchos candidatos (e.g.  $\text{Al}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{HfO}_2$ , y  $\text{ZrO}_2$ ) teniendo en cuenta los distintos factores en la elección del dieléctrico, el  $\text{HfO}_2$  se ha convertido en el firme candidato para la fabricación en masa [16, 17] al tener un valor un alto valor de  $K$  (generalmente mayor a 20, aunque para  $\text{HfO}_2$  esta constante depende de la cristalización del mismo pudiendo variar entre 2 y 25 [18]), alta temperatura de fusión, un *bandgap* alto (aproximadamente 5,8 eV), además de unas buenas características eléctricas y una alta estabilidad térmica en contacto con el Si [12, 19, 20].

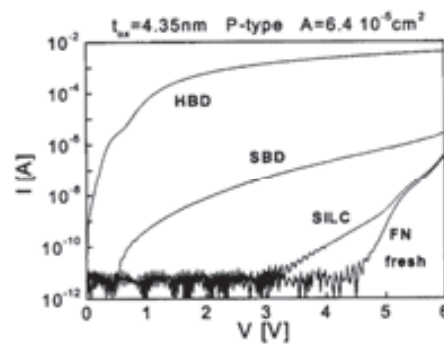
## 1.2. Degradación y ruptura del óxido

La conducción a través de un material dieléctrico debida a un estrés eléctrico implica la pérdida de sus propiedades aislantes. Al proceso de pérdida progresiva de las propiedades dieléctricas de este material se le llama degradación del óxido. Existen varios modelos físicos que relacionan la degradación con el estrés eléctrico del mismo, los cuales describen los distintos tipos de defectos y/o trampas creados en el dieléctrico y la aparición de estados interfaciales. Estos modelos son el modelo electroquímico [21], el modelo de inyección anódica de huecos [22], y el modelo de liberación de hidrógeno en la interfaz del ánodo [23]. Sin embargo, no hay consenso sobre la validez de estos modelos.

El estudio de la degradación del óxido en capas dieléctricas es un campo de gran interés debido a la funcionalidad añadida que se puede dotar a los dispositivos electrónicos en relación con el mecanismo de conmutación resistiva (fenómeno abordado en el capítulo 2), el cual se caracteriza por la existencia de dos estados resistivos claramente diferenciados que permiten conmutar del uno al otro. Por este motivo se ha descrito un modelo ampliamente aceptado, llamado modelo percolativo [24], que asume que cuando un material dieléctrico es sometido a un estrés eléctrico, se generan continuamente defectos estructurales en el interior del óxido y en su superficie con una tasa de generación que depende de las condiciones de estrés (principalmente de la temperatura y el voltaje). La continua degradación del óxido que implica la generación y solapamiento de trampas en el óxido provoca la variación gradual de las propiedades eléctricas del óxido hasta la aparición del fenómeno de la ruptura del óxido (*oxide breakdown*, BD), el cual deriva en la formación de un camino conductor entre los dos electrodos de una capacidad. Así, suponiendo un dispositivo de tipo MIS/MIM que inicialmente se comporte como un dispositivo con dos contactos aislados, en el momento en que se produce la ruptura del óxido se comporta como una conexión metálica entre dichos electrodos. Esta ruptura del dieléctrico es uno de los mecanismos de fallo de los transistores MOSFET más estudiado hasta la fecha. La ruptura del dieléctrico se ha definido desde varios puntos de vista: se describe como el cambio local e irreversible de la propiedad aislante [25]; o como el momento en que un grupo de trampas conectadas, desde un origen en una interfaz del óxido, llega a la interfaz opuesta [26]. Este cambio se da en un punto muy localizado del área del dispositivo en el que se produce un incremento notable de la conductividad (*spot*), en comparación con la conductividad del resto del área del dieléctrico que no ha sido alterada. Entonces, la corriente en la capacidad viene dominada por el flujo de corriente a través de este punto de ruptura, provocando un cambio en las propiedades eléctricas de conducción del dieléctrico. En la mayoría de casos este mecanismo de ruptura implica la pérdida de la funcionalidad de un circuito.

Como se ha comentado, el proceso de ruptura del óxido empieza con la generación de trampas no solapadas (por lo que no conducen) en el óxido debido a un estrés eléctrico. A medida que se crean trampas, estas se van solapando hasta la creación de un filamento conductor (*conduction filament*, CF) [27]. En el momento en que las trampas

crean un CF desde la puerta al canal, se produce la ruptura del dieléctrico que implica un incremento de corriente de varios órdenes de magnitud con respecto de la corriente del dispositivo sin estresar eléctricamente (dispositivo fresco, o *fresh*). Al tipo de ruptura producido en este momento, observada en [28-31], se la llama ruptura suave (*soft breakdown*, SBD) y tiene una característica I-V de post ruptura de tipo potencial o exponencial [32]. Una vez existe conducción en el dieléctrico debido al SBD, si se continua con el estrés eléctrico se crean nuevas trampas en el óxido debidas al daño térmico que incrementan la conductancia del camino conductor [33]. El ciclo en que el CF crea calor, y a su vez este aumenta el tamaño del CF derivando en una fuga térmica, provoca una propagación lateral del punto en que se produce la ruptura [30]. En este momento, el silicio se funde y el oxígeno se libera, creando un filamento de silicio en el punto de ruptura del óxido [33]. A este tipo de ruptura se la llama ruptura fuerte (*hard breakdown*, HBD) e implica un incremento de corriente de varios órdenes de magnitud (mayor que en el caso del SBD) que resulta en una característica I-V después de la ruptura de tipo lineal en un rango de tensiones elevadas [34]. También se ha observado el fenómeno de ruptura progresiva (*progressive breakdown*, PBD) [35, 36], en el que hay una pérdida progresiva de las propiedades aislantes del óxido que resultan en aumento progresivo de la corriente de pérdidas [37].



**Fig. 1.2.** Característica I-V típica del dieléctrico de puerta tras inducir diferentes niveles de degradación: con el dispositivo fresco (corriente túnel FN), tras generar SILC, tras una SBD, y tras una HBD [32].

En general, pese a que todos los óxidos rompen cuando están sometidos a un estrés eléctrico prolongado y acelerado, los mecanismos que producen esta ruptura dependen de las propiedades del óxido (principalmente del espesor  $T_{ox}$ ) y de las condiciones de estrés. Un aspecto importante en la caracterización que produce la ruptura son los efectos eléctricos de los defectos generados en el óxido e inducidos por el estrés eléctrico. En este sentido, el espesor del óxido tiene efectos importantes: mientras que la generación de trampas en el interior del óxido durante el estrés ocurre en óxidos gruesos y se ha utilizado para monitorizar el fenómeno de ruptura, en el caso de óxidos delgados (menores de 4nm) desaparece debido a que los óxidos son demasiado delgados como para atrapar cargas en grandes cantidades. Esto ocurre ya que los defectos son fácilmente descargados hacia los electrodos por el mecanismo de túnel directo. En óxidos delgados, los defectos generados implican un incremento de la corriente con el tiempo de estrés (en particular para voltajes reducidos) que se relaciona con el

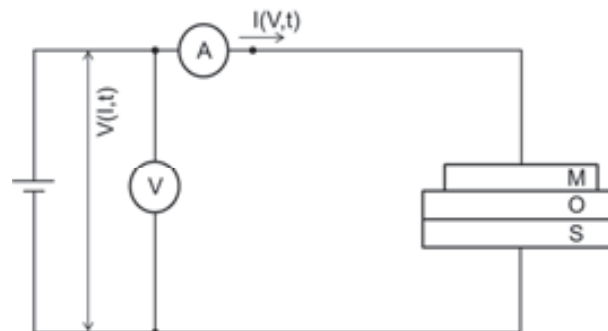


mecanismo de túnel asistido por trampas. Ésta corriente de pérdidas por estrés inducido (*stress-induced leakage current*, SILC) se hace notable para voltajes reducidos en el caso de espesores de óxido menores a los 10nm [38] y se utiliza como una manera de observar la degradación en óxidos delgados. Por lo tanto, es fácil entender que el valor del espesor del óxido juega un papel importante en el tipo de BD que se observa: en dieléctricos basados en óxido de silicio con grosores mayores a 5nm se suele observar el HBD, mientras que el PBD solo se observa en óxidos menores a los 2.5nm. Entre los 5nm y los 2.5nm, se pueden observar tanto HBD como SBD [39]. Cabe destacar que en el caso de los materiales *high-k* también se observan también los tres tipos de ruptura [40-43]. En la Fig. 1.2 se puede ver la característica I-V típica de un dieléctrico obtenida después de inducir diferentes tipos de estrés eléctrico en el caso de un óxido de 4.35nm de SiO<sub>2</sub>.

## 1.3. Caracterización de la ruptura

### 1.3.1. Caracterización eléctrica

Las propiedades de las capas dieléctricas son fundamentales para los dispositivos semiconductores ya que la fiabilidad de la gran mayoría de dispositivos electrónicos basados en estructuras MOS/MIM depende del tiempo de vida de estas capas dieléctricas. En este sentido, la mejora de la fiabilidad de uno de estos dispositivos implica el análisis de la degradación y/o ruptura del dieléctrico que los compone, por lo que debe de tenerse en cuenta que una vez aplicado un estrés eléctrico sobre la muestra, esta se considera que ya no es “fresca”. Como se ha comentado anteriormente, la ruptura del óxido aparece como resultado del estrés eléctrico del mismo durante un cierto tiempo (llamado tiempo de vida del dieléctrico, o tiempo de ruptura,  $t_{BD}$ ) en condiciones normales de operación, o en condiciones de estrés elevado (comúnmente llamado estrés acelerado). El uso de las técnicas correctas de caracterización permite conocer el comportamiento eléctrico (característica I-V) de los dispositivos bajo condiciones de estrés eléctrico, a partir de los datos obtenidos en la caracterización. Una vez obtenidos los datos como resultado de la caracterización, éstos se someten a un análisis estadístico que permite determinar la fiabilidad de los dispositivos. En este sentido, es lógico entender que los datos obtenidos de una sola estructura no son suficientes para determinar la fiabilidad de un tipo de dispositivos.

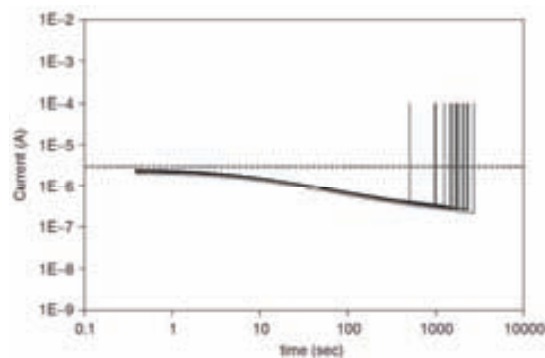


**Fig. 1.3.** Representación esquemática en la que se representa un *setup* de medida típico para la caracterización eléctrica de una capacidad MOS independientemente de la temperatura.

En general, el análisis de la fiabilidad de estructuras MIM/MOS se realiza mediante las técnicas conocidas como TDDB (*time dependent dielectric breakdown*) y TZDB (*time-zero dielectric breakdown*), las cuales consisten en la aplicación de un estrés de tensión/corriente constantes o en rampa, respectivamente, hasta la detección de un aumento sustancial en la corriente o un incremento notable en el ruido de la señal medida. A continuación, se describen las principales técnicas de caracterización eléctricas basadas en el esquema de la Fig. 1.3 (sistema de medida, o *setup*, utilizado para una estructura MOS convencional). Como puede observarse, se requiere una fuente de voltaje (o de corriente), y a su vez, su correspondiente medidor de voltaje (o corriente) para monitorear el estrés a lo largo del tiempo. Esto se realiza mediante la utilización de un SMU (*source meter unit*) [25]. El método utilizado en el estrés

eléctrico depende del objetivo del análisis así como de ciertas consideraciones como por ejemplo, la necesidad de un modelo de estrés acelerado, la consistencia del estrés con las condiciones de operación del dispositivo, o la finalidad de la caracterización.

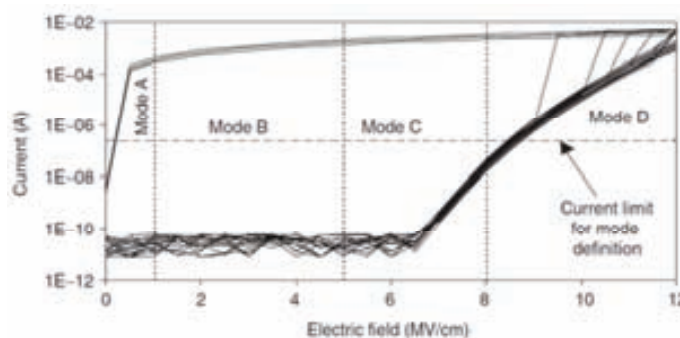
- **Estrés a tensión constante** (*constant voltage stress, CVS*): La idea de este tipo de estrés es la de aplicar una tensión constante a la puerta con el terminal de sustrato a tierra mientras se registra la corriente que circula por el dispositivo en función del tiempo (ver ejemplo de la Fig. 1.4). Se trata de un estrés muy utilizado debido a que la tensión aplicada sobre los dieléctricos usados en tecnología CMOS generalmente conmuta entre dos valores de tensión fijos (uno de los cuales es 0V). Debido a ello, existen varios modelos acelerados de tensión que permiten realizar una extrapolación del tiempo de ruptura  $t_{BD}$ . En este tipo de estrés, el primer paso a realizar es el de aplicar una tensión pequeña para comprobar que la muestra no es defectuosa (en el caso de no ser defectuosa la corriente debe estar en el rango del ruido del equipo de medida). En el caso de no ser defectuosa, se empieza con el estrés eléctrico para un nivel de tensión o para varios puntos de tensión para así tener un buen conocimiento del estado del óxido y poder reconstruir una I-V del dispositivo después del estrés. En la obtención del valor del tiempo de ruptura obtenido de este tipo de estrés es muy importante tener en cuenta si existe algún daño previo al estrés eléctrico sobre el que se mide el  $t_{BD}$ , es decir, tener en cuenta si la muestra es fresca, o no. De este tipo de estrés se puede obtener el tiempo de ruptura  $t_{BD}$ , así como el valor de la carga acumulada hasta el momento de la ruptura ( $Q_{BD}$ ).



**Fig. 1.4.** Ejemplo de gráficas de corriente en función del tiempo como resultado de un estrés de tipo CVS en capacidades con un mismo espesor de dieléctrico. Después de cierto tiempo la característica muestra un incremento brusco de corriente debido a la ruptura del dieléctrico. La línea discontinua marca un posible criterio para la detección de la ruptura [25].

- **Estrés con rampa de tensión** (*ramped voltage stress, RVS*): En este caso, la tensión de puerta se incrementa de un valor inicial a un valor final manteniendo un valor de tensión constante en el sustrato de 0V. Mientras se incrementa el valor de tensión en la estructura, se registra la corriente que atraviesa la estructura con el fin de obtener una característica I-V. Se trata de un tipo de estrés muy utilizado para la caracterización de dieléctricos y requiere que las muestras se estresen hasta el mismo valor de tensión para todas las muestras. El valor de tensión máximo debe de ser suficientemente elevado

como para que el evento de ruptura se produzca en la gran mayoría de las muestras. Como resultado de las medidas se obtiene una característica I-V en la que, en el caso de producirse un incremento de corriente abrupto, este se asocia a un evento de ruptura. Así, este tipo de estrés permite conocer el valor de tensión en el que se produce la ruptura (tensión de ruptura,  $V_{BD}$ ) el cual se relaciona con el campo eléctrico de ruptura  $E_{BD}$ . En los equipos de test modernos, este tipo de estrés es de tipo escalonado y el factor tiempo entre incrementos de tensión es un factor que debe tenerse en consideración ya que en la práctica, la medida de corrientes bajas lleva más tiempo en realizarse que la medida de corrientes altas. Otro aspecto a tener en cuenta en el valor de  $V_{BD}$ , es la resolución definida en la obtención de la rampa de tensión. En la Fig. 1.5 se muestra un ejemplo de RVS en el que se diferencia las zonas en que se produce la ruptura extrínseca (modos A-C) o la ruptura intrínseca (modo D).



**Fig. 1.5.** Ejemplo de RVS en el que se muestra la corriente en función del campo eléctrico representando las zonas de ruptura inmediata llamada extrínseca (modos A-C) y al ruptura intrínseca (modo D) [25].

- **Estrés a corriente constante** (*current constant stress, CCS*): El objetivo de este tipo de estrés es el de comprobar la robustez del dieléctrico al forzar un nivel de corriente constante a través del mismo, mientras se registra la tensión en el dieléctrico. De este tipo de medida se obtiene la tensión de ruptura  $V_{BD}$  y/o el campo de ruptura que varía en dieléctricos que muestran el fenómeno de atrapamiento de carga y ruptura por cargas acumuladas. La ruptura del dieléctrico se observa como una reducción abrupta en el voltaje registrado en un tiempo determinado  $t_{BD}$ . Contrariamente a lo que ocurre en el RVS o el CVS, esta bajada en el valor de la tensión es algo positivo ya que la potencia en el momento de la ruptura baja, permitiendo que las puntas de medida se conserven en mejor estado durante más tiempo. El valor obtenido del producto entre la corriente forzada y el  $t_{BD}$  permite obtener el valor de la carga atrapada hasta la ruptura  $Q_{BD}$ . Se trata de un método de caracterización utilizado en óxidos gruesos, que no resulta útil en dieléctricos muy delgados ( $T_{ox} < 4\text{nm}$ ) ya que para un mismo valor de corriente, la  $Q_{BD}$  se incrementa en el caso de grosores delgados (al contrario de lo que ocurre en el CVS). La razón por la que ocurre esto es que un voltaje reducido es suficiente para tener la misma corriente en dieléctricos más delgados [25].

- **Estrés con rampa de corriente** (*ramped current stress, RCS*): Este tipo de estrés, utilizado para la detección de fallos prematuros, se basa en la evolución de un CCS a dos o más niveles de estrés distintos. La rampa de corriente fuerza un incremento de

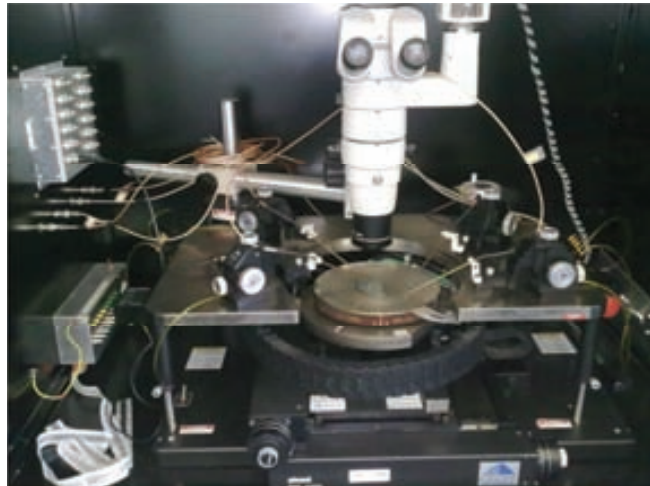
corriente exponencial en el dieléctrico por lo que es llamada como estrés con rampa exponencial de corriente (*Exponentially Ramped Current Stress*, ERCS). En este estrés, la corriente se incrementa hasta la ruptura o hasta el valor máximo de densidad de corriente, la cual se mantendría hasta la ruptura por lo que se convertiría en un ERCS con un CCS. Como en el caso del CCS, en el momento en que se produce la ruptura el valor de la tensión presenta un descenso abrupto.

- **Estrés con límite de corriente** (*current limited*, CL): En la caracterización realizada con estrés de tipo CVS y RVS, generalmente se utiliza un límite de corriente (*current compliance*, o simplemente *compliance*) con la finalidad de limitar la degradación de la ruptura a cierto nivel. Así, un CL-CVS o un CL-RVS pueden realizarse para controlar la ruptura con mayor eficacia, y/o para ver los efectos de la degradación producida de manera previa a la ruptura.

Como se ha comentado, las distintas técnicas de caracterización eléctrica son utilizadas con el objetivo de analizar la degradación del óxido y la ruptura del mismo con la finalidad de tener un mayor control de la ruptura. En concreto, el fenómeno de ruptura ha sido objeto de estudio durante años al ser el principal motivo de fallo en chips por lo que resulta de vital importancia para mejorar la fiabilidad de los circuitos electrónicos. Un ejemplo de esta caracterización realizada es el caso del escalado del grosor del óxido ( $T_{OX}$ ) y su relación con el tiempo de ruptura para una misma tensión de estrés: el escalado de  $T_{OX}$  de 3.5nm a 1nm implica la reducción del tiempo de ruptura en 25 órdenes de magnitud para una misma tensión de estrés [2], mientras que la dispersión de tiempos de ruptura se incrementa al reducir el valor de  $T_{OX}$  [26, 27, 44]. Este ejemplo permite hacerse una idea de la importancia que tiene la correcta caracterización eléctrica de las estructuras para la caracterización de la fiabilidad de las mismas. Así, el estudio ininterrumpido en el campo de la fiabilidad de los materiales dieléctricos ha permitido que hoy en día, se utilice esta ruptura para el desarrollo de un nuevo tipo de dispositivos MOS/MIM basados en la conmutación resistiva entre dos estados de conducción distintos (uno de baja resistividad y otro de alta resistividad) y reversibles. Este tipo de dispositivos se comportan como resistencias con efecto de memoria, llamados memristores, y se utilizan actualmente como núcleo de las celdas de memoria no volátiles de tipo RRAM (*resistive random-access memory*). El gran interés de este fenómeno se produce al ser un fenómeno reversible que introduce una nueva funcionalidad a los dispositivos MOS/MIM convencionales.

La investigación realizada en esta tesis ha involucrado en todo momento de la caracterización de capacidades MIM/MOS. En concreto, la caracterización eléctrica realizada en los capítulos 2 y 3 de esta tesis se ha realizado utilizando una mesa de puntas semiautomática con la ayuda de un microscopio óptico, ambos situados en el interior de una caja de Faraday sin luz con la finalidad de aislar el sistema de medida de interferencias electromagnéticas (ver Fig. 1.6). El contacto con los *pads* de las estructuras se realiza manualmente mediante cuatro puntas conectadas a sus respectivos SMUs, a través de las cuales se aplican y/o miden corrientes y/o tensiones. Para controlar el movimiento de la mesa se utiliza un software de control llamado *Nucleus* de

*Cascade*. Finalmente, para la realización de medidas se utiliza un analizador de semiconductores Keithley 4200-SCS (*Semiconductor Characterization System*) controlado por el entorno KITE (*Keithley Interactive Test Environment*). Por otro lado, en cuanto a la caracterización eléctrica realizada para la observación de eventos de ruptura y su obtención de datos analizados en el capítulo 4, se ha utilizado un analizador de parámetros de semiconductores Agilent 4156C en combinación con un microscopio óptico conectado a un ordenador dotado de un software específico utilizado para la grabación de videos.



**Fig. 1.6.** Fotografía de la mesa de puntas y el microscopio óptico, situados en el interior de la caja de Faraday, utilizados en la caracterización eléctrica.

### 1.3.2. Caracterización microscópica

En el momento en que se produce un evento de ruptura dieléctrica, se produce una descarga brusca que puede ser suficientemente energética como para dejar una marca en los electrodos. Así, en el momento que se forma un camino, la energía se libera en un intervalo de tiempo muy corto (pocos nanosegundos para un óxido de 35nm o menor a 100ns para un óxido de 5.6nm según [45, 46]) en un punto muy localizado del área de la capacidad (*spot*). Esta liberación de energía puede resultar en que el material se funda en el camino de ruptura conectando los dos electrodos y dejando una marca en el electrodo superior. Esta marca sobre el electrodo superior puede ser objeto de caracterización por medio de varios tipos de microscopia.

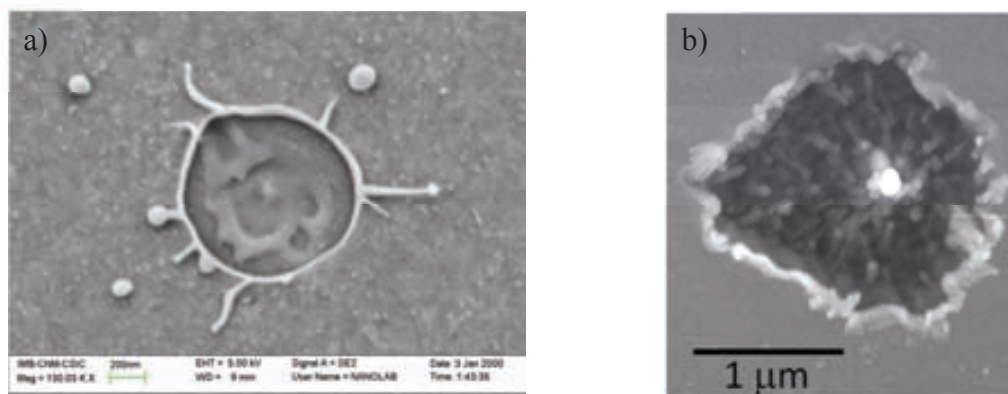
Así, en esta tesis se ha caracterizado la ruptura del dieléctrico, y la zona crítica de las estructuras fabricadas en el capítulo 3, generalmente en base a la observación mediante un microscopio electrónico de barrido (SEM) o un microscopio óptico. En alguna ocasión también se ha utilizado un tipo de microscopio de sonda de barrido (*Scanning Probe Microscope*, SPM) llamado microscopio de fuerzas atómicas (*Atomic Force Microscope*, AFM) que permite caracterizar la topografía de la muestra con resolución nanométrica. En la Tabla 1.2 se puede ver una comparación de estos tres tipos de microscopia según sus características principales. A lo largo de esta tesis, se han observado estos *spots* en forma de cráteres debidos a la ruptura dieléctrica (ver Fig.



1.7a) obtenidos después de la caracterización eléctrica de las estructuras planares MIM *Si-backgated* que se describen en capítulo 3. Por otro lado, en la Fig. 1.7b se muestra una imagen AFM obtenida de la topografía de un evento de ruptura de una de las capacidades usadas en el capítulo 4. En general, la utilización de un tipo de microscopia u otra depende del tipo de información que se requiera obtener. Los cráteres observados son muy similares a los mostrados en [45] para capacidades con dieléctricos de 40nm de grosor, o en [47].

	Microscopio óptico	SEM	SPM
<b>Ambiente de operación</b>	ambiente, líquido, vacío	vacío	ambiente, líquido, vacío
<b>Profundidad del campo</b>	leve	elevada	media
<b>Profundidad de enfoque</b>	media	leve	Leve
<b>Resolución: x, y</b>	1.0 $\mu\text{m}$	5 nm	0.1 - 3.0 nm
<b>Resolución: z</b>	N/A	N/A	0.01 nm
<b>Rango de aumentos</b>	1X - 2 x 10 <sup>3</sup> X	10X - 10 <sup>6</sup> X	5 x 10 <sup>2</sup> X - 10 <sup>8</sup> X
<b>Preparación necesaria para la muestra</b>	Poca	Secado por congelación, recubrimiento	No
<b>Características necesarias para la muestra</b>	No tiene que ser completamente transparente a la luz	Superficie sin carga acumulada	No debe tener excesivas variaciones en la topografía de la superficie
<b>Medidas permitidas</b>		Topografía, composición	Topografía, múltiples propiedades eléctricas

**Tabla 1.2.** Comparación de las características principales de las técnicas de microscopia más comunes para la obtención de imágenes y la medición de la morfología de una superficie [48].



**Fig. 1.7.** Imagen SEM de un *spot* observado en las estructuras MIM *backgated* del capítulo 3. b) Imagen AFM obtenida de la topografía de un *spot* de ruptura en el capítulo 4.

## 1.4. Contexto en el que se enmarca la tesis doctoral

Esta tesis doctoral se ha desarrollado en el marco de los proyectos TEC2009-09350 titulado "Antifusibles controlables por tensión basados en nanohilos de ruptura dieléctrica " y TEC2012- 32305 titulado "Dispositivos iónico-electrónicos basados en óxidos para memorias no volátiles y nanoelectrónica reconfigurable". El objetivo principal del primero es el de demostrar el control por efecto de campo de la conducción en caminos de ruptura dieléctrica generados en óxidos delgados de puerta en estructuras de tipo MOS, así como evaluar la viabilidad de utilizar estos caminos de ruptura para implementar antifusibles verticales controlados por tensión. Por otro lado, el principal objetivo del proyecto TEC2012 es el de explorar las propiedades de dispositivos basados en la conmutación resistiva, tanto de tipo filamentario como de tipo uniforme (su diferenciación se describe en el capítulo 2), utilizando óxidos binarios simples, especialmente capas de HfO<sub>2</sub> y dieléctricos multicapa depositados mediante la técnica de depósito de capas atómicas (*atomic layer deposition*, ALD), y óxidos complejos basados en perovskitas (incluyendo ferroeléctricos).

Los resultados obtenidos en el capítulo 2, que hacen referencia al fenómeno conocido como *Threshold Switching*, se definen dentro de los objetivos del proyecto TEC2009. Dichos resultados muestran un comportamiento biestable observado en capacidades MOS cuyo comportamiento se describe en términos del modelo de contacto puntual cuántico (*quantum point contact*, QPC) [49, 50]. Los dispositivos fabricados con este fin han sido desarrollados en colaboración con el IMB-CNM y bajo la supervisión de la Dra. Francesca Campabadal.

Más adelante, en el capítulo 3 se muestran los resultados obtenidos en la investigación desarrollada en torno a ambos proyectos (TEC2009 y TEC2012) con la finalidad de demostrar el efecto de campo en caminos de ruptura dieléctrica. En este sentido, se han realizado distintas tareas que abarcan la simulación, el modelado, la fabricación y la caracterización de dispositivos de test en los que poder demostrar este efecto. Los dispositivos fabricados con este fin han sido desarrollados en colaboración con el IMB-CNM y bajo la supervisión de la Dra. Francesca Campabadal.

En cuanto a los resultados mostrados en el capítulo 4, y relacionados con la distribución espacial y temporal de eventos de ruptura múltiples observados en dispositivos MOS y MIM, estos se relacionan con los objetivos del proyecto TEC2012. En este caso, las muestras que se han utilizado para la caracterización eléctrica de eventos de ruptura múltiples en capacidades MIM/MOS, han sido fabricadas por el Tyndall National Institute de Cork (Irlanda).



## 2. *Threshold Switching* en estructuras MIS

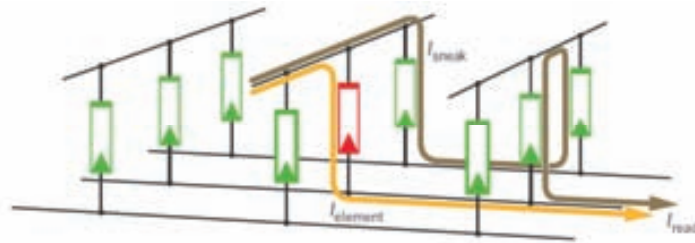
En los últimos años se ha producido un auge en la investigación relacionada con el mecanismo de conmutación resistiva (*Resistive Switching*, RS) para el desarrollo de celdas de memoria, incluyendo tanto memorias de cambio de fase (*phase change memory*, PCM) como memorias RRAM. En la literatura referente al fenómeno de RS, se distingue entre dos tipologías distintas: el *memory Switching* (MS), de relevancia para las memorias de tipo RRAM; y el *threshold Swithcing* (TS), importante para las celdas de tipo PCM. Los resultados y conceptos desarrollados a lo largo de este capítulo se centran en el fenómeno de TS observado en estructuras MOS. Este fenómeno de TS está siendo investigado actualmente por numerosos grupos de investigación debido a su importante papel en las operaciones de programación/borrado de las memorias de tipo PCM [51-54], así como en memorias de tipo RRAM [55]. Se trata de un fenómeno que ha sido explicado previamente desde distintos procesos tales como el BD térmico [56], la ionización por impacto [51, 57], la nuclearización de la fase cristalina [58], la small-polaron instability [59], y el calentamiento por portadores en conducción de tipo Poole-Frenkel bajo altos campos eléctricos [60, 61].

Al principio de este capítulo se introduce el fenómeno de RS para situar al TS en su contexto y poder describir los resultados de la investigación desarrollada y publicados en el artículo A en la revista *Japanese Journal of Applied Physics* (JJAP). Las muestras utilizadas en la caracterización realizada en este capítulo han sido obtenidas de la colaboración con el IMB-CNM en el marco del proyecto TEC2009-09350.

## 2.1. Introducción al fenómeno de *Resistive Switching*

Inicialmente se relacionaba la ruptura del óxido con la pérdida permanente de las propiedades aislantes de las estructuras basadas en la capacidad MOS. Sin embargo, la observación del mecanismo de reversibilidad en la ruptura del dieléctrico ha dado una funcionalidad añadida a los dispositivos MOS/MIM derivando en la aparición de las memorias RRAM [62], así como en dispositivos de tipo memristor [63] que se definen como un tipo de resistencias con memoria. A este mecanismo de reversibilidad se le denomina fenómeno de conmutación resistiva y su aparición en los dispositivos depende de la composición y estructura de los mismos. Se habla del fenómeno de conmutación resistiva en celdas MIM o MOS al hablar de dispositivos que presentan dos estados conductivos: un estado de alta resistividad (*high resistance state*, HRS) o un estado de baja resistividad (*low resistance state*, LRS).

Pese a que el fenómeno de RS se estudia típicamente en estructuras MIM, su estudio en estructuras MOS también puede ser de gran interés por sus características no lineales de conducción que pueden permitir evitar los problemas que resultan en una mala interpretación de bits en *crossbar arrays*, fenómeno conocido como *sneak-path problema* [64, 65]); este fenómeno se representa en la Fig. 2.1, mostrando esquemáticamente que en la operación de lectura puede darse una mala interpretación del bit activo, ya que pese a que la corriente leída esperada se debe a la contribución de la corriente del elemento activo en estado HRS ( $I_{element}$ ), en alguna situación la corriente leída también puede incluir la contribución de corriente de algún camino conductor compuesto por varios elementos vecinos no activos en estado LRS ( $I_{sneak}$ ).



**Fig. 2.1.** Ejemplo ilustrativo para describir la mala interpretación de bits relacionada con el *sneak-path problem*. El elemento en rojo es el elemento activo en estado HRS mientras que los demás elementos en verde están en LRS [65].

En los dispositivos que presentan el fenómeno de RS se crea un camino conductor que se conecta o desconecta, permitiendo así que el dispositivo conmute entre los dos estados resistivos del mismo. Así, mediante la aplicación de una tensión apropiada de programación (*set*) se pasa del estado HRS al LRS, y mediante la aplicación de una tensión de recuperación (*reset*), se pasa del estado LRS al HRS.

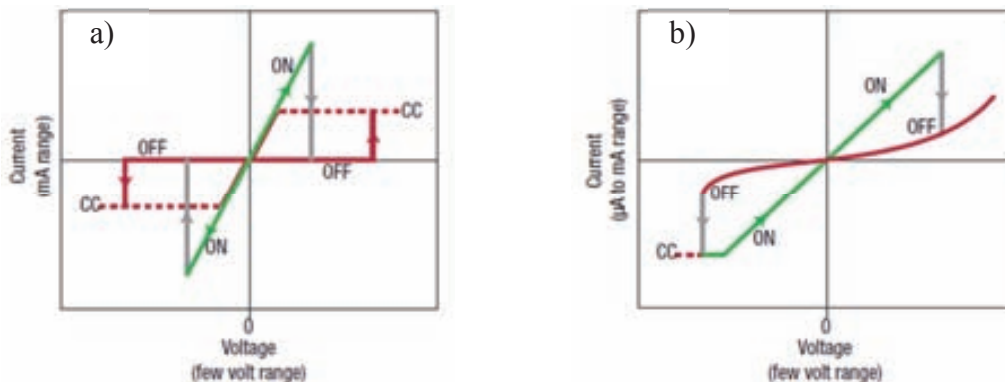
El cambio en la resistencia del filamento conductor de una celda que presente RS puede ser de varios órdenes de magnitud. En una celda de memoria fresca que se encuentra en un estado inicial HRS, ésta conmutaría a un primer LRS mediante la aplicación de una estrés eléctrico a tensiones altas. A este primer proceso se le llama proceso de formación (*forming* o *electroforming*). Después del proceso de *forming*, se define el

proceso de *reset* como el proceso en el que una celda en estado LRS puede conmutar a un HRS mediante la aplicación de una tensión suficientemente elevada, la tensión de *reset* ( $V_{RESET}$ ).

Por último, se define el proceso de *set* como aquel en el que se pasa de un estado HRS a un LRS mediante la aplicación de una tensión superior a la de *reset*, llamada tensión de *set* ( $V_{SET}$ ). Tanto en el proceso de *forming* como en el proceso de *set*, se limita la corriente mediante un control del sistema de medida a un valor determinado que dependerá de la muestra (*current compliance*,  $I_C$ ), con la finalidad de tener un control sobre la ruptura del dieléctrico, pudiendo realizar un SBD que dé lugar a la creación de un filamento conductor con propiedades de reversibilidad.

### 2.1.1. Clasificaciones del fenómeno de *Resistive Switching*

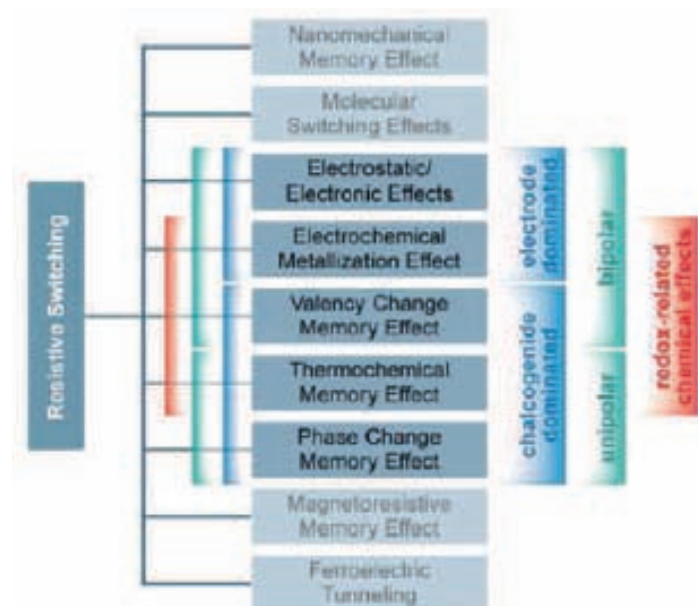
En la literatura se muestra el fenómeno de RS en múltiples óxidos metálicos de transición, tales como  $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$  ordenado atómicamente (PCMO) [66], Cr dopado con  $\text{SrZrO}_3$  [67],  $\text{SrTiO}_3$  [68],  $\text{NiO}$  [69, 70],  $\text{TiO}_2$  [71], y  $\text{Cu}_2\text{O}$  [72], entre otros. En cada caso, el fenómeno de conmutación se observa de manera distinta por lo que se hace necesaria una distinción basada en el comportamiento de la característica I-V del dispositivo en cuestión. En este sentido, se hace una distinción en función de la polaridad en que se producen los eventos de *set* y de *reset* por lo que se habla de dos modos de RS: el comportamiento bipolar y el comportamiento unipolar, los cuales difieren en la dirección de conmutación y cuyas características I-V se representan en las Fig. 2.2a y Fig. 2.2b, respectivamente. El comportamiento unipolar se caracteriza porque el fenómeno de conmutación depende de la amplitud de la tensión aplicada pero no de la polaridad de ésta. Además, en la transición de *set* del comportamiento unipolar, la corriente de *reset* siempre es mayor que la corriente de *compliance*. Por otro lado, el comportamiento bipolar se produce dependiendo de la polaridad de la tensión aplicada: el mecanismo de *set* ocurre en una polaridad mientras que el *reset* se produce en la polaridad opuesta.



**Fig. 2.2.** Ejemplo ilustrativo para representar los dos esquemas básicos de comportamientos de RS a) unipolar y b) bipolar en un estrés de rampa de tensión. “cc” hace referencia al límite de corriente  $I_C$  mientras que las líneas discontinuas indican que la tensión real difiere de la tensión de control por el límite de corriente [62].

Cabe destacar que en algunos sistemas el límite de corriente no se utiliza y que en algunas estructuras, las condiciones de operación pueden cambiar entre el comportamiento bipolar y el unipolar dando lugar a lo que se llama como comportamiento nopolar [73].

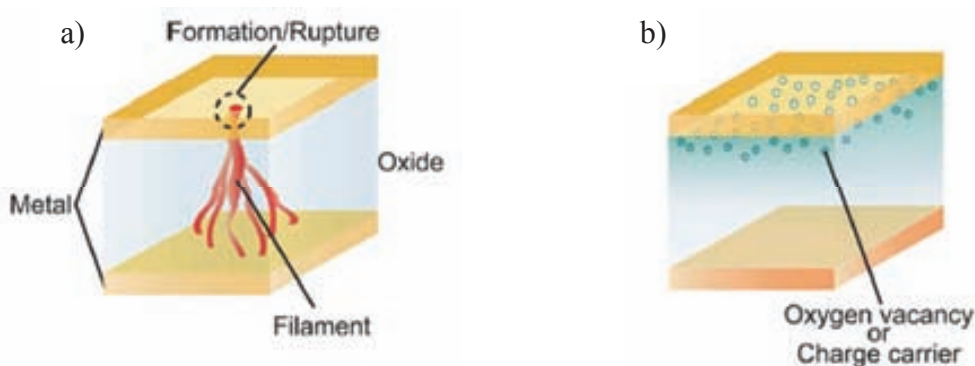
La clasificación del fenómeno de RS también puede realizarse en función del mecanismo físico que permite la conmutación entre los dos estados conductivos (ver clasificación mostrada en la Fig. 2.3). Aunque el RS es siempre inducido eléctricamente, el mecanismo físico que lo produce puede variar [62]. Los fenómenos menos utilizados son aquellos relacionados con las fuerzas mecánicas que presentan efectos de memoria nanomecánicos o cambios en la configuración molecular que resulten en un cambio de la resistencia de una molécula [74]. Otro fenómeno poco utilizado, se relaciona con la dirección de polarización de un dominio ferromagnético o ferroeléctrico, que puede resultar en una corriente de efecto túnel [75, 76]. Dentro de los fenómenos más utilizados se encuentran tanto efectos electrostáticos/electrónicos, como el cambio de fase cristalina (estado ON) a fase amorfa (estado OFF), inducido por temperatura en materiales selenidos y teluridos. Este último fenómeno, se explota en memorias de cambio de fase (*phase change random access memories*, PCRAM) [77], así como en discos ópticos [78]. Finalmente, también se distinguen tres clases que implican efectos químicos, es decir, efectos que implican a procesos reducción-oxidación (redox) en las celdas MIM y que pueden ser inducidos ya sea por temperatura, por una tensión eléctrica, o por ambas. Con diferencia, estas últimas tres clases son las más utilizadas actualmente por su escalabilidad y control [62, 79], al observarse en dispositivos que utilizan dieléctricos de alta permitividad y en óxidos basados en metales de transición.



**Fig. 2.3.** Clasificación de los mecanismos de RS considerados para aplicaciones de memoria no volátiles [62].

En función del mecanismo de operación, Waser *et. al.* clasificaron los sistemas RS que implican procesos redox según tres categorías distintas [62]: el mecanismo electroquímico (ECM) [80], el mecanismo de cambio de valencia (VCM) [81, 82], y el mecanismo termoquímico (TCM) [83]. Las celdas ECM, también llamadas como celdas de metalización programables (*programmable metalization cells*, PMC) se comportan siempre en forma bipolar. Este tipo de celdas se fundamentan en la formación de un filamento conductor (*conduction filament*, CF), creado desde un electrodo metálico activo (como el Ag, el Cu, o el Ni) a un ánodo electroquímicamente inerte a través de una capa aislante conductora de iones. Con la aplicación de una tensión en el cátodo, aparece una conducción de iones en el aislante hacia el cátodo y, a medida que estos iones se acercan al cátodo, van formando el CF hasta que alcanza el cátodo (evento de *set*). Si se invierte la polaridad se produce la ruptura del CF (*reset*).

Por otro lado, el VCM ocurre en óxidos metálicos de transición específicos. En este caso el mecanismo de RS, el cual se da únicamente en el modo bipolar, se produce por la migración de aniones de oxígeno (normalmente descrito en la literatura como el movimiento de vacancias de oxígeno). El cambio que se deriva resulta en un cambio de valencia que cambia las propiedades conductoras del material. Esta categoría se define en función de la localización de la conmutación: en primer lugar se define el escenario en que la conmutación se realiza por filamentos, fenómeno independiente del área; en segundo lugar se define un escenario de conmutación distribuida en la interfaz metal-dieléctrico, el cual depende del área del dispositivo (ver Fig. 2.4).



**Fig. 2.4.** Modelos propuestos para la conmutación resistiva: a) modelo de filamento conductor; b) modelo de interfaz conductora [79].

En el primer escenario, las vacantes de oxígeno tienen un papel muy importante ya que puede aparecer una oxidación en el ánodo por un proceso térmico tipo reducción-oxidación. En este proceso, el oxígeno se obtiene desde el ánodo y produce vacantes de oxígeno en el óxido que al ser donadoras, favorecen la conducción. En este caso, el campo eléctrico aplicado arrastra las vacantes hacia el cátodo, las cuales se acumulan inicialmente en éste, y posteriormente se adentran en el óxido hasta alcanzar el ánodo, momento en que se crea el filamento conductor; se trata de un proceso relacionado con la acumulación de defectos al ser las vacantes de oxígeno las que juegan el papel de defectos.

En el segundo escenario, relacionado con la interfaz conductora, el cambio de estado se produce en la interfaz entre el óxido y el electrodo metálico ocupando todo el área del dispositivo. Pese a que no existe un consenso sobre el origen de este mecanismo de conducción, varios estudios apuntan a la migración de vacantes de oxígeno o a cargas atrapadas en el óxido (electrones o huecos). Este proceso se relaciona normalmente al comportamiento bipolar observado en óxidos perovskitas semiconductores.

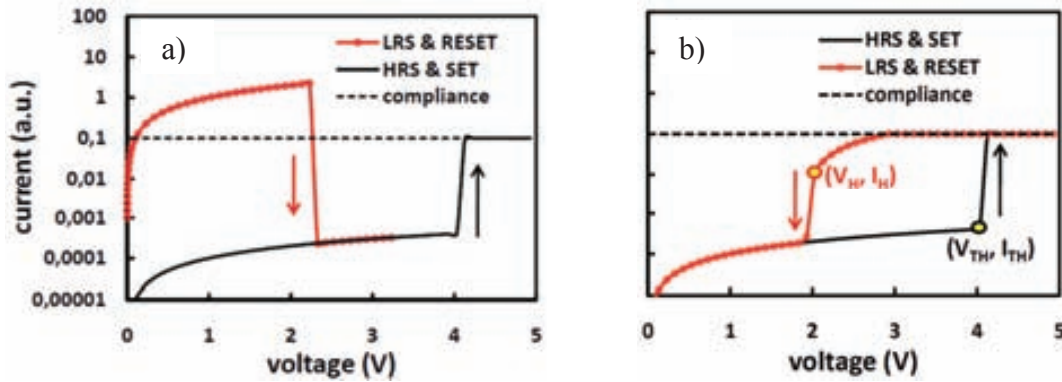
Finalmente, el mecanismo de TCM es un fenómeno basado en un efecto térmico que se presenta siempre en forma unipolar. Este mecanismo se produce debido cambios estructurales ocasionados como consecuencia de un elevado incremento de temperatura debido a la corriente que circula a través del óxido situado entre los dos electrodos del dispositivo. Limitando la corriente de *compliance* en el proceso de *set*, se consigue crear por efecto Joule un pequeño camino conductor con una resistividad controlada; este filamento conductor puede estar formado por transporte atómico de metal del electrodo hacia el aislante, carbono de residuos orgánicos [84], o de un material aislante descompuesto como si se tratara de un sub-óxido [85]. En cuanto a la transición de *reset*, al eliminar el límite de corriente la temperatura en el filamento conductor aumenta considerablemente desconectando el camino conductor como ocurre en los tradicionales fusibles.

### 2.1.2. *Memory Switching y Threshold Switching*

El fenómeno de RS observado después del proceso de *forming* se describe inicialmente como un fenómeno no volátil aunque, en caso de que el grado de modificación estructural que sufre el material dieléctrico no sea muy severo, este fenómeno también puede presentarse de manera volátil. En este sentido, se distingue entre dos tipos de RS que se muestran en la Fig. 2.5: el *Memory Switching* (MS) y el *Threshold Switching* (TS). Mientras el primero es un fenómeno no volátil con dos estados resistivos estables a tensión de cero voltios, el TS se define como un fenómeno volátil que ocurre únicamente en un rango de tensiones concreto, que está comprendido entre dos valores de tensión concretos, por lo que no tiene sentido hablar de comportamiento unipolar o bipolar. A estos dos valores de tensión se les denomina tensión de *holding* ( $V_H$ ) y tensión de *threshold* ( $V_{TH}$ ), equivalentes a las tensiones de *set* ( $V_{SET}$ ) y de *reset* ( $V_{RESET}$ ) respectivamente, las cuales han sido descritas anteriormente. La diferencia principal entre un fenómeno y el otro es el grado de modificación estructural sobre el material dieléctrico que se produce en el proceso de *forming*.

Los cambios en el fenómeno de TS son reversibles en cuanto a la conductividad, la cual se mantiene siempre y cuando se mantenga un valor mínimo de corriente, mientras que en el MS los cambios son de carácter permanente aunque no se mantenga un valor mínimo de corriente. Dicho de otra manera, en el TS el estado LRS solo es estable por encima de la tensión de  $V_{TH}$ , mientras que el HRS únicamente es estable mientras la tensión se sitúe por debajo de  $V_H$ .





**Fig. 2.5.** Representación esquemática de las características I-V para los ciclos de tipo *a) Memory Switching* y *b) Threshold Switching*. Las líneas discontinuas representan el límite de corriente, mientras que las coordenadas  $(V_H, I_H)$  y  $(V_{TH}, I_{TH})$  representan los puntos de holding y de threshold en el ciclo TS.

Una característica diferencial de las estructuras que presentan el fenómeno de TS, es que se observa un comportamiento de resistencia diferencial negativa (*negative differential resistance*, NDR) [86] entre las tensiones de *threshold* y de *holding*. Este comportamiento de NDR se divide en dos tipos según si se trata de un mecanismo controlado por corriente (tipo S), o controlado por tensión (tipo N). En la Fig. 2.6 se muestra una representación esquemática de la característica I-V en cada uno de los casos: se observa que en el tipo N existen dos posibles valores de tensión que se corresponden a un solo valor de corriente, mientras que en el tipo S existen dos posibles valores de corriente para un mismo valor de tensión, determinando así que la estructura se encuentra en estado de alta resistencia o de baja resistencia.

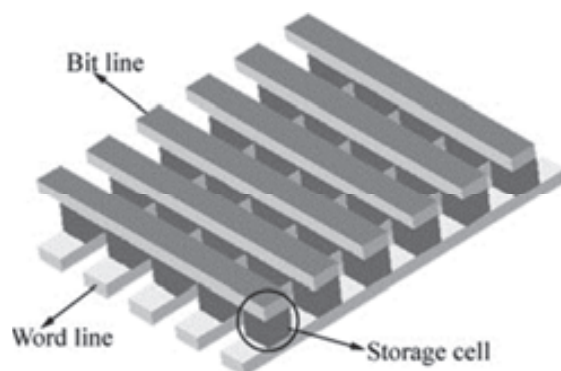


**Fig. 2.6.** Característica I-V de los dos tipos de NDR: a) tipo N; b) tipo S [86].

Se describen tres mecanismos principales responsables del comportamiento NDR: uno de los más considerados está relacionado con procesos de efecto Joule que puede dar lugar a características de tipo N o S; también se relaciona el NDR en sus dos tipos con mecanismos en los que se producen distribuciones de carga espacial semipermanentes; finalmente, se describen procesos relacionados con el NDR tipo S que involucran un cambio de fase o una redistribución de átomos en el dieléctrico, implicando por tanto, una redistribución de átomos en el CF que afecta a la conducción. El concepto de TS se ha aplicado a un amplio conjunto de sistemas que tan solo comparten la propiedad de tener una característica I-V tipo S [60, 87, 88], aunque esto no implica que los

mecanismos físicos responsables del fenómeno sean comunes para todos ellos. Actualmente, el concepto de TS es bastante general y sólo requiere de dos condiciones: por un lado, se requieren dos mecanismos de conducción que describan las dos características I-V; y por otro lado, se requiere dos configuraciones espaciales de campo eléctrico en el rango de tensiones en los que el mecanismo es biestable [60].

El fenómeno de MS en óxidos metálicos está siendo muy investigado para su aplicación en memorias de tipo RRAM, en lógica reconfigurable, y en aplicaciones de computación neuromórfica basadas en dispositivos memristivos. En cuanto al fenómeno de TS, sobre el que se centran los resultados mostrados en este capítulo, éste también puede ser de gran importancia para memorias RRAM debido a dos principales motivos: por un lado, este tipo de dispositivos pueden ser importantes para la fabricación de dispositivos selectores en *crossbar memory arrays* [89] como el mostrado esquemáticamente en la Fig. 2.7, y por otro, el TS puede tener un papel muy importante en el disparo de la transición de *set* en el fenómeno de MS [55]. En el entorno de la investigación de memorias de tipo PCM se ha observado el fenómeno de TS en materiales tales como cristales calcogenuros, así como en polisilicio, óxidos binarios, etc. En este tipo de memorias, el fenómeno de TS es fundamental al disparar la corriente requerida para inducir el cambio entre las fases amorfas y cristalinas del material en la conmutación durante la transición de *set*.



**Fig. 2.7.** Configuración de una estructura tipo *crossbar memory array*. Cada punto entre las Word line y las bit line suponen una celda de memoria [90].

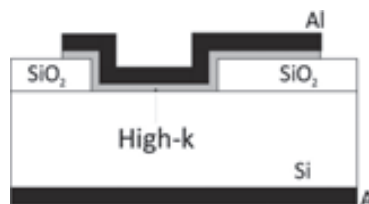
La interpretación realizada por algunos autores, ha relacionado el TS y el MS con cambios estructurales en el CF durante las transiciones de *set/reset* en ambos tipos de RS [91-96]; en este sentido, de la estabilidad del CF dependerá la observación de un fenómeno u otro. Algunos autores han observado un fenómeno u otro cuando las mismas estructuras MIM han operado a distintas temperaturas [95] (a temperaturas bajas se observa el fenómeno de MS con mayor facilidad, mientras que a altas temperaturas se observa el fenómeno de TS). Otros autores han mostrado que la observación del fenómeno de MS o del de TS en estructuras MIM basadas en NiO puede depender del grosor del electrodo de sustrato [91], o de la cantidad de oxígeno en el aislante [92-94]. Otros han observado que la aparición de uno u otro puede seleccionarse reversiblemente mediante la aplicación de pulsos de tensión de una amplitud y duración determinada [96].



En los resultados presentados posteriormente en este capítulo, se muestra que únicamente se producen cambios estructurales en el CF suficientes para producir el fenómeno de MS cuando la corriente de *compliance* en el proceso de *forming/set* alcanza niveles de corriente suficientemente altas ( $I_c > 100\mu\text{A}$  para las estructuras presentadas en el apartado 2.2). Así, en el caso de que la corriente no alcance valores suficientemente altos, estos cambios estructurales no son suficientes como para observar el fenómeno de MS, por lo que se observa el fenómeno de TS. El fenómeno de TS mostrado se describe en el sentido de propiedades electrónicas cuasi-unidimensionales (cuasi-1D) y de la inyección de electrones desde la banda de valencia ( $B_V$ ) del semiconductor a la banda de conducción del metal ( $B_C$ ). Es importante tener en cuenta que las conclusiones presentadas no necesariamente son aplicables a los trabajos anteriores en los que se observa el TS en dispositivos MIM. En este trabajo, se propone una interpretación del fenómeno de TS en estructuras MOS (descritas en el apartado 2.2) en el sentido de que el CF no sufre cambios estructurales durante las transiciones de *set/reset* tal como se había descrito hasta el momento en [92, 93, 95, 96].

## 2.2. Descripción de las muestras caracterizadas

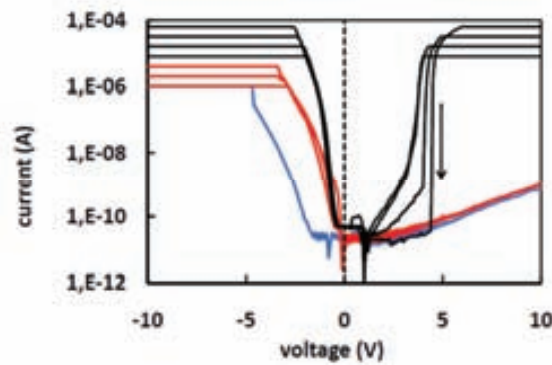
Una vez introducidos los conceptos clave para la comprensión del fenómeno de TS, a continuación se describen las estructuras capacitivas cuadradas de  $120\mu\text{m}$  de costado formadas por un apilamiento de capas compuesto por un *stack* Al/HfO<sub>2</sub>/Si(p+) sobre las que, en el siguiente apartado, se muestra la caracterización eléctrica del fenómeno de TS observado. Estas estructuras se fabricaron sobre un sustrato de Si tipo P dopado con una concentración de impurezas de boro de  $N_A = 10^{16}\text{cm}^{-3}$ , que resultó en una resistividad del sustrato de  $0.1\text{-}0.4\ \Omega\cdot\text{cm}$ ; por encima del sustrato se depositó por ALD una capa de  $10\text{nm}$  de HfO<sub>2</sub>. Los detalles concretos del proceso de fabricación de estas estructuras, cedidas por el IMB-CNM, se describen en [97]. En la Fig. 2.8 se puede ver una representación esquemática del corte transversal de estas capacidades.



**Fig. 2.8.** Representación esquemática de un corte transversal de las estructuras MOS capacitivas que muestran el efecto de *Threshold Switching* [97].

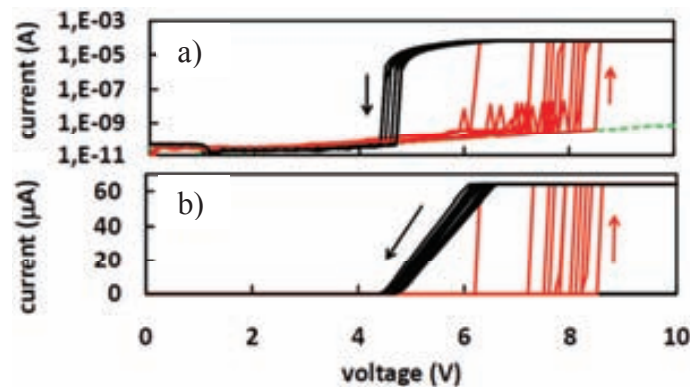
## 2.3. Caracterización del fenómeno de *Threshold Switching*

Una vez introducidas las estructuras analizadas, a continuación se describen los resultados más notables acerca del fenómeno de TS observado, y que forman parte del artículo A de esta tesis. Para la observación del fenómeno de TS mostrado sobre las estructuras MOS, se requiere un proceso de *forming* inicial. Al tener un sustrato de Si tipo P en dichas estructuras, este proceso ha de realizarse a tensiones negativas para tener una inyección de corriente significativa. El procedimiento de *forming* se ha realizado mediante varias rampas de tensión (RVS) sucesivas de  $10\text{V}$  a  $-10\text{V}$  en las que se ha utilizado un valor de  $I_C = 1\mu\text{A}$ , el cual se ha duplicado en cada RVS sucesivo hasta un valor de *compliance* de  $64\mu\text{A}$  (o incluso  $128\mu\text{A}$  en algún caso). En la Fig. 2.9, se muestra el proceso de *forming* de la estructura analizada, donde se observa que para límites de corriente inferiores a  $4\mu\text{A}$ , en el semiciclo de  $10\text{V}$  a  $0\text{V}$  el sustrato es el encargado de inyectar los portadores y la corriente observada se da por efecto túnel a través de la barrera de potencial que se asocia a la constricción (o cuello de botella) del CF. En cuanto al semiciclo de  $0\text{V}$  a  $-10\text{V}$ , la puerta es la encargada de suministrar los portadores. Se observa que en el primer ciclo (azul) se produce un SBD hasta el límite de corriente fijado. Al limitar la corriente en el proceso de *forming* por debajo de  $100\mu\text{A}$  y con RVS sucesivos se consigue tener un fenómeno tipo TS que ha sido caracterizado de manera estable y reproducible bajo polarización positiva. En este sentido, en la Fig. 2.10 se muestran varios ciclos del fenómeno TS observado en RVS de  $0\text{V}$  a  $10\text{V}$  en rampas de ida y vuelta.



**Fig. 2.9.** Proceso de *forming* realizado aplicando VRS desde 10V a -10V con un límite de corriente que se incrementa en cada rampa desde 1 $\mu$ A a 64 $\mu$ A.

El hecho de realizar un proceso de *forming* en varias rampas sucesivas permite crear el CF con un control elevado de las propiedades de éste. En el caso de limitar la corriente directamente a valores de compliance elevados durante el proceso de *forming* del orden de 1mA, se ha observado el fenómeno de MS, aunque éste no ha podido caracterizarse exhaustivamente ya que los valores de corriente en el primer LRS alcanzan fácilmente valores mayores al límite de corriente permitido por el equipo de medida (0.1A). Además, para esos valores de corriente tan altos, la generación de la ruptura de tipo fuerte (HBD) a menudo impide la posterior observación del fenómeno de RS, ya sea tipo MS o TS.



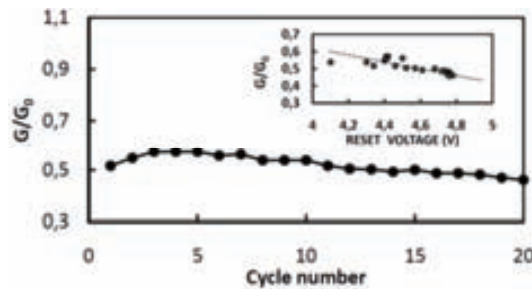
**Fig. 2.10.** Ciclos de TS en una estructura como la definida en la Fig. 2.8, después de un proceso de *forming* progresivo a tensiones negativas y con un límite de corriente máximo de 64 $\mu$ A. La característica I-V experimental se representa en a) escala logarítmica y b) escala lineal. La línea verde discontinua en a) representa la característica I-V inicial del dispositivo.

Partiendo de un estado HRS, en la Fig. 2.10a se observa que al aumentar la tensión desde 0V a tensiones más altas, se produce una transición abrupta al LRS de unos cinco órdenes de magnitud a la tensión de *set*,  $V_{SET}$  (también llamada tensión de *threshold*,  $V_{TH}$ ), la cual varía en un amplio rango de tensiones. Una vez el CF se encuentra en el estado LRS y el voltaje se desplaza desde voltajes elevados hacia tensiones menores se produce una transición al estado HRS a la tensión de *reset*,  $V_{RESET}$  (también llamada tensión de *holding*,  $V_H$ ), la cual resulta bastante constante entre los distintos ciclos en

comparación con la tensión  $V_{TH}$ . En los ciclos observados sobre esta capacidad MOS, se observa también que el estado LRS es lineal por encima de la tensión  $V_H$  (ver Fig. 2.10b), mientras que en el estado HRS, la corriente coincide con la obtenida en la característica I-V de la muestra fresca (representado con la línea discontinua verde). Así, la conducción del CF en el estado HRS queda enmascarada por la corriente del sustrato.

El hecho de que la tensión  $V_H$  sea estable a lo largo de los ciclos indica que el CF tiene siempre la misma forma, de modo que el fenómeno de TS se interpreta como un efecto electrónico que no implica cambios estructurales del CF. En este sentido, cabe recordar que en el efecto de tipo MS, las transiciones de *set* y *reset* se describen como cambios estructurales importantes que implican la destrucción parcial y reconstrucción del CF en cada ciclo. Estos cambios estructurales en el MS implican que sus estados de conducción sean fenómenos no volátiles.

Se han ajustado las curvas I-V del régimen LRS mostradas en escala lineal (según la Fig. 2.10b) con una recta del tipo  $I=G \cdot (V-V_H)$  con la finalidad de determinar los valores de la conductancia  $G$  y  $V_H$  en el estado LRS. Así, se ha construido la gráfica de la Fig. 2.11 en la que se representa el valor obtenido de  $G$  respecto del número de ciclos, mostrando también una gráfica interior de la correlación entre  $G$  y  $V_H$ . En la gráfica de  $G$  vs. el número de ciclos se observa que el valor de  $G$  es aproximadamente  $0.5G_0$  (siendo  $G_0 = 2e^2/h$ ), lo cual indica que el CF tiene dimensiones atómicas. Se puede asociar un valor  $\beta \cdot G_0$  (siendo  $0 < \beta < 1$ ) como fracción de  $G_0$  que se puede relacionar con cada una de las bandas unidimensionales de conducción obtenidas bajo alta polarización en lo que se conoce como régimen no-lineal [98].

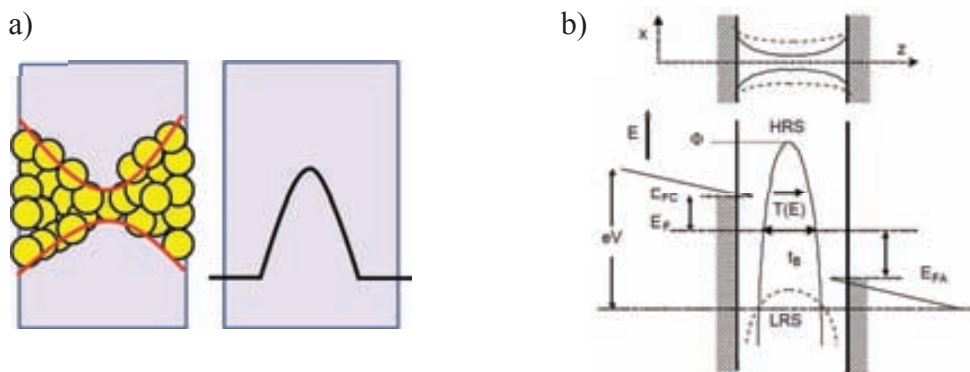


**Fig. 2.11.** Evolución de la conductancia (normalizada al valor de la conductancia cuántica  $G_0 = 2e^2/h$ ) en función del número de ciclos en una estructura como la definida en el apartado 2.2. En la gráfica interior se muestra la conductancia normalizada en el estado LRS en función de la tensión de holding.

En un nanohilo (*quantum wire*, QW) el voltaje cae principalmente en los contactos y el valor de  $\beta$  se asocia con la fracción de voltaje que cae en ambas interfaces de la constricción de modo que, a partir del valor aproximado de  $\beta \approx 0.5$  la tensión cae simétricamente en ambos extremos, aunque este valor puede cambiar con la geometría del CF. A partir de la Fig. 2.11, se deduce también que las variaciones de  $G$  de un ciclo a otro no son aleatorias sino que se corresponden con la evolución del CF a escala microscópica. La evolución del CF se puede relacionar con la degradación del mismo debido al estrés eléctrico ya que circula un gran flujo de corriente a través de la

constricción. En este sentido, cabe recordar que durante las transiciones de *set/reset* no hay cambios estructurales en el sentido de que no se crea/destruye el CF, sino que el fenómeno de TS observado es un efecto volátil de carácter puramente electrónico. En relación con [99], donde se han mostrado resultados similares relacionados con la cuantización cuántica en CF para el fenómeno de MS en estructuras Nb/ZnO/Pt, se cree que la razón para el valor de  $0.5G_0$  se debe a la adsorción de impurezas por parte de cadenas atómicas, las cuales cambian la configuración de la constricción que afecta a la estructura de bandas electrónica del CF. En la gráfica interior de la Fig. 2.11 se puede ver una clara correlación entre  $G$  y el valor de  $V_H$ , de manera que como más resistivo es el estado LRS mayor es la tensión necesaria para disparar el mecanismo de *reset* a la tensión  $V_H$ . Este fenómeno se puede explicar fácilmente a partir del modelo de nanohilo para TS descrito a continuación.

Como se ha comentado, la conductancia obtenida en el LRS indica que el CF se comporta como un QW en el régimen no-lineal. En este sentido, el CF tiene una constricción de dimensiones atómicas (ver representación esquemática de la Fig. 2.12a) que cuantiza el movimiento de los electrones en las dos direcciones perpendiculares al transporte electrónico, comportándose como un contacto cuántico puntual (*quantum point contact*, QPC), o lo que es lo mismo: un QW conectado a dos fuentes macroscópicas de electrones. En este sentido, el modelo utilizado para describir el comportamiento en el QW que se asocia al fenómeno de TS observado, se basa en el modelo de contacto cuántico puntual (*QPC model*) propuesto para la conducción post ruptura dieléctrica en estructuras MOS basadas en  $\text{SiO}_2$  [50], el cual se ha utilizado recientemente para describir la conducción en el estado LRS y el estado LRS de estructuras de tipo RRAM [100, 101].

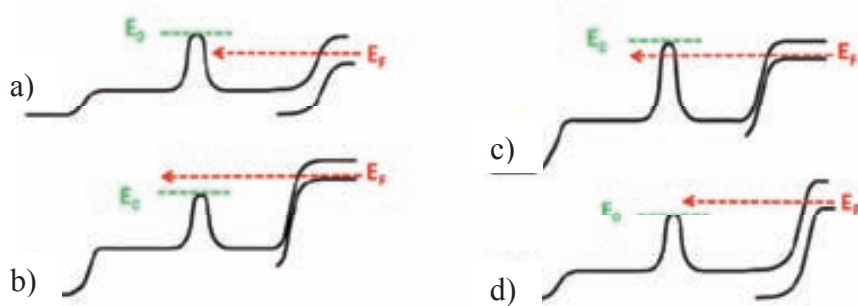


**Fig. 2.12.** a) A la izquierda se muestra una representación esquemática de la estructura del filamento conductor formado por “defectos” en el que existe una constricción. A la derecha se muestra la barrera de potencial asociada a la posición de la primera banda unidimensional del filamento conductor. b) Representación esquemática del CF con distintas anchuras y sus correspondientes diagramas energéticos en los que se muestra una barrera de potencial inversamente proporcional a la anchura de la constricción.

El modelo QPC describe, a partir de la Fig. 2.12b, un sistema cuasi-unidimensional en el que la conducción de la ruptura se produce a través de un CF suficientemente estrecho como para cuantizar los niveles energéticos en las dos direcciones

perpendiculares al transporte electrónico, resultando en un comportamiento cuasi-1D. La idea básica del modelo de TS descrito, parte de la representación esquemática de la Fig. 2.12a. En este modelo, se hace hincapié en la relación entre el nivel de energía más bajo ( $E_0$ ) en el QW y el confinamiento derivado del ancho de la constricción. De esta manera, cuanto más estrecha sea la constricción del CF mayor será la energía del sub-nivel más bajo permitido, es decir, la barrera será más alta. En función del voltaje aplicado en la estructura, el sub-nivel energético más bajo aparecerá como una barrera de potencial que limitará el transporte electrónico en la constricción del CF. En cuanto a la longitud de la barrera, esta se asocia con la longitud de la constricción.

En la línea de lo descrito para el modelo QPC, los diagramas de bandas de la Fig. 2.13a y Fig. 2.13b representan los dos estados de conducción estables para las estructuras en cuestión. Los dos estados de conducción del fenómeno de TS mostrado, se corresponden con el modelo QPC ya que la inyección de electrones depende de la posición de  $E_0$  con respecto del nivel de Fermi  $E_F$  de la fuente de electrones del cátodo.



**Fig. 2.13.** Representación esquemática del diagrama de bandas de energías con la finalidad de explicar el modelo de TS descrito. La inyección desde el sustrato se produce desde la banda de valencia por *band-to-band tunneling*. Las figuras a) y b) representan los dos estados estables HRS y LRS, respectivamente. El diagrama de la figura c) representa un estado inestable en el que se aplica un voltaje que no es suficientemente alto para que el sistema se mantenga en el LRS. El diagrama d) representa un estado inestable en el que el voltaje cae en el sustrato semiconductor mientras está por encima de la barrera.

En el modelo de TS descrito, la inyección de electrones del sustrato de Si desde la  $B_V$  resulta muy importante para la observación del TS, el cual se da por el mecanismo de conducción de tipo *band-to-band tunneling* [102] tanto en el estado LRS como en el HRS. Tal como se representa en la Fig. 2.13a, en el caso de aplicar tensiones bajas se tiene que  $E_F < E_0$ , por lo que existe una barrera en la transmisión entre ánodo y cátodo; ante esta situación, se da el estado HRS con transporte electrónico *band-to-band tunneling* desde la banda de valencia ( $B_V$ ) del semiconductor a través de la barrera relacionada con la constricción, y por lo tanto se da una corriente reducida que depende exponencialmente con el voltaje aplicado. Para tensiones elevadas se da el LRS (ver Fig. 2.13b), se tiene la situación  $E_F > E_0$  en que no hay barrera de potencial entre ánodo y cátodo, por lo que la corriente es elevada mostrando una dependencia lineal con el voltaje aplicado. La linealidad observada en el estado LRS solo se explica desde el punto de vista de que la banda de conducción está vacía, de modo que la inyección se



produce desde la banda de valencia del Si(p+) en un rango de tensiones por encima de  $V_H$  (ver Fig. 2.13b).

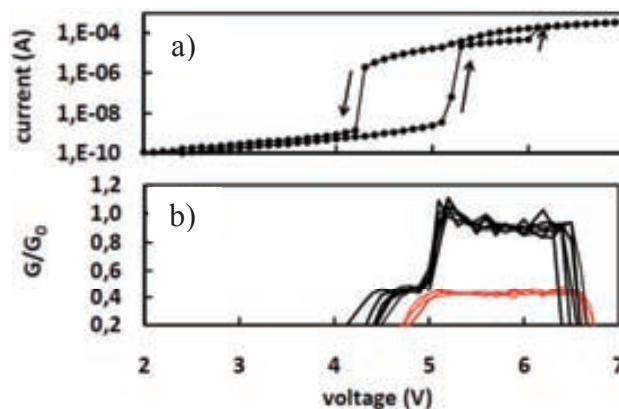
Una propiedad importante de un QW polarizado en el régimen no-lineal es que la caída de tensión en las interfaces no se ajusta con el transporte cuántico. Ésta caída de potencial en las interfaces es importante cuando la corriente es alta (LRS) pero resulta inapreciable en el régimen de conducción por efecto túnel (HRS). La caída de potencial en el estado HRS, se produce principalmente en la zona de deserción del semiconductor resultando en una corriente reducida debido a que el  $E_F$  está por debajo del punto más alto de la barrera (Fig. 2.13a). Por otro lado, en el LRS gran parte del voltaje cae en las interfaces entre el CF y los dos electrodos, resultando en una corriente elevada debido a que el  $E_F$  está por encima del punto más elevado de la barrera de potencial (Fig. 2.13b).

El modelo también describe de manera simple la biestabilidad del ciclo de TS ya que en la región entre  $V_H$  y  $V_{TH}$  se cumple la condición  $E_F > E_0$  cuando la caída de potencial en las interfaces es elevada (LRS), y  $E_F < E_0$  ocurre cuando la caída es reducida (HRS). En el diagrama de la Fig. 2.13c se muestra el estado inestable de LRS con la finalidad de explicar la transición de *reset*: en tal situación, existe una elevada caída de tensión en las interfaces, pero se tiene una corriente baja ya que se está por debajo de la barrera. Esto se corresponde con una situación poco estable ya que para corrientes bajas la caída de potencial es pequeña. Ante este estado, el voltaje es bajo como para mantener el LRS por lo que se dispararía la transición de *reset* conmutando el sistema a un estado HRS. En el diagrama de la Fig. 2.13d se representa la situación contraria en la que se está en un HRS inestable con la finalidad de describir la transición de *set*: se supone una caída de potencial pequeña en el nanohilo pero alta en la zona de deserción del semiconductor, mientras que se tiene una corriente elevada por encima de la barrera. En dichas condiciones, la transición de *set* se dispararía reduciendo así la caída de tensión en la zona de deserción del semiconductor. Esta transición de *set* se puede explicar como un efecto de realimentación positiva disparada por las variaciones en la corriente. Un incremento aleatorio positivo de la corriente incrementa la caída de potencial en las interfaces, lo cual a su vez, provoca un incremento en la corriente. Este ciclo de realimentación finaliza con una transición del estado HRS al LRS. De manera similar, se podría explicar la transición de *reset*. Debido a que el estado LRS es mucho más estable que el estado HRS, la transición de *reset* se produce con poca variación alrededor de la tensión de *holding*, mientras que la transición de *set* fluctúa mucho alrededor de la tensión de *threshold*. El hecho de que la transición de *reset* varíe poco se debe a que las fluctuaciones de corriente en el LRS son inapreciables en comparación con las variaciones en el HRS. Por tanto, la transición de *reset* ocurre en el momento en que la tensión aplicada es suficientemente baja como para impedir la inyección a través de la barrera incluso cuando la caída en las interfaces es elevada.

En el marco del modelo de nanohilo de TS, la tensión  $V_H$  se relaciona directamente con la altura de la barrera de potencial en el punto en que la constricción del CF es más estrecha. Como los niveles de energía en un QW vienen determinados por el área de la constricción espacial, como más ancho sea el CF, menor será la energía de la sub-banda

con nivel energético menor y por tanto, menor será el  $V_H$ . Por otro lado, como la corriente circula por una CF muy estrecho, se esperan efectos de resistencia Maxwell que se relacionan con la canalización de las líneas de corriente en las regiones de acceso desde el QW a los electrodos. Esto implica que la conductancia total (suma de la resistencia cuántica y la resistencia Maxwell) se espera correlacionada negativamente con  $V_H$  como se ha observado en la Fig. 2.11b).

En el caso de que el CF sea suficientemente ancho se esperan múltiples sub-bandas que contribuyan a la conducción LRS. Esta situación se muestra en la Fig. 2.14a donde se observa un ciclo de TS sobre una capacidad del mismo tipo, en la que se aprecian dos transiciones abruptas en el RVS del semiciclo de *set*. La primera transición de SET se atribuye a la transición del HRS al LRS con únicamente el nivel  $E_0$  debajo de  $E_F$ . La segunda transición se relaciona con una nueva configuración en el perfil de bandas en la que tanto el nivel de  $E_0$  como la primera sub-banda están por debajo de  $E_F$ . Entonces, en el ciclo mostrado se presentan dos sub-bandas cuánticas por debajo del nivel de fermi del sustrato Si(p+). En el caso de la rampa correspondiente al ciclo de *reset*, se observa que la transición de los estados relacionados con una y dos sub-bandas se observa con una discontinuidad en la conductancia (Fig. 2.14b). Por otro lado, debido a que la corriente es continua, no hay un cambio en la configuración de campo en esta transición. La corriente en el LRS es lineal por encima de ambas configuraciones de LRS como se muestra en negro en la Fig. 2.14b.



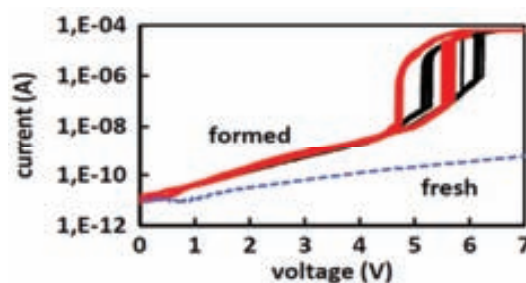
**Fig. 2.14.** a) Característica I-V durante un ciclo de TS en el que se muestran dos niveles de conducción en el LRS. b) Conductancia normalizada durante las rampas de tensión decrecientes (línea negra) en el que se muestran los dos niveles de conductancia cuántica. Las líneas rojas corresponden a la conductancia normalizada en otro dispositivo que únicamente muestra un nivel de conducción en el LRS.

Los valores de conductancia obtenidos, del orden de  $G \sim 0.5 \cdot G_0$  y de  $G \sim G_0$ , son una fuerte evidencia de la validez del modelo de nanohilo de TS presentado. De la comparación con la conductancia de una muestra de nivel único (rojo en la Fig. 2.14b), en la que se observa que la tensión de *holding* es menor en caso de que existan dos sub-bandas o niveles, se deduce que un valor menor de  $V_H$  se corresponde con un hilo más ancho, mediante el cual se permiten más sub-bandas por debajo de  $E_F$ . La observación de estos dos niveles cuantizados en el LRS da fuerza al modelo de nanohilo descrito para el fenómeno de TS observado.



## 2.4. Resultados no publicados

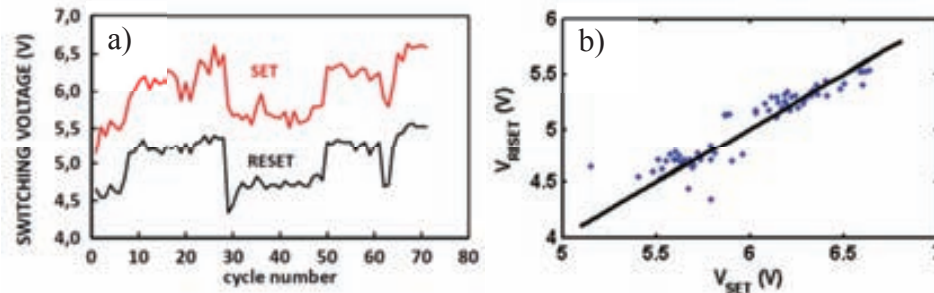
A continuación, se muestran otros resultados no publicados sobre el mismo tipo de capacidades. Al caracterizar estructuras MOS como las descritas, con un número elevado de ciclos (se han obtenido hasta 500 ciclos) se ha observado que, en ocasiones, debido a la inestabilidad del CF se producen cambios bruscos y estables en las tensiones de  $V_{TH}$  y  $V_H$ . Tales cambios están claramente relacionados con cambios estructurales a nivel atómico en el CF de las estructuras e indican que el CF es inestable, pero no son necesarios para explicar el fenómeno de TS. Los cambios en la estructura del CF implican cambios notables en la característica I-V del ciclo de TS descrito, ya que la estructura de la constricción del CF determina la forma del confinamiento cuántico de la barrera de potencial variando su longitud y altura. Seguidamente, se describen dos experimentos distintos que se utilizan a modo de ejemplo para describir este efecto.



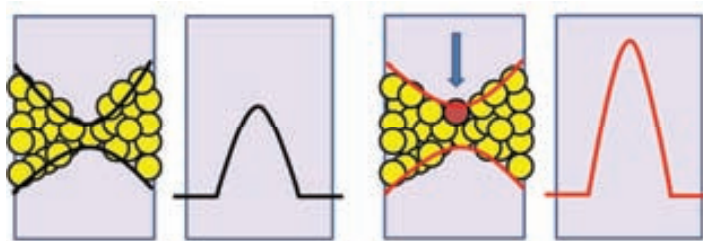
**Fig. 2.15.** Evolución del ciclo de TS durante 70 ciclos experimentales donde se puede ver que el ciclo se mueve entre dos configuraciones distintas: una a tensiones más altas (líneas en negro), y otra a tensiones menores (líneas en rojo).

En primer lugar, en la Fig. 2.15 se muestra un experimento en el que, una vez realizado el proceso de *forming*, solo varía la altura de la barrera, es decir, la anchura de la constricción. Al contrario de lo mostrado en la Fig. 2.14, el CF controla la conducción tanto en el LRS como en el HRS. En relación con el modelo de QW descrito, esto es lo que se correspondería con un caso en el que se tiene una barrera de potencial estrecha, por lo tanto, una constricción de longitud corta. En esta situación, la conducción en el HRS no se ve muy afectada por los cambios estructurales que desplazan las tensiones de  $V_{TH}$  y  $V_H$ . En la Fig. 2.16 se muestra la evolución correlacionada de las variaciones en las tensiones  $V_{TH}$  y  $V_H$ . Debido a los cambios estructurales en la constricción, tanto la tensión  $V_H$  como la  $V_{TH}$  se desplazan conjuntamente varias veces, a tensiones más altas primero, y a tensiones menores posteriormente mostrando que existe una correlación clara entre dos configuraciones a escala atómica (ver Fig. 2.16a y Fig. 2.16b). En el marco del modelo de QW descrito, esto se interpreta como un cambio en la altura de la barrera que afecta ambas tensiones (ver representación de la Fig. 2.17). Puede notarse en el ejemplo, que no aparecen cambios en el HRS debido a que la barrera es bastante ancha a bajas energías. En la configuración con menores  $V_{TH}$  y  $V_H$ , el estado LRS presenta una constricción más ancha en el CF, permitiendo así dos sub-bandas con dos niveles de conducción distintos en el CF como se muestra en rojo en la Fig. 2.18 para el ciclo 40 de este ejemplo. Este efecto ya se mostró anteriormente en el ciclo de la Fig.

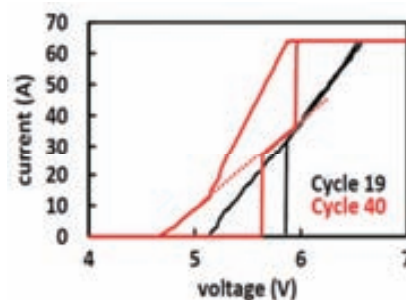
2.14. Por otro lado, en la Fig. 2.18 en negro se muestra el ciclo 19 en el que  $V_{TH}$  y  $V_H$  tienen valores altos. En dicha situación el CF es más estrecho por que únicamente se observa una sub-banda que contribuye a la conducción. Estos resultados soportan el modelo de nanohilo descrito para el TS observado y en el que se describe la relación entre el ancho de la constricción y el número de sub-bandas que contribuyen a la conducción.



**Fig. 2.16.** a) Gráfica que muestra las tensiones de conmutación de  $V_{TH}$  y  $V_H$ , (asociadas con las transiciones de *set* y de *reset*, respectivamente) en función del número de ciclos para una capacidad MOS como la mostrada en Fig. 2.8. b) Gráfica de  $V_{TH}$  y  $V_H$  donde puede verse una correlación uno a uno entre las tensiones de  $V_{TH}$  y  $V_H$ .



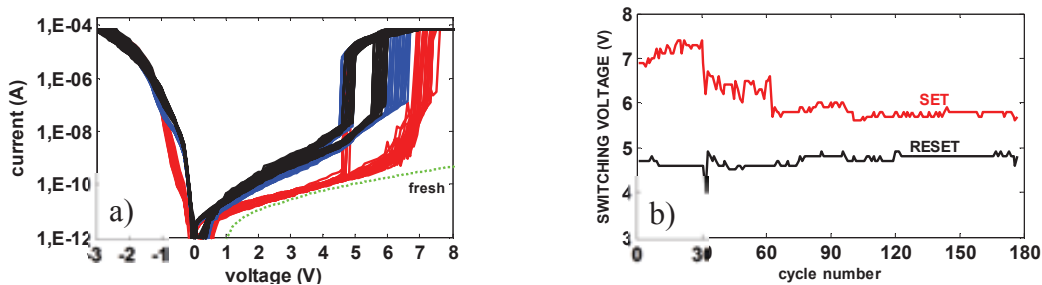
**Fig. 2.17.** Esquema representativo de los cambios estructurales a escala atómica en el filamento conductor que resultan en cambios en los cambios eléctricos en el ciclo TS considerado en las Fig. 2.15 y Fig. 2.16, los cuales se atribuyen a cambios en la constricción relacionados con la altura de la barrera.



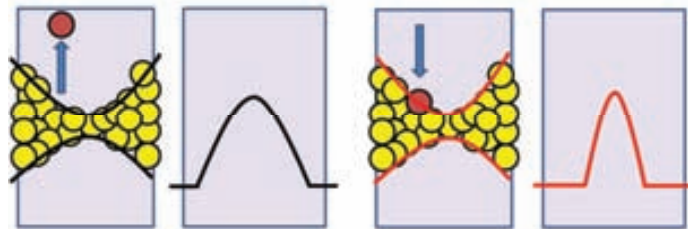
**Fig. 2.18.** Sobreposición de los ciclos 19 y 40 del fenómeno de TS mostrado en las dos configuraciones atómicas descritas para la Fig. 2.16. La línea discontinua en rojo se muestra para enfatizar la estructura de dos niveles del ciclo de TS que muestra dos niveles de conducción en el LRS.

Se aprecia en el segundo ejemplo (ver Fig. 2.19a y Fig. 2.19b) una muestra en la que solo se producen cambios en la longitud de la constricción, la cual se asocia al ancho de la barrera (ver representación de la Fig. 2.20). Al contrario de lo mostrado en la Fig.

2.15, en el ejemplo actual puede verse que apenas se producen cambios significativos en la tensión de *holding*, mientras que la tensión de *threshold* varía con hasta tres configuraciones distintas. Las tres configuraciones están claramente asociadas a la corriente HRS, la cual también presenta tres configuraciones diferentes: la configuración fresca (rojo), y dos configuraciones más (negro y azul). En este caso, debido a que se mantiene la tensión de *holding* se deduce que varía la longitud de la barrera mientras que la altura de la barrera se mantiene constante, siendo la corriente en el estado HRS la responsable de la variación en la tensión  $V_{TH}$ . Ante esta situación, cuando el HRS alcanza niveles de corriente de  $0.1\mu\text{A}$  a  $1\mu\text{A}$  se dispara la transición de *set*. Esta suposición se confirma con la observación de que los cambios en la corriente del estado HRS se corresponden con los cambios en la tensión de *threshold* (Fig. 2.19a). Asimismo, examinando la Fig. 2.19b se observa que no existe correlación alguna en la evolución de las tensiones  $V_{TH}$  y  $V_H$ .



**Fig. 2.19.** Evolución de 178 ciclos de TS para una capacidad como la descrita en el apartado 2.2. b) Gráfica que muestra las tensiones de conmutación de  $V_{TH}$  y  $V_H$  en función del número de ciclos para la misma capacidad.



**Fig. 2.20.** Esquema representativo de los cambios estructurales a escala atómica en el filamento conductor que resultan en cambios eléctricos en el ciclo TS considerado en la Fig. 2.19, los cuales se atribuyen a cambios en la longitud de la constricción (cuello de la botella) y se asocian con la longitud de la barrera.

## 2.5. Conclusiones

Al principio de este capítulo, se han descrito los conceptos clave para el entendimiento del trabajo desarrollado durante esta tesis doctoral en relación con el fenómeno de RS, y que fue presentado en el artículo A de este compendio. En este sentido, a lo largo del mismo, se han recogido los resultados en los que se muestra el fenómeno de *Memory Switching* y *Threshold Switching* en capacidades MOS compuestas por un *stack* Al/HfO<sub>2</sub>/Si(p<sup>+</sup>). La aparición de un fenómeno u otro viene determinada por el nivel del límite de corriente fijado en el proceso de *forming*. El nivel de corriente determina tanto el tamaño del filamento conductor como el tipo de conmutación resistiva observado. Así, para niveles del límite de corriente bajos, se ha podido apreciar un comportamiento de *Threshold Switching* muy estable que se relaciona con un fenómeno de conmutación electrónica asociada con el tamaño nanométrico del filamento conductor y con la inyección electrónica desde la banda de valencia del semiconductor.

El trabajo presentado describe el comportamiento del filamento conductor como un nanohilo que conecta los dos electrodos de la capacidad. Esta idea se sustenta con la observación experimental de dos sub-bandas en el estado LRS con valores de conductancia que son múltiples semienteros de la conductancia cuántica  $G_0$ . Otro aspecto que corrobora esta idea es la correlación entre las dimensiones del CF en relación con la tensión de *holding* en la que se produce la transición de *reset*.

En cuanto a las distintas capacidades MOS caracterizadas, la inestabilidad estructural observada del CF, hace que el estudio de las propiedades del TS sea difícil de realizar en términos estadísticos, en relación con la dependencia en temperatura, etc. Sin embargo, la aplicación de dispositivos en los que se observa el fenómeno de TS puede resultar de gran atractivo para el diseño de dispositivos RRAM ya que la no-linealidad observada puede ser de gran utilidad para eliminar los problemas relacionados con la mala interpretación de bits en los *crossbar arrays*. Además, la caída abrupta de corriente observada a la tensión de *holding* podría permitir que se aplique en transistores basados en el fenómeno de TS en los que la pendiente subumbral sería muy elevada. Claramente, los resultados descritos dan una clara indicación de que el fenómeno de TS debe de ser estudiado en mayor detalle y profundidad por sus potenciales aplicaciones en el desarrollo de nuevas celdas de memoria.

### 3. Exploración del efecto de campo sobre la conducción en caminos de ruptura dieléctrica

En publicaciones recientes se ha mostrado que la conducción en los caminos de ruptura dieléctrica (*breakdown paths* o *BD-paths*) se puede explicar utilizando el modelo de contacto puntual cuántico (modelo QPC) [49, 62]. Esta aproximación también se ha utilizado para describir las características de conducción de los filamentos conductores en memorias del tipo RRAM tanto en los estados de baja resistividad como en los de alta resistividad [22]. En este sentido, la hipótesis de partida inicial para el desarrollo de este capítulo es que los caminos de ruptura dieléctrica se comportan como nanohilos y que sus propiedades de conducción se pueden controlar mediante el efecto de campo utilizando una puerta lateral con una estructura similar a la que se utiliza en los transistores MOSFET convencionales. Así, el objetivo principal de este capítulo es explorar el control por efecto de campo de caminos de ruptura dieléctrica generados en óxidos delgados de alta permitividad. Se evalúa también la posibilidad de poder utilizar estos caminos de ruptura para implementar antifusibles verticales controlados por tensión.

Al inicio de este capítulo se describe el estudio teórico realizado sobre las estructuras inicialmente investigadas: una nueva estructura de tipo semiconductor-aislante-semiconductor, a la que llamamos *BreakDown NanoWire AntiFuse* (BD-NW-AF), la cual podría tener múltiples e importantes aplicaciones en arquitecturas novedosas de chips tridimensionales y reconfigurables. Sobre estas estructuras también se muestra un diseño inicial, así como una simulación de parámetros físicos y dimensiones con el fin de tener una estimación del comportamiento eléctrico esperado. Con el fin de implementarlas físicamente, posteriormente se definió un primer proceso de fabricación llamado NANOFUSE1 que se describe en el Anexo C.1. Aprovechando las mismas máscaras generadas para dicho proceso de fabricación, se definieron también unas estructuras MIM planares con la misma finalidad. La definición de este primer proceso de fabricación, así como el dibujo de los *layouts* de las estructuras, que resulta imprescindible para la obtención de las máscaras físicas necesarias para los distintos procesos fotolitográficos requeridos, se realizó durante el trabajo final del Máster en Ingeniería Micro y Nanoelectrónica [103].

Las estructuras del proceso NANOFUSE1 no fueron caracterizadas según lo esperado y tuvieron que ser descartadas por dificultades tecnológicas relacionadas con el grabado seco por iones reactivos (*reactive ion etching*, RIE) que han sido encontradas durante su fabricación. Por este motivo, se centró la atención en las estructuras MIM planares para las cuales se diseñó un segundo proceso de fabricación (NANOFUSE2) según se muestra en el Anexo C.2. En este segundo proceso de fabricación, se introdujeron ciertas variaciones sobre las estructuras tipo MIM persiguiendo el mismo objetivo

principal. Así, a lo largo de este capítulo se introducen también estas nuevas estructuras y se muestra la caracterización realizada sobre las mismas. En estas estructuras se observó un leve efecto de campo sobre la conducción posterior a la ruptura dieléctrica. Estos resultados fueron publicados en la revista *Microelectronics Reliability* (MR) (Artículo B). Finalmente, se describe un tercer tipo de estructuras MIM sobre las que también se muestran los resultados sobre su caracterización, definidas según un último proceso de fabricación (NANOFUSE3), el cual se describe en el Anexo C.3. En este proceso se han introducido modificaciones sobre las estructuras de tipo MIM con la finalidad de poder mejorar los resultados obtenidos previamente.

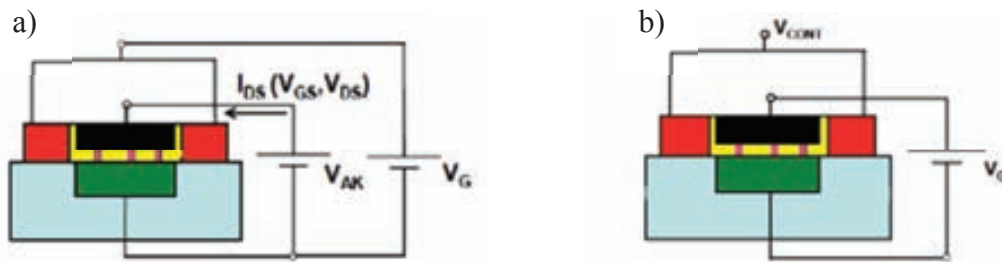
Cabe destacar que una vez fabricadas las estructuras para cada uno de los procesos definidos, se realizó la caracterización eléctrica, SEM, y AFM (en algún caso) de las mismas lo que ha permitido obtener resultados interesantes que han servido para mejorar las estructuras MIM diseñadas originalmente. Es importante destacar el uso de etapas de EBL en todos los procesos de fabricación definidos a lo largo de esta tesis doctoral. El uso de este tipo de litografía es de vital importancia en la definición de la región crítica de las estructuras fabricadas ya que permite la definición de motivos con la resolución nanométrica deseada. Por este motivo, y porque se ha participado activamente en el desarrollo y caracterización de todas las etapas relacionadas con la EBL, en el Anexo C.4 se define el proceso estándar de EBL.

La investigación desarrollada en este capítulo se encuentra en el marco de los TEC2009-09350, TEC2012-32305, GICSERV NGG-165, y GICSERV NGG-221. La definición de los distintos procesos de fabricación definidos en este capítulo se ha hecho en estrecha colaboración con el IMB-CNM bajo la supervisión de la Dra. Francesca Campabadal.



### 3.1. Consideraciones iniciales

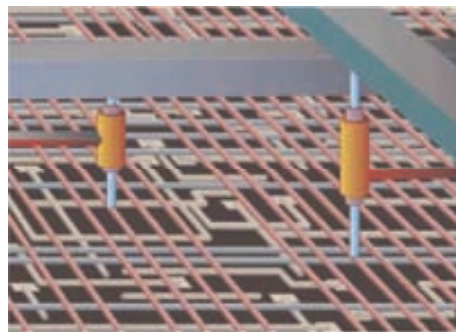
La investigación que se describe a lo largo de este capítulo se inició con la propuesta de un dispositivo al que hemos denominado *BreakDown NanoWire AntiFuse* (BD-NW-AF). Se trata de un dispositivo cuyo canal de conducción se forma por la creación de uno o varios caminos de ruptura dieléctrica en una capa de dieléctrico delgado de una estructura MIS/MIM. Dichos caminos de ruptura se comportan como caminos de conducción uni-dimensionales (1D) por lo que se puede considerar que estos dispositivos se comportan como antifusibles de tipo nanohilo, o matrices de nanohilos, controlados por efecto de campo. En la Fig. 3.1 se ilustra el concepto descrito inicialmente de BD-NW-AF: se trata de un dispositivo vertical de efecto de campo basado en caminos de conducción 1D abiertos en una capa delgada de dieléctrico (amarillo), cuyas propiedades eléctricas se controlan mediante una puerta metálica lateral (rojo). La corriente en el dispositivo fluye del ánodo metálico (negro) al cátodo de tipo semiconductor (verde). El mecanismo de control por efecto de campo en estas nuevas estructuras viene gobernado por la altura de la barrera de potencial en la zona en que se produce la ruptura dieléctrica, en lugar de por la concentración de portadores en el canal como ocurre en los transistores MOSFET.



**Fig. 3.1.** a) Representación esquemática del corte en sección de un BD-NW-AF. La implementación tecnológica de este dispositivo aún se tiene que investigar. Los caminos de conducción (lila) abiertos en la capa dieléctrica (amarillo) durante el estrés eléctrico, fase que representa el último paso del proceso de fabricación. El control por voltaje de los caminos de conducción se realiza a través de la puerta lateral de metal (rojo). El ánodo y el cátodo son el contacto metálico superior (negro) y la capa semiconductor enterrada (verde), respectivamente. (b) Durante el estrés realizado para formar los caminos de ruptura, el contacto superior metálico, la puerta y el semiconductor se polarizan bajo un campo eléctrico elevado mientras que la puerta lateral se puede utilizar para conseguir el control de la posición de los caminos de ruptura.

Pese a que el BD-NW-AF no se comporta como un transistor por efecto de campo, la estructura es muy similar. La finalidad de los BD-NW-AF no es la de competir con las nuevas topologías como el FinFET, sino ser utilizados como antifusibles controlados eléctricamente en estructuras reconfigurables verticales. Actualmente, los transistores MOS se sitúan en matrices planas cubiertas por nueve o más niveles de metal (vías) que suministran señales de reloj o sincronización, alimentación o interconexiones entre distintos bloques funcionales del chip. En el momento en el que no se pueden reducir las dimensiones de los transistores, se puede optimizar los diseños sustituyendo las vías con transistores de nanohilo [104, 105]. Estas interconexiones (antifusibles) pueden

realizarse entre el Si y el metal o entre distintos niveles de metal como se ilustra en la Fig. 3.2. Realizando arquitecturas reconfigurables en las que las conexiones entre distintos bloques funcionales se modifican cambiando el estado de solo unos pocos transistores verticales, se pueden crear arquitecturas tridimensionales [106]. Así, aunque los transistores de efecto de campo de nanohilo no juegan un papel importante en el plano (al existir otras estructuras más efectivas como el FinFET [107, 108]), ofrecen la posibilidad de fabricar nanotransistores verticales de modo que juegan un papel muy importante en la mejora de los circuitos y en las arquitecturas reconfigurables. El procedimiento de abrir nanohilos a través de una capa de dieléctrico mediante un estrés eléctrico parece ser una forma barata, simple y flexible de fabricar nanohilos conductivos y arrays de nanohilos.



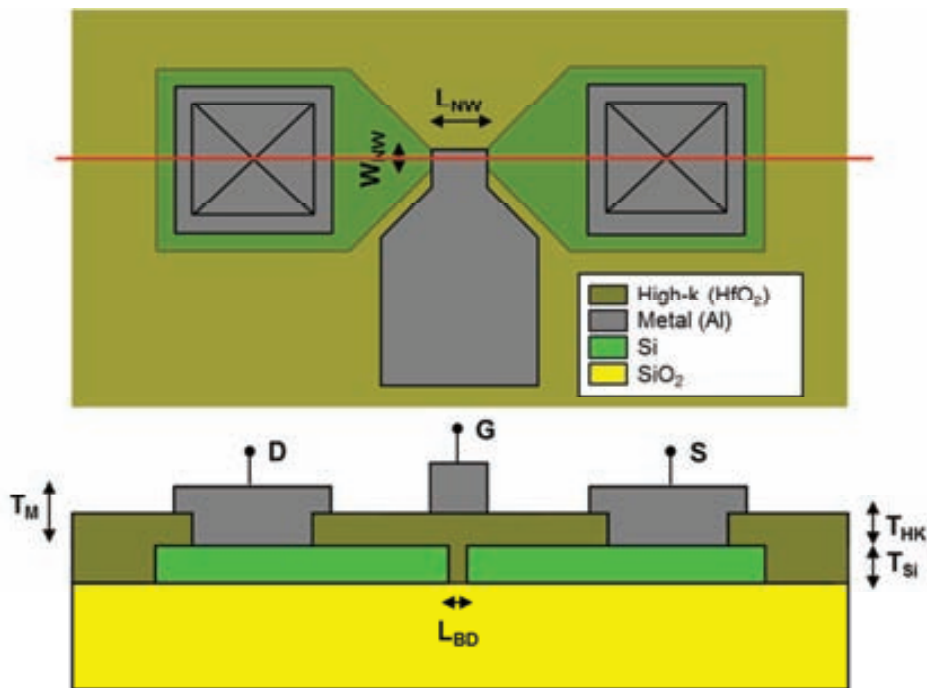
**Fig. 3.2.** Representación esquemática de las conexiones controladas por tensión de los antifusibles realizados con transistores de efecto de campo basados en nanohilos en futuras arquitecturas de chips 3D [104].

Al requerir que el efecto de campo en caminos de ruptura dieléctrica sea notable, se deben de realizar estructuras con una elevada ratio entre la corriente *off* previa a la formación del camino de ruptura y la corriente *on* posterior a la ruptura. Utilizando el concepto de efectos de canal corto (*short channel effects*, SCE), usado en los transistores MOS convencionales en relación con la longitud del canal (a menor longitud del canal, mayores son los SCE), la longitud del canal resulta un importante aspecto a tener en cuenta. Por otro lado, asumiendo que el canal del antifusible es un canal de ruptura en una capa de óxido, existe un problema al llegar a campos de ruptura considerables (en primera aproximación, se estiman valores para SiO<sub>2</sub> de  $E_{BD} \sim 10\text{MV/cm} = 1\text{V/nm}$ ) por lo que se deberían aplicar tensiones demasiado altas entre el terminal D y el S. Así, considerando que se tiene una distancia entre electrodos de 100nm, entonces serán necesarios 100V para la creación del camino de ruptura. Para un valor de tensión tan grande, la ruptura del dieléctrico no se puede controlar y se puede destruir el dispositivo por efectos térmicos. Así, se debe llegar a un compromiso entre los SCE y la creación del camino de ruptura por lo que se debe trabajar con las mínimas dimensiones posibles que permitan tener el comportamiento esperado del dispositivo como el de un transistor.

El diseño y las simulaciones iniciales sobre las que se ha trabajado a lo largo de este capítulo de la tesis doctoral se realizaron sobre la estructura BD-NW-AF pese a que no se pudo llegar a su implementación final debido a las dificultades tecnológicas

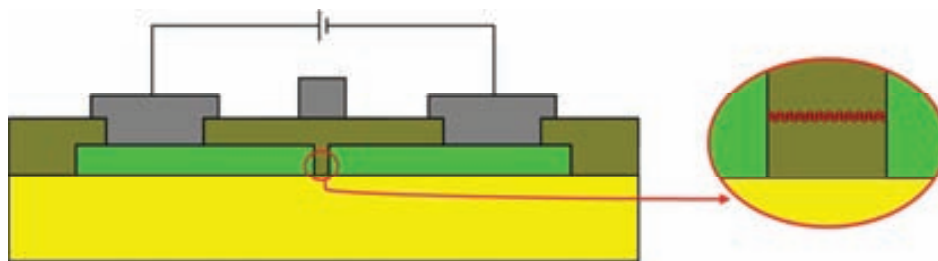


involucradas. Así, a continuación se definen las dimensiones de esta estructura teniendo en cuenta el compromiso entre los SCE y la creación del camino de ruptura dieléctrica. La estructura BD-NW-AF, mostrada en la Fig. 3.3, consta de dos islas de silicio separadas por un gap de dieléctrico que se debe abrir por ruptura dieléctrica aplicando tensión entre los terminales D y S. Se ha definido la estructura de tal manera que se pueda tener acceso a la región central del dispositivo por medio de los contactos metálicos D y S. Estos contactos desde los que se van a tomar medidas se han diseñado de modo que acceden a la zona de canal del dispositivo por medio de una forma tipo mariposa para así reducir las caídas de tensión en el acceso a la zona central del dispositivo.



**Fig. 3.3.** Representación de la estructura del BD-NW-AF. La línea roja marca la sección en la que se han representado las distintas capas.

Tal como se ha comentado, la intención de estas estructuras era la de generar el camino de ruptura de manera controlada de forma que, como se sugiere en el modelo QPC para dieléctricos delgados ( $<5\text{nm}$ ), el comportamiento de post-BD fuera compatible con el de un canal conductor 1D, es decir, un nanohilo [109]. El camino formado se muestra de manera esquemática en la Fig. 3.4. Una vez abierto el canal de ruptura en estos dispositivos, se desea demostrar que la conducción entre los terminales D y S se puede controlar mediante una tensión aplicada en la puerta (*gate*, G) como si fuera un dispositivo de tipo nanowire-FET. La idea inicial es que la tensión aplicada en G modifique la altura de potencial asociada al camino de ruptura dieléctrica permitiendo una mayor inyección de corriente entre los terminales D y S.



**Fig. 3.4.** Representación del camino de ruptura en la estructura del BD-NW-AF.

En estas estructuras, teniendo en cuenta que el camino de ruptura podría generarse en cualquier punto desde la zona más cercana al  $\text{SiO}_2$  de sustrato a la zona más próxima a G, para tener suficiente control electrostático por parte de la puerta es conveniente trabajar con una oblea SOI en la que se tenga un espesor de silicio muy reducido: la oblea utilizada para este proceso fue una oblea SOI de 300mm de diámetro y 20nm de espesor de silicio de sustrato. Por otro lado, la elección del valor de  $L_{BD}$  es fruto de un compromiso entre dos requerimientos:

- El primer requerimiento es que la tensión  $V_D - V_S$  con la que se genera el camino de ruptura sea suficientemente pequeña. En todo caso, si queremos que sea menor de 100V y consideramos como referencia el  $\text{SiO}_2$  con un campo de ruptura de 10MV/cm, el valor máximo de  $L_{BD}$  sería  $L_{MAX} = 100\text{nm}$ .
- Por otro lado, dado que el espesor efectivo de la capa de aislante entre puerta y canal es  $T_{ox} + x$  (ver Fig. 3.5), el control electrostático se ve fácilmente comprometido dando lugar a SCE muy importantes que limitarán el efecto de campo que seremos capaces de observar en el dispositivo. Desde este punto de vista interesa considerar valores de  $L_{BD}$  elevados.

Pese a que en la implementación de las estructuras se utilizaría  $\text{HfO}_2$ , teniendo en cuenta ambos requerimientos, inicialmente se determinó que lo más conveniente era explorar el rango de  $L_{BD}$  entre 20nm y 100nm con un objetivo nominal de 50nm. Pese a que el objetivo no era el de caracterizar el comportamiento del dispositivo, para definir las dimensiones específicas del dispositivo es importante tener en cuenta las características de conducción del mismo para que la fabricación sea satisfactoria de acuerdo con el funcionamiento esperado. En este sentido y como paso previo al diseño del proceso de fabricación de las estructuras, se realizaron un conjunto de simulaciones mediante el simulador 2D comercial semiclásico ISE-TCAD<sup>TM</sup> con la finalidad de definir unas dimensiones adecuadas para el dispositivo y demostrar que existe control del canal en el dispositivo simulado. En estas simulaciones se definieron varios objetivos con la finalidad de comprobar que el dispositivo diseñado cumplía con las especificaciones deseadas: se analizó la aplicabilidad de la teoría del escalado como herramienta de diseño y se estudió la dispersión esperable de las características de los dispositivos en función de sus dimensiones. En las simulaciones realizadas con ISE-TCAD<sup>TM</sup> y recopiladas en [103, 110] se consideraba la estructura que se muestra en la Fig. 3.5 en la cual se define el canal de ruptura como un “tubo” con sección rectangular de silicio como ya han hecho otros autores anteriormente [111]. En estas simulaciones

se variaron las dimensiones críticas de la estructura con el fin de analizar su impacto en el funcionamiento del dispositivo considerando una aplicación directa de la teoría del escalado [112].

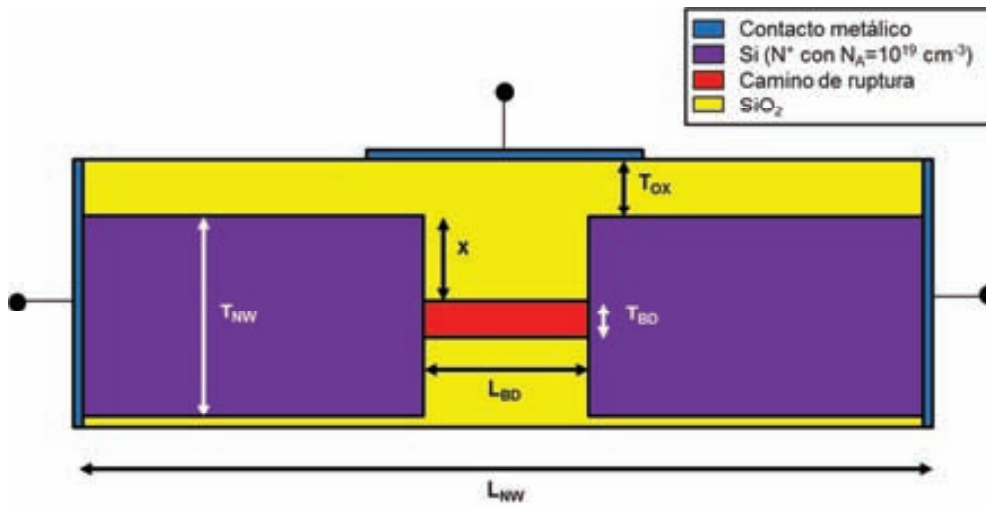


Fig. 3.5. Estructura utilizada para el BD-NW-AF en las simulaciones con ISE-TCAD<sup>TM</sup>.

La teoría del escalado permite, a partir de un parámetro definido como longitud natural del canal ( $\lambda$ ) predecir de manera general la longitud mínima del canal de un transistor para prevenir efectos de canal corto. La expresión de la longitud natural se muestra en (3.1) en el caso de un transistor de única puerta, y en (3.2) para el caso de uno de doble puerta con sección cuadrada.

$$\lambda_1 = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} T_{Si} T_{ox}} \quad (3.1)$$

$$\lambda_2 = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} T_{Si} T_{ox}} \quad (3.2)$$

El parámetro  $\lambda$  se define a partir de la distribución de potencial en el canal de un transistor  $\varphi(x)$ , la cual se relaciona con la longitud natural del dispositivo según (3.3).

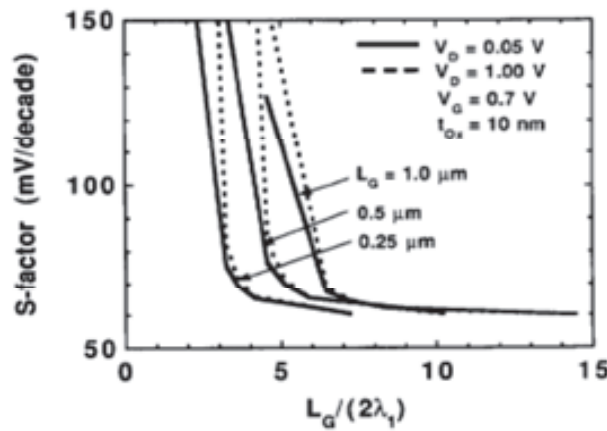
$$\frac{d^2\varphi(x)}{dx^2} = \frac{\varphi(x)}{\lambda_1^2} \quad (3.3)$$

El parámetro  $\lambda$  se utiliza como termómetro de la robustez de la electrostática del dispositivo: cuanto menor sea la longitud natural del dispositivo, más se podrá escalar la longitud del canal del MOSFET, y en este sentido, los dispositivos multipuerta con  $\lambda$  menores se consideran una evolución que permitirá suplir a los de puerta única al prolongar los límites del escalado convencional. En [113] también se propone un parámetro  $\alpha$ , que relaciona la longitud del canal ( $L$ ) con el parámetro  $\lambda$  según (3.4). Este

parámetro permite tener una medida de cuan bueno será el comportamiento subumbral del dispositivo.

$$\alpha = \frac{L}{\lambda} \quad (3.4)$$

En la Fig. 3.6 se muestra una gráfica en la que se muestra el inverso de la pendiente subumbral ( $S$ ) en función del parámetro  $\alpha$  para un transistor MOSFET de doble puerta (en el caso de estos transistores el parámetro  $\alpha$  viene dado por la relación  $\alpha = L / 2 \cdot \lambda$ ). Puede observarse como dando un valor a esta ratio entre 5 y 10 para dichos transistores, se puede asegurar que éste tiene un buen comportamiento subumbral.

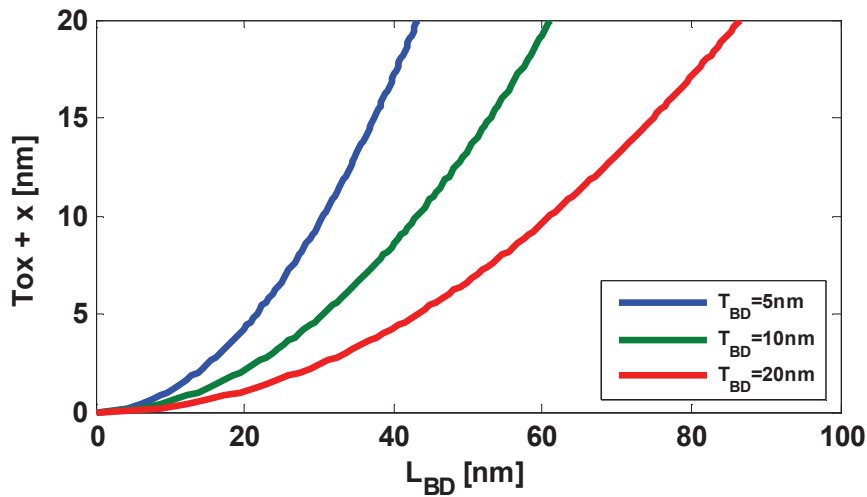


**Fig. 3.6.** Dependencia de la inversa de la pendiente subumbral con el factor  $\alpha$ , para un transistor MOSFET de doble puerta, obtenida utilizando un simulador de dispositivos [113].

Aislando el parámetro  $\lambda$  de la expresión de (3.3) y sustituyéndolo en la ecuación de la longitud natural  $\lambda$  de la teoría del escalado para un transistor MOSFET de puerta única, mostrada en (3.2), encontramos la relación de (3.5) partir de la cual se ha construido la gráfica mostrada en la Fig. 3.7:

$$L = \alpha \sqrt{\frac{\epsilon_{Si} T_{Si} T_{ox}}{\epsilon_{ox}}} \quad (3.5)$$

Para la obtención de dicha gráfica, así como en las simulaciones mostradas más adelante, se utilizaron valores razonables para el camino de ruptura [114]: se consideraron tres posibles valores para el diámetro ( $T_{bd}$ ) del canal de ruptura: 5nm, 10nm o 20nm. En la Fig. 3.7 se observa el espesor efectivo ( $T_{ox+x}$ ) en función de la longitud del canal ( $L_{BD}$ ) para estructuras como la mostrada en la Fig. 3.5, utilizando una capa de óxido *high-k* de tipo  $HfO_2$  ( $\epsilon_r = 20-25$ ) como el usado en su posterior fabricación, y un valor límite del parámetro  $\alpha = 3$ . Para tener estructuras en las que se pueda demostrar el efecto de campo con un buen control de los SCE, se requieren valores de  $L_{BD}$  por debajo de las líneas mostradas en la gráfica de la Fig. 3.7.



**Fig. 3.7.** Longitud  $L_{BD}$  en función del espesor efectivo de la capa de óxido para distintos valores de los caminos de ruptura dieléctrica para  $\text{HfO}_2$  suponiendo  $\epsilon_r = 22.5$ .

Para hacer un estudio exploratorio del comportamiento esperado de acuerdo con la teoría del escalado, en las simulaciones realizadas con ISE-TCAD<sup>TM</sup> se utilizó  $\text{SiO}_2$  como óxido de referencia y se variaron los parámetros del camino de ruptura  $x$ ,  $L_{BD}$  y  $T_{BD}$  (definidos en el esquema del dispositivo de la Fig. 3.5). Las propiedades definidas para las simulaciones se detallan a continuación:

- $L_{NW} = 1\mu\text{m}$ ;
- $T_{NW} = 20\text{nm}$ ;
- $\text{SiO}_2$  tomado como óxido de referencia con  $\epsilon_r = 3.9$ .
- El camino de ruptura de longitud  $L_{BD}$  (rojo en la Fig. 3.5) se ha modelado como un nanohilo de silicio intrínseco de diámetro  $T_{BD}$  y las islas (lila en la Fig. 3.5) como zonas  $\text{N}^+$  dopadas con fósforo ( $N_A = 10^{19}\text{cm}^{-3}$ ).
- Se ha considerado un solapamiento de la puerta sobre los terminales D y S de 50nm por lado. (por ejemplo, si  $L_{BD} = 20\text{nm}$ , entonces  $L_{BD} = 120\text{nm}$ ).
- Para simplificar, se ha considerado que la diferencia entre el nivel de Fermi del metal del electrodo y el nivel de Fermi intrínseco en el semiconductor vale cero.
- $V_{DS} = 50\text{mV}$  para la obtención de la característica de transferencia.

$T_{ox}$ (nm)	$T_{BD}$ (nm)	$x$ (nm)	$\alpha$ ( $L=100\text{nm}$ )	$\alpha$ ( $L=50\text{nm}$ )	$\alpha$ ( $L=20\text{nm}$ )
2	5	0	1.83	4.56	9.13
	5	15	0.63	1.57	3.13
	10	0	1.29	3.23	6.45
	10	10	0.53	1.32	2.64
	20	0	0.91	2.28	4.56

**Tabla 3.1.** Parámetros definidos en las simulaciones para  $L = 100\text{nm}$ ,  $L = 50\text{nm}$  y  $L = 20\text{nm}$ .

Una vez definida la estructura, analizado el compromiso entre la creación del camino de ruptura dieléctrica y los SCE, y determinadas las dimensiones razonables para la

estructura en función de la teoría de escalado, se realizaron varias simulaciones sobre la estructura de la Fig. 3.5 para estimar la dispersión de características eléctricas en función de la posición y el tamaño del camino de ruptura. El parámetro  $x$  no se puede controlar ya que depende del punto en el que se haya formado el camino de ruptura (fenómeno aleatorio). Por este motivo, para cada diámetro  $T_{BD}$  simulado se tomó el caso más favorable (camino cerca de la puerta) y el caso más desfavorable (camino lejos de la puerta) con el fin de determinar la dispersión de resultados que podemos tener (véase la Tabla 3.1). Se consideraron 3 valores diferentes de  $L_{BD}$  en el rango de interés ( $L_{BD} = 20\text{nm}$ ;  $50\text{nm}$ ;  $100\text{nm}$ ).

Para un valor de  $L_{BD}=100\text{nm}$  y teniendo en cuenta la primera aproximación para el campo de ruptura de  $1\text{V}/\text{nm}$ , la ruptura debería provocarse con tensiones del orden de  $100\text{V}$  por lo que se espera de muy difícil control ya que podría destruirse el dispositivo por efectos térmicos. Por otro lado, la observación de las características de tipo transistor se verá favorecida por la ausencia de efectos de canal corto al tener un dispositivo largo. En la Fig. 3.8 se muestra el resultado de la simulación para una estructura con  $L_{BD} = 100\text{nm}$  a la que se aplica una tensión  $V_{DS} = 0.05\text{V}$ . Puede notarse que el comportamiento en conducción viene controlado principalmente por la posición vertical del canal de ruptura  $x$ , y no depende del valor de  $T_{BD}$ . Esto indica entonces, que la conducción tiene lugar en un canal de inversión superficial en todos los casos. Puede verse también, que la tensión umbral se mantiene constante en todos los casos en un valor aproximado de unos  $0.4\text{V}$ .

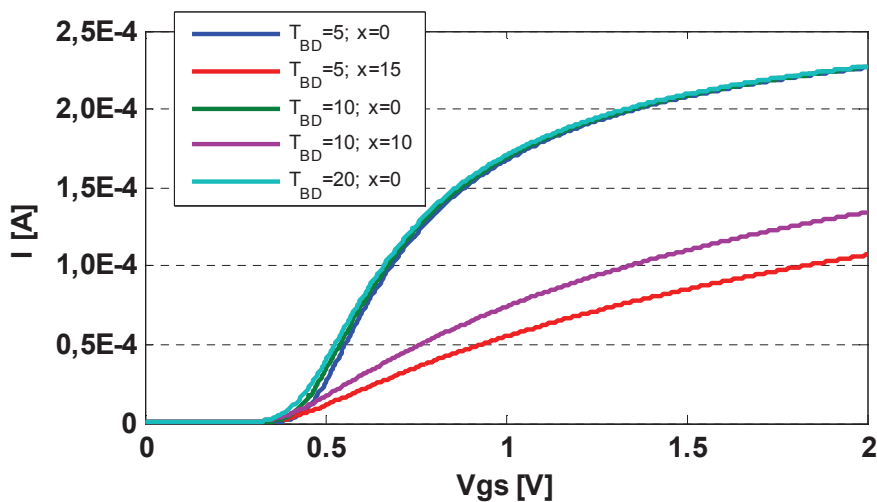


Fig. 3.8. Característica de transferencia para el caso  $L_{BD} = 100\text{nm}$ .

El segundo caso, en el que también se aplica una tensión  $V_{DS} = 0.05\text{V}$  a una estructura con  $L_{BD} = 50\text{nm}$ , el caso en el que el compromiso entre ruptura y SCE es más razonable (ver Fig. 3.9) se puede ver como los resultados obtenidos son equivalentes a los obtenidos con  $L = 100\text{nm}$ , desde un punto de vista cualitativo, aunque son más dispersos en el caso  $L = 50\text{nm}$  sobretodo en el valor de la tensión umbral.

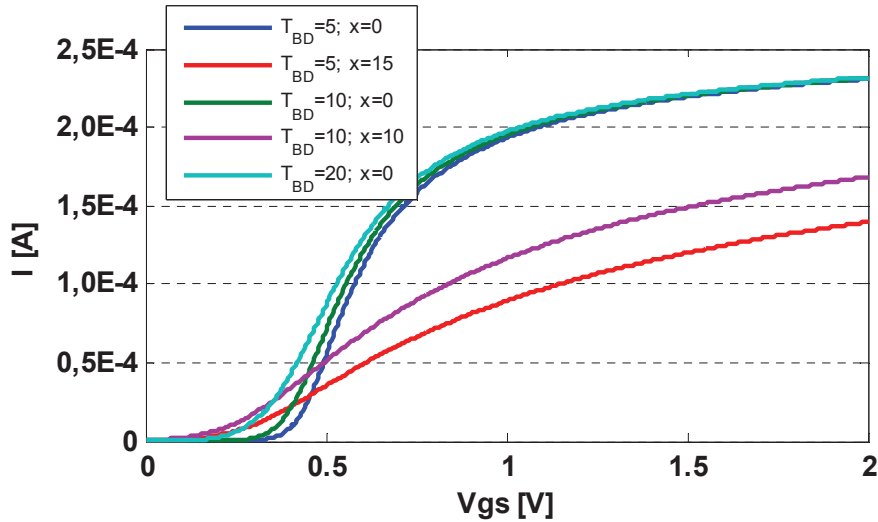


Fig. 3.9. Característica de transferencia para el caso  $L_{BD} = 50\text{nm}$ .

Finalmente, para  $L_{BD} = 20\text{nm}$  y una tensión  $V_{DS} = 0.05\text{V}$ , la ruptura se prevé fácil de provocar y relativamente controlable para tensiones de unos  $20\text{V}$ . Sin embargo, como se observa en la Fig. 3.10 el comportamiento del dispositivo como transistor se verá comprometido al producirse una gran dispersión de la tensión umbral y del inverso de la pendiente subumbral, que se degrada hasta valores tremendamente grandes (ver Fig. 3.11).

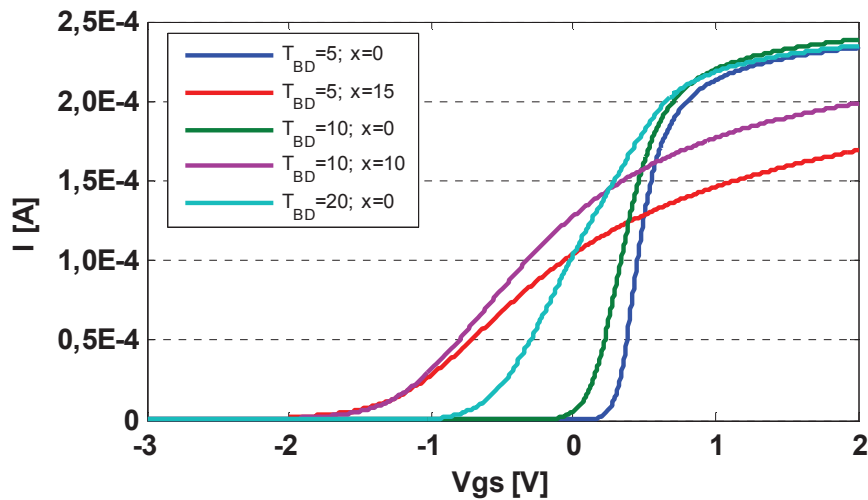


Fig. 3.10. Característica de transferencia para el caso  $L_{BD} = 20\text{nm}$  en escala lineal.

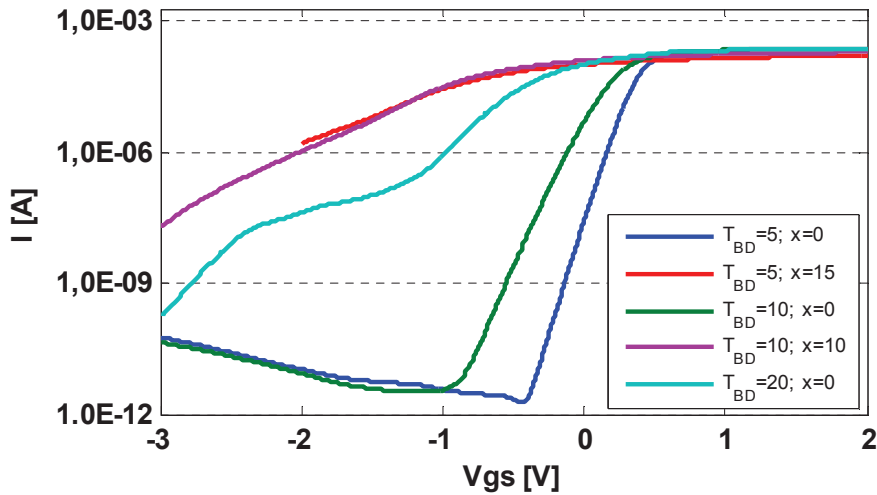


Fig. 3.11. Característica de transferencia para el caso  $L_{BD} = 20\text{nm}$  en escala logarítmica, en la que se puede ver la gran dispersión de la pendiente subumbral.

Con la finalidad de ver las situaciones en que el comportamiento como transistor puede verse comprometido, en la Fig. 3.12 se muestran dos grupos de simulaciones para la obtención de la característica de salida según los parámetros de la Tabla 3.2 en el caso de aplicar distintas tensiones de puerta.

$L$ (nm)	$T_{ox}$ (nm)	$T_{si}$ (nm)	$x$ (nm)	$\alpha$
20	2	10	10	0.53
50		10	0	3.23

Tabla 3.2. Parámetros definidos para la simulación de la característica de salida.

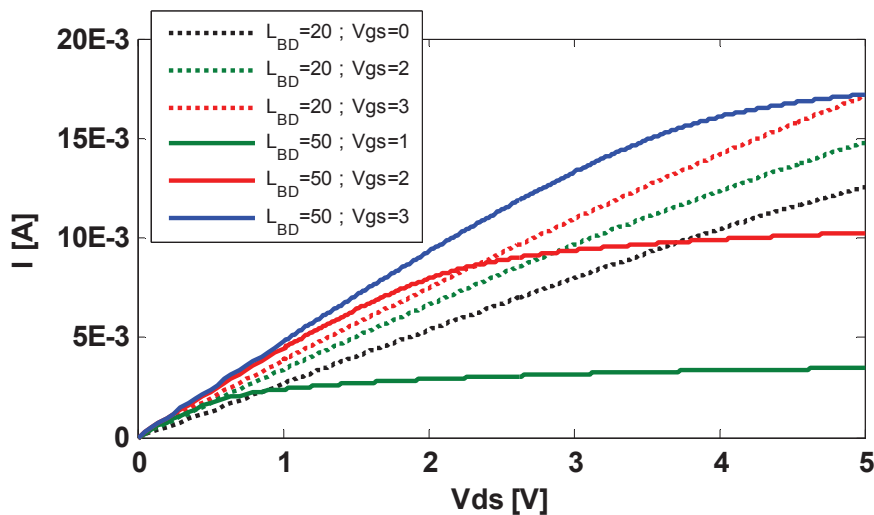


Fig. 3.12. Característica de salida para el caso  $L = 20\text{nm}$  y  $L = 50\text{nm}$  para distintas  $V_{gs}$ .

En el caso  $L = 20\text{nm}$  con un valor  $\alpha = 0.53$  (líneas punteadas), se puede observar que la tensión umbral está desplazada hasta valores negativos y la pendiente subumbral es tan mala que el dispositivo no muestra casi saturación, es decir, no se llega al punto de



*pinchoff*. Pese a ello, existe cierto efecto de la puerta sobre el dispositivo, aunque éste resulta muy leve. Esta simulación resulta de interés para hacerse una idea de los SCE que se pueden esperar en los dispositivos fabricados. Por otro lado, en el caso de tener una  $L = 50\text{nm}$  y un valor de  $\alpha = 3.23$  (líneas continuas), las características de salida obtenidas en las simulaciones son las propias de un transistor con un buen control electrostático de la puerta, por lo que se preveía que los dispositivos con  $L_{BD}$  de este orden fueran robustos electrostáticamente con un comportamiento de transistor largo.

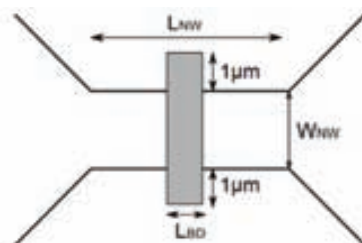
## 3.2. Descripción de las estructuras fabricadas

### 3.2.1. Estructuras preliminares

#### 3.2.1.1. Estructura BD-NW-AF

A partir de los resultados mostrados en las simulaciones del BD-NW-AF (presentado en la Fig. 3.3), y del compromiso entre la creación del camino de ruptura y los SCE, se determinaron las dimensiones para la implementación del dispositivo BD-NW-AF. Así, teniendo en cuenta el valor máximo esperado para el diámetro  $T_{BD}$  ( $\sim 20\text{nm}$ ) y que se desea cubrir la región en que se desea producir la ruptura, se definió un espesor de  $\text{HfO}_2$  de  $20\text{nm}$ . Dicho espesor equivale a un  $\text{EOT} = 3.45\text{nm}$  (suponiendo un valor intermedio de  $\epsilon_r = 22.5$  para el  $\text{HfO}_2$ ) de modo que es de esperar que las estructuras tengan SCE más notables a los simulados para un valor de  $T_{ox} = 2\text{nm}$ . Esto implica que en las estructuras fabricadas, se esperan mayores SCE en comparación con los resultados simulados para un mismo valor de  $L$ .

En cuanto a las dimensiones de la región central del dispositivo BD-NW-AF presentada en la Fig. 3.3, éstas se definieron inicialmente según se muestra en la Tabla 3.3. En esta tabla puede verse que se definieron distintas variantes iniciales de las estructuras para así poder obtener dispersión en la caracterización de las mismas. Puede notarse que la dimensión  $W_{BD}$  tiene un tamaño  $2\ \mu\text{m}$  mayor ( $1\ \mu\text{m}$  por lado) que el tamaño del canal de Si para que el solapamiento del motivo de la zona de ruptura, definido en el *layout*, sea suficiente como para asegurar que la región central del dispositivo queda implementada correctamente.



**Fig. 3.13.** Representación de la máscara software utilizada para la definición de la zona de ruptura dieléctrica del BD-NW-AF.

Dimensiones canal Si		Tamaño zona BD	
$L_{NW}(\mu\text{m})$	$W_{NW}(\mu\text{m})$	$W_{BD}(\mu\text{m})$	$L_{BD}(\text{nm})$
50	2,5	4,5	20 ; 40 ; 60 ; 80 ; 100
	5	7	20 ; 40 ; 60 ; 80 ; 100
	10	12	20 ; 40 ; 60 ; 80 ; 100
100	40	42	20 ; 40 ; 60 ; 80 ; 100

**Tabla 3.3.** Resumen de las dimensiones utilizadas en la región central del BD-NW-AF.

A modo de resumen, las dimensiones definidas para la implementación física de esta estructura se describen a continuación:

- El espesor de silicio: 20nm.
- El espesor del óxido *high-k* ( $\text{HfO}_2$ ): 20nm.
- $L_{BD} = 20\text{nm}; 40\text{nm}; 60\text{nm}; 80\text{nm}$  y  $100\text{nm}$ .
- $L_{NW} = 50\mu\text{m}$  y  $100\mu\text{m}$ .
- $W_{NW} = 2,5\mu\text{m}; 5\mu\text{m}; 10\mu\text{m}$  y  $40\mu\text{m}$ .

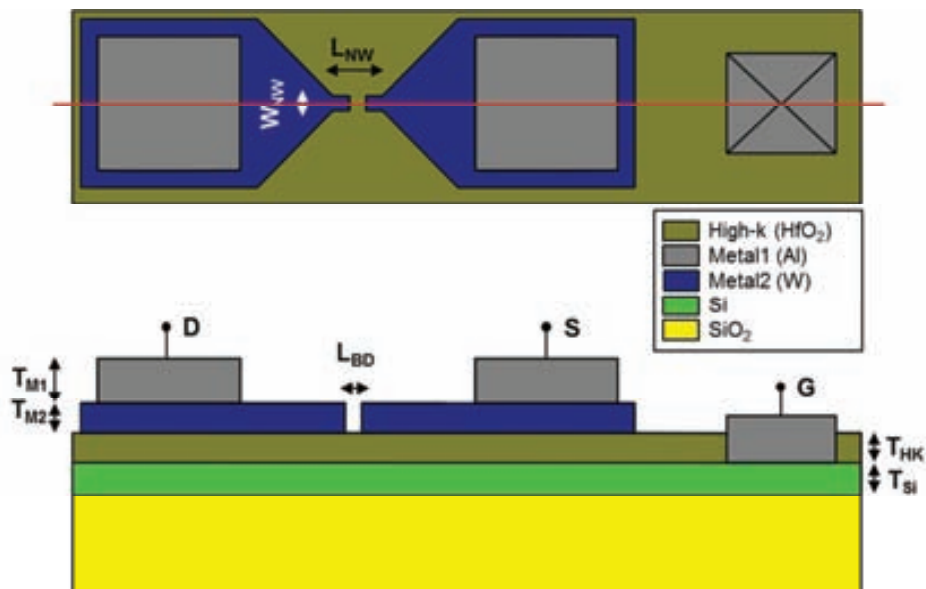
La fabricación de las estructuras BD-NW-AF se llevó a cabo dentro del primer proceso de fabricación definido a lo largo de esta tesis doctoral (ver detalles del proceso en el Anexo C.1), al cual hemos llamado NANOFUSE1. Este proceso depende de varios procesos tecnológicos avanzados que resultan críticos en varias etapas ya que no son etapas estándar/parametrizadas en el IMB-CNM. Por este motivo, de manera previa al proceso de fabricación, se realizaron varias pruebas sobre las etapas críticas para definir los parámetros necesarios para optimizar el proceso. Una vez finalizadas dichas pruebas, se realizó el proceso NANOFUSE1 y posteriormente se realizó la caracterización de las estructuras. Como conclusión a dicha caracterización se determinó que las estructuras no fueron fabricadas satisfactoriamente por ciertas limitaciones tecnológicas: en primer lugar se determinó un problema tecnológico en la apertura de ventanas para el contacto del electrodo activo de silicio (problema en la etapa RIE); en segundo lugar, mediante la obtención de imágenes SEM se observó que probablemente se consumió la capa delgada de 20nm de Si en las etapas relativas a la definición de la región crítica de estas estructuras (también en relación con el RIE). Así, pese a las múltiples pruebas realizadas, no pudimos solucionar los retos tecnológicos derivados de este proceso ni alcanzar los objetivos científicos de la propuesta inicial. Por este motivo, en los siguientes procesos definidos se descartó continuar con la fabricación de estas estructuras y se centró la atención sobre otras estructuras definidas en dicho proceso: estructuras de tipo MIM planares.

### 3.2.1.2. Estructura MIM Si-backgated

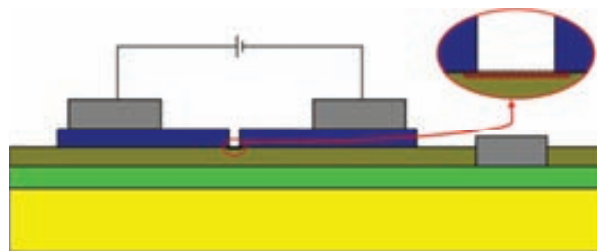
Dentro del proceso de fabricación NANOFUSE1 definido para la estructura BD-NW-AF y el conjunto de máscaras definidas para ésta, se introdujo el diseño de unas estructuras planares de tipo metal-aislante-metal (MIM) inspiradas en [115, 116]. Estas estructuras de tipo MIM se componen por dos capas metálicas depositadas por encima de una capa de dieléctrico y separadas por un gap de longitud  $L_{BD}$ . Se trata de un tipo de estructura independiente del BD-NW-AF en el que también se busca tener control por efecto de campo de caminos de ruptura dieléctrica. En esta estructura también se desea estudiar el efecto de campo en el camino de ruptura creado utilizando la capa de Si dopada del sustrato como terminal de puerta (G) por el sustrato (*backgate*). Así, se definió a esta nueva estructura como **MIM Si-backgated** según el esquema de la Fig. 3.14.

De forma análoga a como se pretende en el caso del BD-NW-AF, en estas estructuras se pretende abrir un camino de ruptura que comunique los electrodos D y S aplicando una diferencia de tensión suficientemente alta entre ellos. Se espera que la diferencia de

tensión aplicadas entre D y S caiga en una región muy pequeña del dispositivo (zona del gap) de modo que debe utilizarse un metal cuya temperatura de fusión sea lo más alta posible (por este motivo se escogió Wolframio, W). En este tipo de estructuras se define un contacto con el sustrato (G) con el fin de poder polarizarlo y observar el efecto de campo esperado. Tomando como ejemplo la estructura MIM Si-backgated, en la Fig. 3.15 se muestra una representación del proceso de formación del camino de ruptura dieléctrica en esta estructura.



**Fig. 3.14.** Vista esquemática de la estructura tipo MIM Si-backgate compuesta por dos zonas metálicas separadas y depositadas encima de dieléctrico. La línea roja marca la sección en la que se han representado las distintas capas.

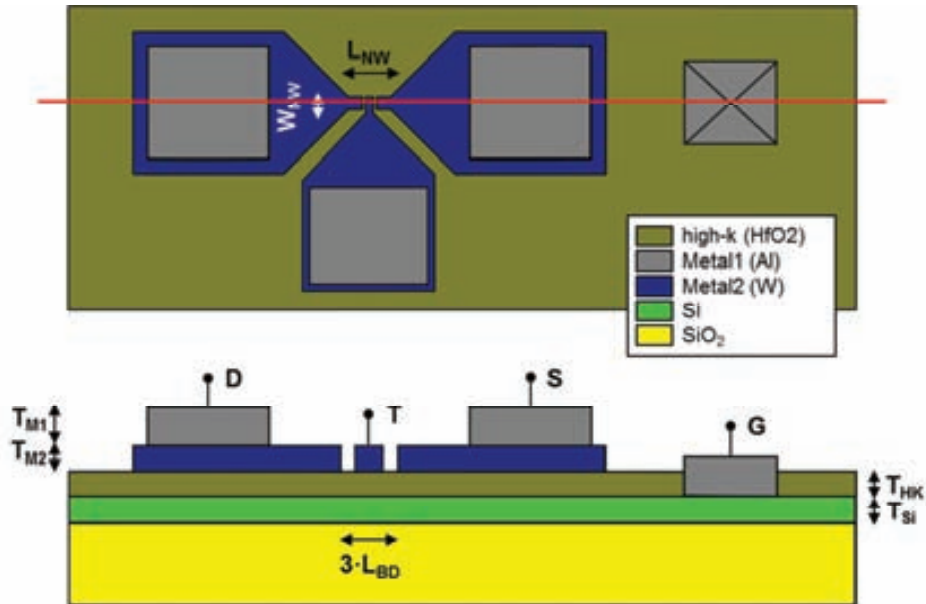


**Fig. 3.15.** Representación del camino de ruptura superficial en la estructura del MIM Si-backgated.

Las características específicas para la implementación física de las estructuras de tipo MIM son:

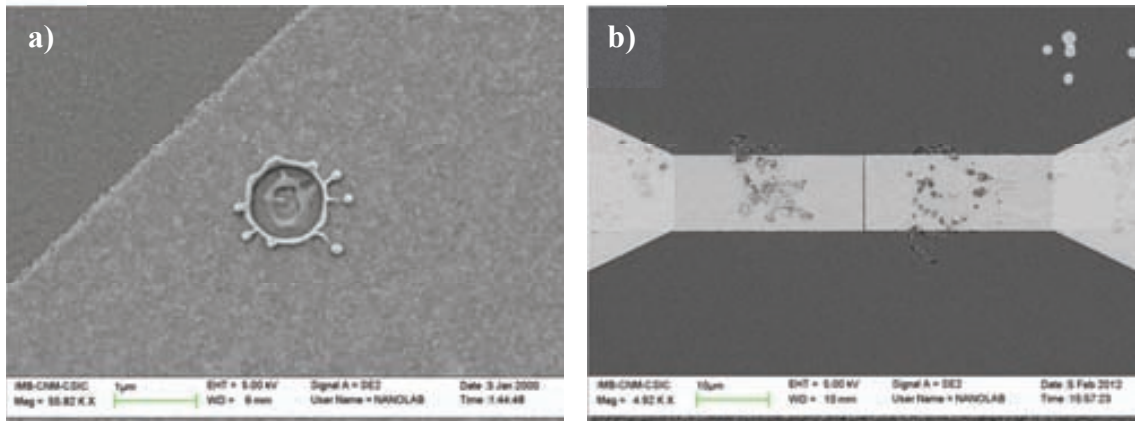
- El espesor de silicio: 20nm.
- El espesor del óxido *high-k* ( $\text{HfO}_2$ ): 20nm.
- El espesor de W en la zona de contacto: 40nm.
- El espesor de W en la región central: 20nm inicialmente; 40nm finalmente.
- $L_{BD} = 20\text{nm}; 40\text{nm}; 60\text{nm}; 80\text{nm}; 100\text{nm}$ .
- $L_{NW} = 50\mu\text{m}$  y  $100\mu\text{m}$ .
- $W_{NW} = 2,5\mu\text{m}; 5\mu\text{m}; 10\mu\text{m}$  y  $40\mu\text{m}$ .

En base a esta estructura MIM, se definió también una variante a la que denominamos estructura **MIM Si-backgated con puerta superior** en la que se pretendía crear un camino de ruptura entre D y S por debajo de un electrodo de puerta superior (T), definido por encima del dieléctrico que se comprende entre D y S (ver Fig. 3.16).



**Fig. 3.16.** Vista esquemática de la estructura tipo MIM Si-backgated con puerta superior compuesta por tres zonas metálicas separadas y depositadas encima de dieléctrico. La línea roja marca la sección en la que se han representado las distintas capas.

Pese a que la caracterización de las estructuras en este apartado no fue la esperada, sirvió para definir parámetros críticos de las estructuras de cara a un segundo proceso de fabricación. En dicha caracterización se observó que el grosor del óxido era demasiado reducido por lo que la ruptura del óxido se producía siempre verticalmente entre los contactos D o S, y el terminal de sustrato G (en lugar de entre D y S) ya que el acoplamiento entre los contactos D y S era del mismo orden de magnitud que entre el sustrato y cualquiera de ellos (ver cráter relativo a esta ruptura vertical en la Fig. 3.17a). Otro problema encontrado fue que el poco espesor de la capa de Wolframio de la región crítica (de tan solo 20nm) implicaba una alta densidad de corriente que en muchos casos provocaba la volatilización de la región crítica del mismo (ver ejemplo de la Fig. 3.17b). Por otro lado, el diseño de los motivos de la región central mediante la técnica de litografía por haz de electrones, se definió inicialmente en forma rectangular (según las dimensiones  $L_{NW}$ ,  $W_{NW}$  y  $L_{BD}$ ) pero debido a efectos no ideales (efectos de proximidad del equipo de litografía por haz de electrones), y con la finalidad de tener las mínimas separaciones posibles, finalmente se definieron en forma de “pico” o punta. Con dicha geometría se consiguió el mayor rendimiento en la obtención de la mínima separación  $L_{BD}$  entre electrodos.



**Fig. 3.17.** a) Cráter observado como resultado de la ruptura vertical entre los electrodos S y G en una de las estructuras MIM Si-*backgated*. b) Imagen SEM en la que se observan importantes efectos térmicos en una de las estructuras MIM Si-*backgated* definidas inicialmente con 20nm de espesor en la región central.

### 3.2.2. Estructura MIM *backgated*

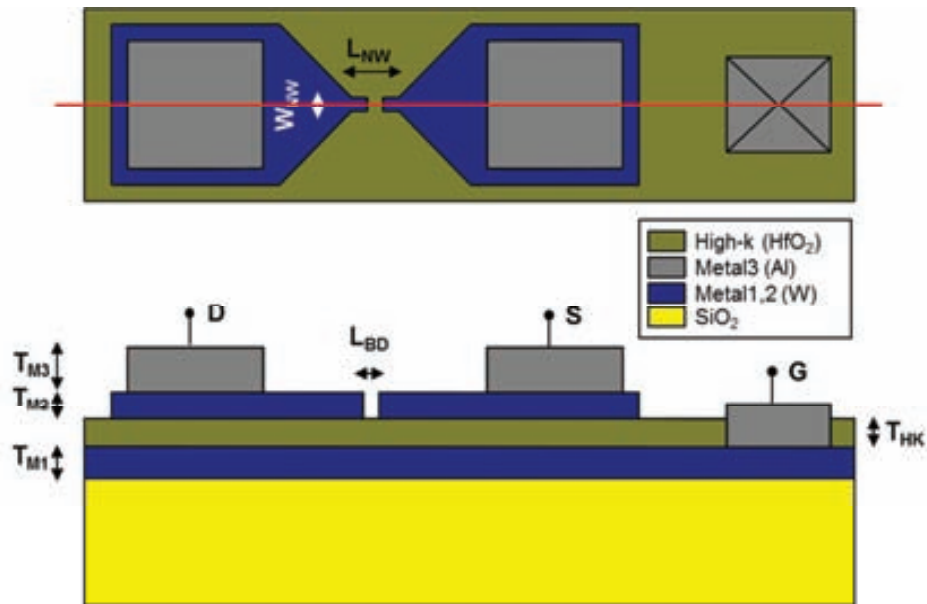
Como resultado de la caracterización de las estructuras MIM Si-*backgated* fabricadas en el proceso NANOFUSE1, se definió una estructura nueva a la que llamamos **MIM *backgated***, como una mejora de las anteriores substituyendo la capa de Si del sustrato por una capa de W con un espesor de 100nm, la cual se utilizaría también como puerta metálica (G) a través el sustrato (*backgate*). Además, en la estructura MIM *backgated* se incrementó el grosor definido para el óxido a 50nm para solucionar el problema encontrado con el acoplamiento vertical entre los terminales D o S, y el terminal G. Por otro lado, debido a la dificultad observada en las estructuras anteriores para tener la ruptura entre D y S, en combinación con la dificultad de fabricar un gap de dimensiones mínimas mediante la técnica de EBL, se definió un diseño acabado en punta para la región crítica de la estructura donde el valor de  $L_{BD}$  se redució al mínimo posible para favorecer la ruptura entre D y S. En la Fig. 3.18 se puede ver una representación esquemática de la nueva estructura planar W-HfO<sub>2</sub>-W llamada MIM *backgated*.

Las características específicas para la implementación física de esta estructura son:

- El espesor del óxido high-k (HfO<sub>2</sub>): 50nm.
- El espesor del Wolframio del nivel M1: 100nm.
- El espesor del Wolframio del nivel M2: 40nm.
- $L_{BD}$  = 20nm y 40nm.
- $L_{NW}$  y  $W_{NW}$  según varias geometrías definidas, siempre acabadas en punta.

La fabricación de estas estructuras se realizó en el segundo proceso de fabricación definido, al cual hemos llamado NANOFUSE2 (ver detalles del proceso en el Anexo C.2). Cabe destacar que a priori, la caracterización eléctrica de estas estructuras se preveía limitada por dos factores importantes: por un lado, al tener un mayor grosor de óxido ( $T_{ox}=50nm$ ) el efecto de campo resultante sería mucho menor del deseado; por otro lado, teniendo en cuenta que el diseño del metal de la región central acaba en forma de “pico”, y que el espesor del metal es de tan solo unos 40nm, la densidad de corriente en esta región se esperaba muy elevada y, pese a utilizar Wolframio, se alcanzarían

temperaturas muy altas en la región central que podrían resultar en la volatilización en algunos casos de la región crítica del dispositivo, como ya ocurrió en las estructuras MIM Si-*backgated*.



**Fig. 3.18.** Vista esquemática para las estructuras de tipo MIM *backgated*. Las estructuras están compuestas por dos zonas metálicas separadas y depositadas encima de dieléctrico, el cual se ha depositado previamente encima del terminal de puerta en el sustrato. La línea roja marca la sección en la que se han representado las distintas capas.

En el apartado 3.3.1, se describen los resultados más relevantes que han sido obtenidos en una estructura MIM *backgated*, en la que se ha observado un leve efecto de campo en la conducción post-ruptura y que han sido publicados en el artículo B. La obtención de dichos resultados ha sido el fruto de un total de quince chips fabricados y procesados en las etapas 8 y 9 del proceso NANOFUSE2 de manera secuencial (primero han sido fabricados individualmente, luego caracterizados, para posteriormente pasar al siguiente chip).

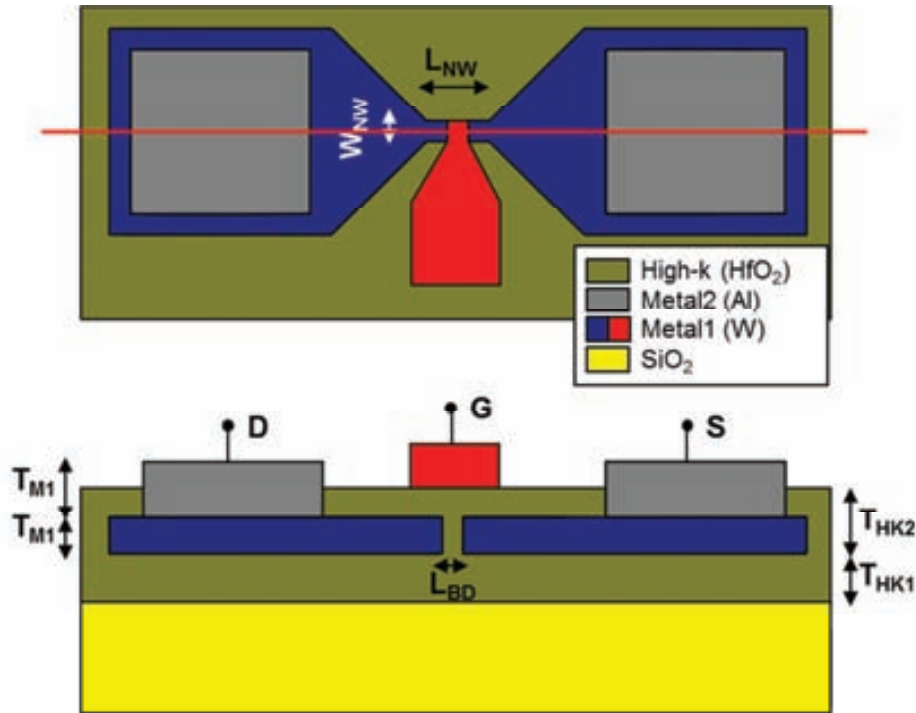
### 3.2.3. Estructura MIM *gated*

A partir de los resultados descritos en el apartado 3.3.1 en relación con la caracterización realizada sobre la estructura MIM *backgated*, en los que se muestran por primera vez indicios de efecto de campo sobre la conducción en caminos de ruptura dieléctrica, nos planteamos la posibilidad de solucionar las limitaciones encontradas en dichas estructuras en relación con el mal acoplamiento por parte del electrodo de puerta y los SCE. En este sentido, se definió un nuevo proceso de fabricación llamado NANOFUSE3 (ver detalles del proceso en el Anexo C.3), para la implementación de una variante mejorada de esa estructura, llamando a la nueva como **MIM *gated***.

En la Fig. 3.19 se muestra una representación esquemática del diseño de esta nueva estructura. En la definición de la estructura MIM *gated*, se cubre toda la región central del dispositivo con dieléctrico *high-k* de 10nm de grosor por lo que se prevé que la



ruptura del dieléctrico en la región central se produzca con mayor facilidad ya que anteriormente se debía producir justo en la superficie de la región crítica. Además, gracias a esta nueva capa dieléctrica, se protege la región central del dispositivo de partículas contaminantes como polvo o humedad. Otra principal novedad en esta nueva estructura es que el electrodo de puerta (zona en rojo) se sitúa por encima de la región central del dispositivo eliminando así la capa metálica del sustrato.



**Fig. 3.19.** Vista esquemática de la estructura tipo MIM *gated* compuesta por dos zonas metálicas separadas y depositadas encima de dieléctrico. La línea roja marca la sección en la que se han representado las distintas capas.

La fabricación de estas estructuras se ha definido en dos conjuntos de etapas de fabricación: primero un conjunto de etapas previas al depósito del electrodo de puerta y por otro lado, un conjunto de etapas para el depósito del mismo. Entre unas y otras, se realizan medidas eléctricas para la formación del camino dieléctrico entre los electrodos D y S, evitando así la ruptura vertical entre D o S, y G, como ocurría anteriormente en las estructuras MIM *Si-backgated*. Es importante destacar que, aunque se valoró la opción de definir el electrodo de puerta por litografía óptica, finalmente se optó por la definición del mismo mediante EBL por la experiencia adquirida en esta técnica a partir de los dos procesos anteriores, además de por la flexibilidad derivada de poder procesar los chips de la oblea por separado.

Las características específicas de las estructuras de tipo MIM *gated* son:

- El espesor  $T_{HK1}$  del óxido high-k ( $HfO_2$ ): 20nm.
- El espesor  $T_{HK2}$  del óxido high-k ( $HfO_2$ ): 10nm.
- El espesor del Wolframio del nivel M1: 40nm.
- $L_{BD} = 10nm - 100nm$ .
- $L_{NW}$  y  $W_{NW}$  según varias geometrías siempre acabadas en punta.



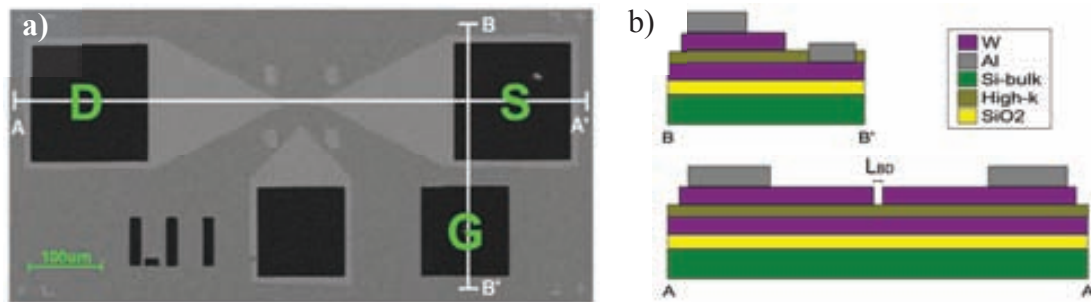
En relación con lo descrito, al definir un espesor de óxido de solo 10nm en la segunda capa de dieléctrico, se preveía mejorar considerablemente el acoplamiento por parte del electrodo de puerta. Por otro lado, al crear la ruptura dieléctrica de manera previa al depósito del electrodo de puerta se esperaba tener distancias mayores entre los electrodos, reduciendo así los SCE. Los resultados obtenidos sobre la caracterización relacionada con la estructura MIM *gated* se describen en el apartado 3.3.2.

### 3.3. Caracterización del efecto de campo sobre la conducción en caminos de ruptura dieléctrica

#### 3.3.1. Estructuras MIM *backgated*

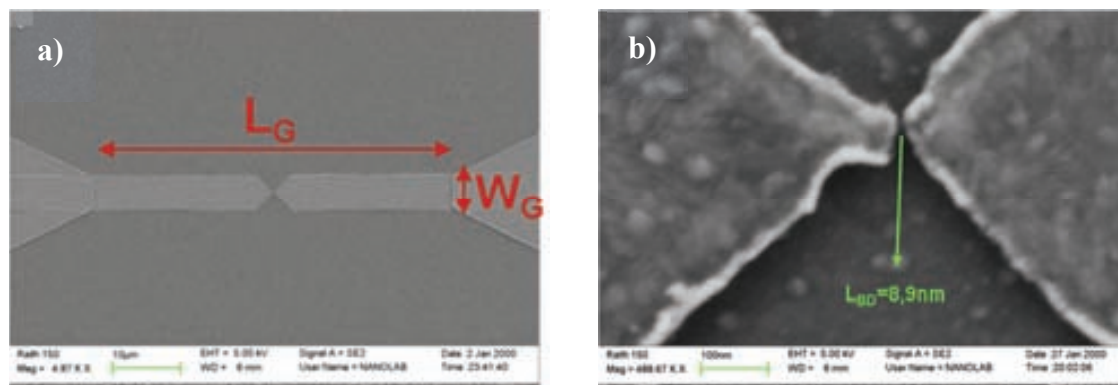
A continuación se muestran los resultados sobre uno de los pocos dispositivos de tipo MIM *backgated* sobre los que se ha observado indicios de efecto de campo sobre caminos de ruptura debido a la inestabilidad del camino dieléctrico formado, los cuales han sido publicados en el artículo B.

En la Fig. 3.20 se muestra una imagen SEM obtenida para la estructura sobre la que se han observado los resultados publicados, y dos representaciones esquemáticas de los cortes transversales A-A' y B-B', definidos en la misma imagen SEM. El grosor de HfO<sub>2</sub> medido una vez fabricadas las estructuras fue de unos 51nm. En dicha estructura se ha conseguido tener una separación de 8.9nm entre los terminales D y S, la cual ha sido medida sobre la imagen SEM de su región crítica que se observa en la Fig. 3.21.



**Fig. 3.20.** a) Imagen SEM de la vista superior de la estructura MIM *backgated* bajo test. b) Representación esquemática de las secciones A-A' y B-B'.

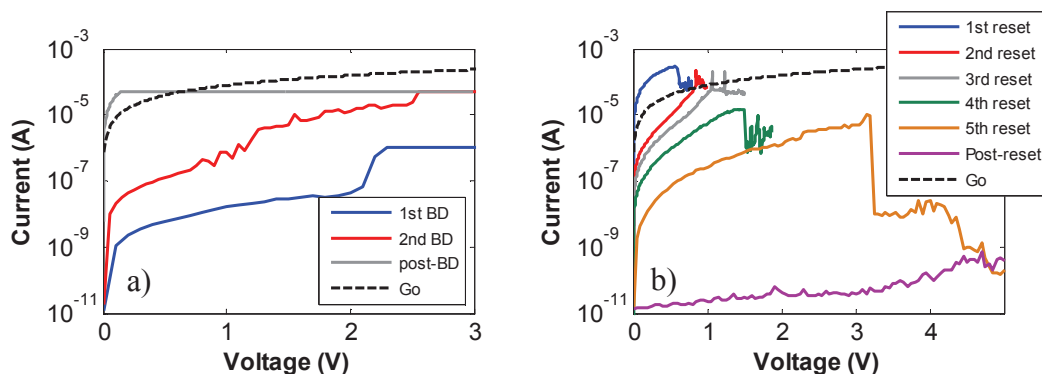
Realizando una extrapolación del estudio realizado en el apartado 3.1 en base a la teoría del escalado, si suponemos el valor medio del diámetro del camino de ruptura ( $T_{BD} = 10\text{nm}$ ) y un valor de  $\epsilon_r = 22.5$ , entonces obtenemos un valor del parámetro  $\alpha = 0.55$ . A partir del valor obtenido en la estimación de este parámetro, se espera que el efecto de campo sobre estas estructuras sea muy leve, mostrando importantes SCE.



**Fig. 3.21.** a) Región crítica definida por EBL. Las dimensiones  $L_G$  y  $W_G$  son de  $50\mu\text{m}$  y  $5\mu\text{m}$ , respectivamente. b) región en la que se muestra el nanogap definido por EBL.

Una vez fabricada la estructura y realizada una primera inspección SEM, se realizó la caracterización eléctrica de la misma, cuyo primer paso fue el de aplicar un estrés eléctrico mediante un CL-RVS ( $I_C = 1\mu\text{A}$ ) al electrodo D, polarizando los terminales G y S a 0V. El objetivo de este primer estrés eléctrico era el de crear la ruptura del dieléctrico entre los electrodos D y S, de modo que se formara un filamento conductor (proceso de *forming*) entre ellos. Por medio de este RVS se consiguió crear un camino conductor (*conducting filament*, CF) en la región del nanogap entre los electrodos metálicos D y S. La característica I-V en azul de la Fig. 3.22a muestra un aumento repentino de la corriente alrededor de 2.25V que alcanza el límite de corriente indicando la aparición de un evento de tipo SBD. Una vez creado el CF se aplicó un segundo CL-RVS en el que se aumentó el límite de corriente a  $I_C = 50\mu\text{A}$  (línea roja en la Fig. 3.22a). Como resultado de este segundo RVS, se observó que por encima de los 0.5V aparecieron ciertas inestabilidades en la característica I-V que derivan en un incremento progresivo de la corriente, el cual se interpreta como un ensanchamiento del CF. La característica mostrada en gris muestra la corriente post-BD como resultado de un tercer RVS en el que se alcanza enseguida el valor de  $I_C$ .

Una vez creado el CF, mediante la aplicación de sucesivos RVS sin límite de corriente en los que se va aumentando el valor de la tensión máxima del estrés, se consiguió reducir progresivamente la conducción en el CF. Así, tal como se muestra en la Fig. 3.22b, se produce un comportamiento de recuperación parcial en cada RVS de forma similar a lo que se ha mostrado para dispositivos de tipo RRAM en lo que se conoce como *partial reset methodology* [117]. Después de cada recuperación parcial, el CF presentaba una resistividad mayor por lo que la tensión máxima debía de aumentarse para poder seguir con el proceso de *reset*. En el dispositivo caracterizado, el CF se desconectó completamente después del quinto RVS (línea marrón en la Fig. 3.22b).

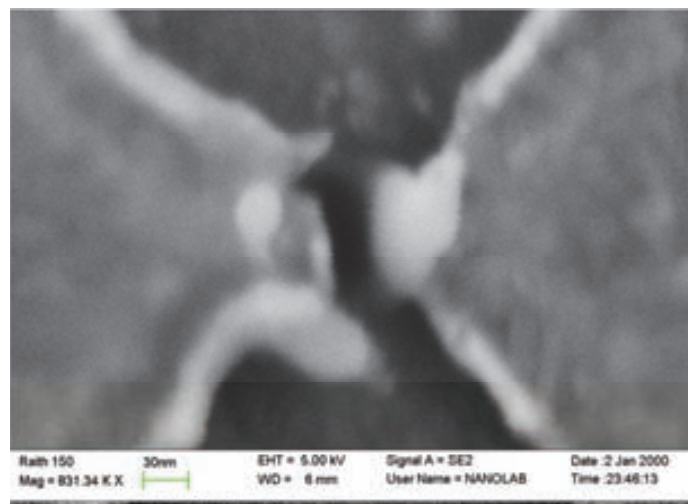


**Fig. 3.22.** Proceso de formación del CF en la región del nanogap realizado en dos IL-RVS con  $I_C$  limitada a  $1\mu\text{A}$  en el primer estrés, y a  $50\mu\text{A}$  en el segundo. b) Comportamiento de reset parcial producido en cinco pasos en los que se ha incrementado la tensión máxima de cada RVS.

Estos resultados se interpretaron en relación con el modelo QPC para la conducción post-ruptura [50], del que ya se ha hablado anteriormente en el capítulo 2. Recordemos que este modelo está basado en la idea de que la conducción post-BD en dieléctricos delgados ( $t_{\text{ox}} < 5\text{nm}$ ) se produce en un CF suficientemente estrecho como para cuantizar

la energía en las dos direcciones perpendiculares al transporte electrónico (dando lugar a un sistema cuasi-unidimensional). En dicho modelo, el valor de la conductancia cuántica ( $G_0 = 2e^2/h$ ) representa un umbral entre dos regímenes de conducción. Si la conductancia es del orden de  $G_0$  o mayor, se estima que el camino es suficientemente ancho como para que la conducción sea lineal ya que se da una banda extensa de estados electrónicos que conecta los dos electrodos. En caso contrario, si la conductancia está por debajo de  $G_0$ , entonces existe una cierta separación entre los electrodos que resulta en una barrera de potencial relacionada con la cuantización lateral. En tal situación, la característica I-V no es lineal debido a que la conducción electrónica se da por efecto túnel.

Analizando las características I-V observadas en términos del modelo QPC, se observó que después del primer RVS, dicha característica estaba claramente por debajo de  $G_0$ . Por otro lado, después del segundo RVS, en el tercer RVS se alcanzó un límite de  $I_C = 50\mu\text{A}$  en el que la conductancia se situaba claramente por encima de  $G_0$ , indicando que los estados se extendían creando un CF continuo entre D y S. En este sentido, se especuló que se había creado un CF a través de un evento de tipo SBD en el primer CL-RVS, el cual se convirtió en un HBD después de aplicar el segundo RVS. Para afianzar la interpretación realizada a partir del modelo QPC para las características I-V obtenidas y entender mejor la naturaleza del CF creado, se ajustaron las características experimentales con las ecuaciones de dicho modelo. El ajuste realizado en el artículo B muestra que la característica eléctrica obtenida se ajustaba perfectamente con dicho modelo por lo que da fuerza a la interpretación de que el CF creado en la región del nanogap se comportaba como un hilo cuántico (*quantum wire*, QW).

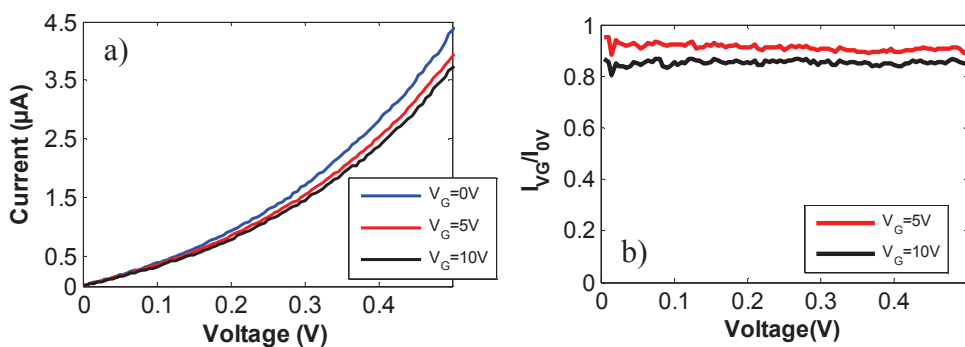
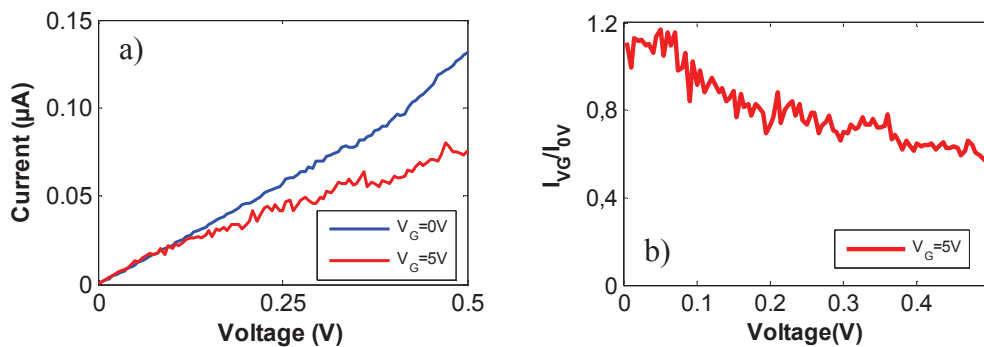


**Fig. 3.23.** Imagen SEM de la región del nanogap después de realizar la caracterización eléctrica. Al compararla con la imagen de la Fig. 3.21b, se observan cambios estructurales.

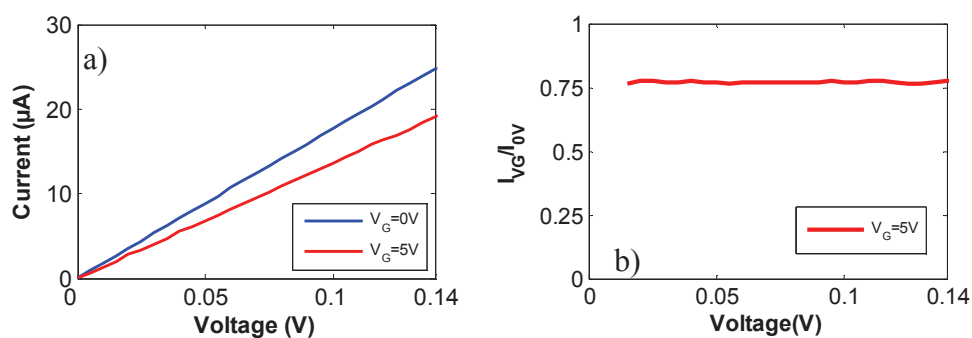
En este sentido, pese a que creemos que se creó un camino dieléctrico por debajo de la capa dieléctrica, no se puede descartar por completo que el CF creado fuera de naturaleza metálica en relación con el movimiento de W en la superficie del nanogap. El indicio de que se dieran ciertos cambios estructurales en la región del nanogap derivaba

de la comparación entre las imágenes SEM obtenidas antes y después de realizar la caracterización eléctrica sobre las estructuras (ver Fig. 3.21b y Fig. 3.23, respectivamente). En tal caso, estaríamos tratando con una estructura con un comportamiento de tipo celda electroquímica en lugar de un dispositivo de tipo nanofusible basado en material dieléctrico.

Después de la creación del CF en la región del nanogap entre los contactos D y S, se realizó un estudio sobre el control por efecto de campo en el CF. Este análisis se realizó mediante la aplicación de un voltaje sobre el electrodo de *backgate* (G). Para ello se realizaron varios RVS manteniendo la tensión entre los electrodos D y S por debajo de 0.5V mientras la tensión en el electrodo de puerta se varió de 0V a 10V. No se aumentó el valor de  $V_G$  a valores mayores para evitar la ruptura vertical en la estructura. El análisis se realizó en los mismos estados del CF analizados en la aplicación del modelo QPC. Así, en primer lugar se muestran los resultados sobre dos estados SBD: el estado posterior al *forming*, y el estado posterior a la segunda recuperación parcial del proceso de *reset* en la Fig. 3.24 y en la Fig. 3.25, respectivamente. Por otro lado, en la Fig. 3.26 se muestra el efecto de campo medido en el estado de HBD.



Aunque se consiguieron los primeros indicios de control por efecto de campo de la conducción post-ruptura, tal como se esperaba para el grosor del dieléctrico (51nm), el efecto de campo observado era muy leve en los tres estados caracterizados. Es importante notar también que la conducción medida en el CF era muy inestable por lo que se producían variaciones del mismo orden de magnitud que el efecto de campo observado pese a no variar el valor de la tensión de *backgate*. Aun así, la realización de medidas sistemáticas del efecto de campo mostrado en las figuras, indicaron que la puerta tiene influencia sobre la conducción entre los terminales D y S. En estas estructuras, el efecto de campo se produce de modo que al aumentar la tensión en sentido positivo, se reduce la conducción en el CF, indicando que las estructuras fabricadas muestran una conducción de tipo p-MOS.

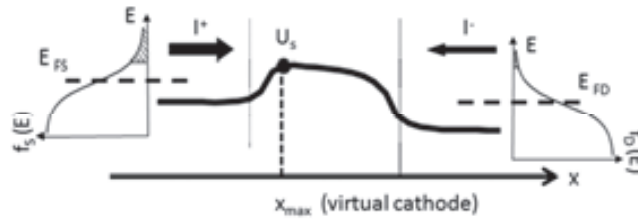


**Fig. 3.26.** a) Comportamiento I-V experimental en escala lineal para la estructura caracterizada en el estado HBD. b) Relación  $I(V_G)/I(0V)$  demostrando un efecto de campo de tipo p-MOS.

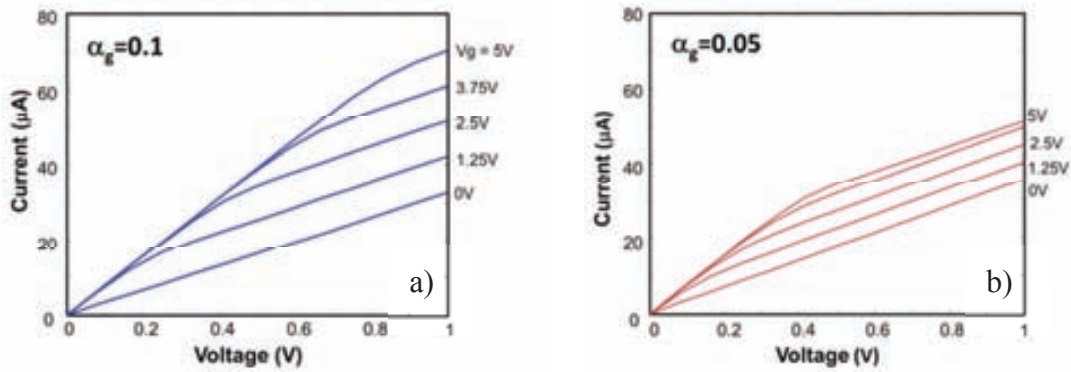
Con la finalidad de interpretar la característica obtenida para el HBD mostrado en la Fig. 3.26, se realizaron simulaciones en base al modelo *top-of-the barrier* descrito en [118-121] en combinación con un modelo balístico basado en la fórmula de Landauer para el cálculo de la corriente en el CF (ver esquema de la Fig. 3.27). En este modelo, el factor más importante en la conducción del CF (descrito como un nanohilo) es el nivel de potencial energético más elevado en la barrera  $U_s$ , el cual está controlado por los potenciales en los terminales G, D, y S por medio de tres capacidades  $C_g$ ,  $C_d$ , y  $C_s$ , respectivamente. En este modelo, el control electrostático relacionado con cada electrodo se define por los parámetros  $\alpha_g$ ,  $\alpha_d$ , y  $\alpha_s$  (no confundir con el parámetro  $\alpha$  utilizado en la teoría del escalado). Así, el caso  $\alpha_g = 1$ ,  $\alpha_s = \alpha_d = 0$  correspondería con el caso en que no hay efectos de canal corto (*short channel effects*, SCE), mientras si  $\alpha_s$  y/o  $\alpha_d$  son mayores a cero, entonces existirían SCE.

En los cálculos realizados, al tenerse una longitud física del nanogap de unos 8.9nm, la longitud se definió del mismo orden de magnitud en un valor de 10nm. En cuanto al óxido se tuvo en cuenta un dieléctrico de tipo  $\text{HfO}_2$  con 50nm por lo que se esperaba que los SCE de este sistema dificultaran la observación del efecto de campo en el CF. Mediante la solución a distintos valores de  $\alpha_g$ , aplicando siempre que  $\alpha_g + \alpha_d + \alpha_s = 1$ , con  $\alpha_d = \alpha_s$  se esperaba confirmar este escenario. En la Fig. 3.28 y Fig. 3.29 se muestran

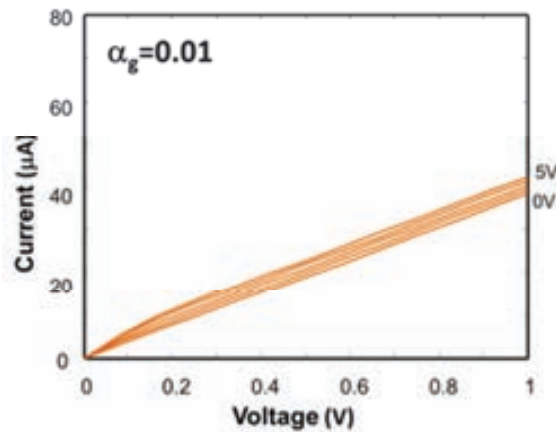
los resultados obtenidos al aplicar el modelo bajo distintos valores de  $\alpha_g$ . El caso que más se corresponde con los resultados experimentales es el de  $\alpha_g = 0.01$  (ver Fig. 3.29).



**Fig. 3.27.** Ilustración para la descripción del modelo electrostático top-of-the-barrier y del modelo de transporte electrónico balístico.



**Fig. 3.28.** Características I-V simuladas para un nanohilo (actuando como CF), en el que hay un gas electrónico 1D, para factores de acoplamiento de la puerta de a)  $\alpha_g = 0.1$  y b)  $\alpha_g = 0.05$ .



**Fig. 3.29.** Características I-V simuladas para un nanohilo (actuando como CF), en el que hay un gas electrónico 1D, para un valor del factor de acoplamiento de la puerta  $\alpha_g = 0.01$ .

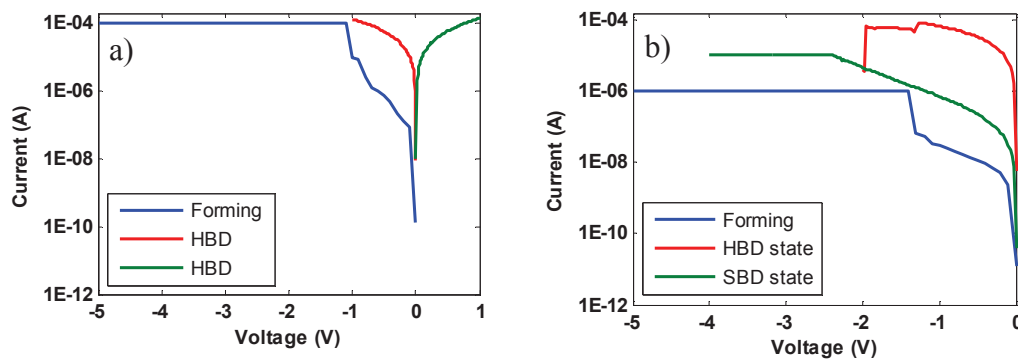
Los resultados obtenidos en estas simulaciones son coherentes con la estimación del parámetro  $\alpha = 0.55$  realizada anteriormente en este mismo apartado en base a las dimensiones del dispositivo. Así, la estructura presenta un acoplamiento del electrodo de puerta muy bajo con notables efectos de canal corto.



### 3.3.2. Estructuras MIM *gated*

La caracterización SEM en relación con las dimensiones del nanogap de estas estructuras no ha sido posible de realizar ya que al inspeccionar la muestra, la superficie de óxido se cargaba imposibilitando determinar las dimensiones del gap. Por tanto, al no conocer con exactitud la longitud del camino conductor creado, se hace difícil de estimar un valor del parámetro  $\alpha$  introducido en el apartado 3.1 en relación con la teoría del escalado. Sin embargo, suponiendo un valor  $L_{BD} = 10\text{nm}$ , como en el caso de las estructuras MIM *backgated*, podríamos estimar un valor de  $\alpha = 1.39$ . A partir de este valor, a priori se espera una mejora de los SCE vistos en los resultados obtenidos para las estructuras MIM *backgated*, además de mejorar el acoplamiento por parte del electrodo de puerta.

En cuanto a la caracterización eléctrica realizada sobre las estructuras MIM *gated*, la creación del canal entre los terminales D y S (proceso de *forming*) ha sido satisfactoria con un rendimiento mucho mayor al obtenido sobre las estructuras MIM fabricadas con anterioridad. En la Fig. 3.30a y b se muestran dos procesos de *forming* en los que se llega a un estado HBD y a un estado SBD, respectivamente. Se observa en la Fig. 3.30a que la corriente post-BD es la misma tanto para polaridades positivas como negativas, tal como se espera por la simetría de la estructura. Como se ha comentado en el apartado 3.2.3, después de crear el camino de ruptura, se ha definido el electrodo de puerta por EBL y se ha depositado por *lift-off* (ver descripción del proceso NANOFUSE3 en el Anexo C.3).

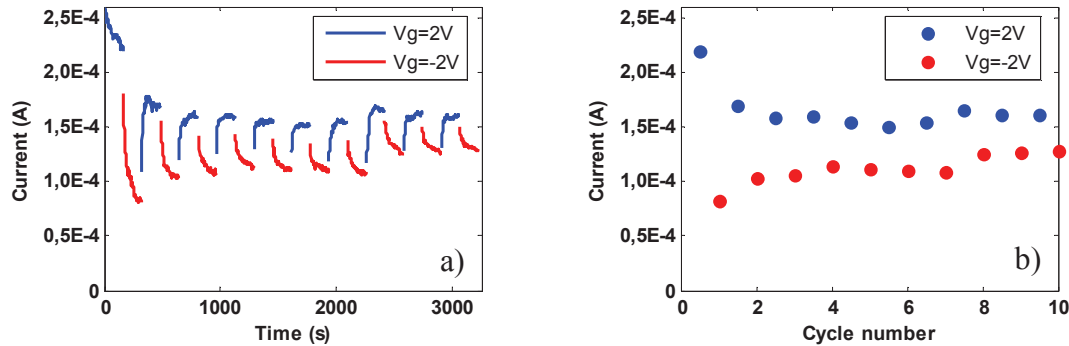


**Fig. 3.30.** a) Creación del camino conductor entre los terminales D y S de una estructura MIM *gated* mediante un RVS y característica post-BD en un estado HBD. b) Proceso de *forming* de una estructura MIM *gated* en la que se muestra que en el segundo RVS el camino sufre una recuperación quedando en un comportamiento post-BD en un estado SBD.

Una vez depositado el electrodo de puerta, se realizó la caracterización eléctrica con el objetivo planteado en este capítulo. Para ello se realizaron múltiples medidas eléctricas de entre las que destacamos la realizada a partir de sucesivos CVS de 160s en una estructura que está en estado HBD. Recientemente se han obtenido los primeros resultados que muestran, de forma muy repetitiva, que como resultado de la aplicación de un potencial  $V_G$  aparecen ciertos transitorios indicando que produce un

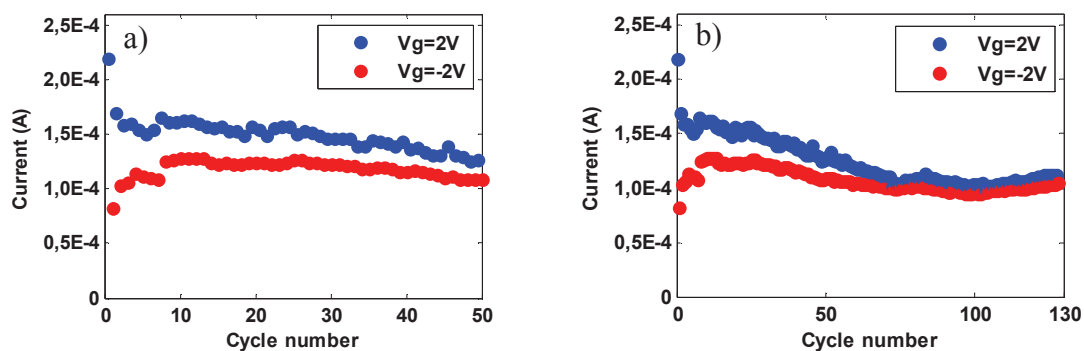


atrapamiento/liberación de carga o iones en la estructura. En la Fig. 3.31a pueden verse los primeros 10 ciclos de este efecto dónde se produce un efecto similar a la carga y descarga de un condensador alrededor de un valor de corriente medio de  $\sim 140\mu\text{A}$ . Se observa en la Fig. 3.31b que la variación entre los niveles de corriente al final de cada CVS va disminuyendo con los ciclos pasando de un 40% de reducción en el segundo ciclo a un 20% en el décimo ciclo.



**Fig. 3.31.** Características I-t obtenida a partir de la aplicación de 10 ciclos con dos CVS de 160s para una tensión  $V_{DS} = -1\text{V}$  cada uno, y dos tensiones  $V_G$  de 2V (azul) y -2V (rojo). b) valor de corriente al final de cada CVS de aproximadamente 160s.

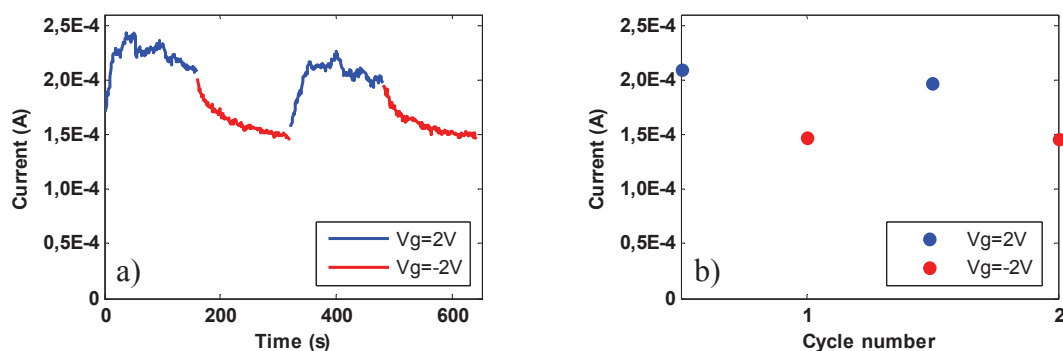
Como se ha comentado anteriormente, este efecto se ha observado de manera muy repetitiva: en la Fig. 3.32a se muestran 50 ciclos de este comportamiento en una de las estructuras caracterizadas hasta el momento. En dicha estructura se ha observado que después de más de 100 ciclos se llega a un punto en que se estabiliza el comportamiento observado con una diferencia al final de cada CVS menor que en los primeros ciclos (ver resultados de la Fig. 3.32b). Así, en el ciclo 128 la reducción de corriente es de alrededor del 10%.



**Fig. 3.32.** Valor de la corriente obtenida al final de cada CVS obtenidos a partir de la aplicación de a) 50 ciclos y b) 128 ciclos. Para la obtención de cada ciclo se han aplicado dos CVS de 160s para una tensión  $V_{DS} = -1\text{V}$  cada uno, y dos tensiones  $V_G$  de 2V (azul) y -2V (rojo).

Cabe destacar que estos resultados mostrados sobre un estado HBD también han sido observados sobre un estado de conducción en el LRS, aunque por el momento no han

podido caracterizarse en un número elevado de ciclos. En la Fig. 3.33a se muestran los primeros 2 ciclos observados en el estado SBD para la estructura de la Fig. 3.30b.



**Fig. 3.33.** Características I-t obtenida a partir de la aplicación de 2 ciclos con 2 CVS de 160s para una tensión  $V_{DS} = -1V$  cada uno, y dos tensiones  $V_G$  de 2V (azul) y -2V (rojo). b) valor de corriente al final de cada CVS de aproximadamente 160s.

Pensamos que este efecto de atrapamiento/liberación de cargas en la estructura podría darse por uno de los dos motivos siguiente: podría ser que el terminal de puerta permitiera modular estructuralmente la anchura del camino de conducción dieléctrica formado, favoreciendo el atrapamiento/liberación de cargas o iones en el mismo. Así, al tener un camino con una sección mayor se obtendría una corriente mayor al reducirse la resistividad del mismo. Por otro lado, pensamos que el fenómeno observado podría derivar de la realización de medidas eléctricas antes del depósito del electrodo de puerta para la formación del camino dieléctrico. En este sentido, podrían haber quedado elementos contaminantes sobre la muestra en el momento de depositar la puerta de la estructura. Hacen falta más resultados sobre estas estructuras para poder sacar conclusiones sobre el fenómeno observado.

Pese a que estas estructuras se diseñaron con la finalidad de evitar las limitaciones encontradas sobre las estructuras MIM *backgated*, en la caracterización eléctrica de las estructuras MIM *gated*, se han observado transitorios que no nos permiten sacar conclusiones fiables acerca del fenómeno observado. Por lo tanto, no podemos confirmar que los resultados obtenidos estén relacionados con el efecto de campo buscado inicialmente aunque se hace evidente la influencia del potencial aplicado en la puerta sobre la conducción del camino dieléctrico.

### 3.4. Conclusiones

El objetivo del trabajo realizado en este capítulo es el de demostrar el control por efecto de campo en caminos de ruptura dieléctrica. Con dicha finalidad, se han diseñado varias estructuras que han requerido la definición de tres procesos de fabricación en los que la resolución nanométrica requerida en la región crítica de las estructuras ha implicado la utilización de la técnica de litografía por haz de electrones. El tiempo requerido para la definición de las estructuras definidas sobre cada proceso de fabricación, la definición del mismo proceso requerido para su implementación, la posterior caracterización eléctrica de cada una de las estructuras y la interpretación de los resultados obtenidos en dicha caracterización es un proceso lento que ha llevado muchas limitaciones que no se esperaban a priori.

La investigación realizada en torno a este capítulo se inició pensando en estructuras planares de tipo MOS, llamadas BD-NW-AF. Sin embargo, la fabricación de estas estructuras no se pudo llevar a cabo satisfactoriamente por importantes limitaciones tecnológicas, motivo por el cual la investigación se ha centrado en estructuras MIM planares (W-HfO<sub>2</sub>-W), llamadas MIM *backgated*, en las que el electrodo de puerta se sitúa en el sustrato.

Como fruto del trabajo realizado, se han obtenido resultados en la línea del objetivo planteado sobre las estructuras MIM *backgated* en los que se han conseguido los primeros indicios de control por efecto de campo de la conducción de post-ruptura, acercándonos a la consecución completa de este objetivo. En dichos resultados, que han sido publicados en el artículo B, se ha conseguido modular la conductancia del camino mediante distintos niveles de límite de corriente durante el proceso de formación del camino conductor, así como limitando la tensión máxima durante el proceso de *reset*. Para dar fuerza al hecho de que se ha creado un camino de naturaleza dieléctrica se han ajustado las características I-V obtenidas con el modelo QPC de conducción post ruptura tanto en el estado HBD como en el estado SBD. Aun así, no se tiene clara la naturaleza del camino conductor creado ya que puede que este sea debido al movimiento de átomos de W en la región del nanogap. Sobre estas estructuras, también se han realizado simulaciones de la estructura en base al modelo *top-of-the barrier* en las que se ha confirmado que existen efectos de canal corto muy notables en la estructura, los cuales dificultan la observación del efecto de campo.

Con la finalidad de mejorar el control electrostático observado del camino conductor por parte del electrodo de puerta se ha definido se ha definido una nueva estructura (MIM *gated*) en la que se define el electrodo de puerta por encima de la región del nanogap en lugar de definirlo en el sustrato. Recientemente, se han obtenido los primeros resultados sobre esta estructura en los que se observa de forma repetitiva que el electrodo de puerta favorece el atrapamiento/liberación de carga en el camino conductor creado, modulando la corriente que atraviesa dicho camino. Sin embargo, aun no se ha podido determinar el motivo por el cual se produce el fenómeno observado.

Pese a los resultados mostrados en este capítulo, no se ha podido alcanzar de manera satisfactoria el objetivo planteado inicialmente ya que han aparecido demasiadas limitaciones en torno a las estructuras diseñadas. La principal limitación encontrada en la implementación de las distintas estructuras fabricadas a lo largo del capítulo, es que el acoplamiento lateral de las estructuras (entre los terminales conductivos) es del mismo orden de magnitud que el acoplamiento entre el electrodo de puerta y cada uno de los demás terminales.

## 4. Estadística de eventos de ruptura múltiples en estructuras MIM/MOS

En ocasiones, durante la aplicación de un estrés eléctrico pueden aparecer múltiples eventos de ruptura que derivan en un incremento repentino de la corriente, en el caso de óxidos gruesos, o en un incremento anómalo del ruido en la corriente de fuga, en el caso de óxidos delgados. La generación de uno o varios eventos de ruptura puede dejar una marca visible en el electrodo metálico superior de la capacidad, como resultado de importantes efectos térmicos que se producen durante los transitorios de descarga energética derivados de la ruptura [4, 122]. Cada una de estas marcas (*BD spots*, o eventos de ruptura) corresponde a la fusión y evaporación localizada en el electrodo metálico; algunos de estos eventos tan solo dejan huella en el electrodo sin contribuir de manera permanente a la corriente, mientras que otros si lo hacen [122]. Estas huellas observadas sobre el electrodo pueden ser tratadas como objetos puntuales y ser el centro de estudio en términos de procesos estocásticos puntuales. El estudio estadístico sobre la generación de eventos múltiples en estructuras MOS toma gran importancia ya que estos eventos pueden resultar catastróficos en transistores MOS debido a que estos perderían su principal funcionalidad: el control por efecto de campo por parte de la puerta. Por otro lado, en otros dispositivos como las memorias de tipo RRAM, el uso de múltiples filamentos conductores podría resultar de gran utilidad para la realización de celdas de memoria multinivel. Las implicaciones de estudiar la fiabilidad de dieléctricos delgados en relación con la localización de eventos de ruptura en un espacio bidimensional se describen en [123-125].

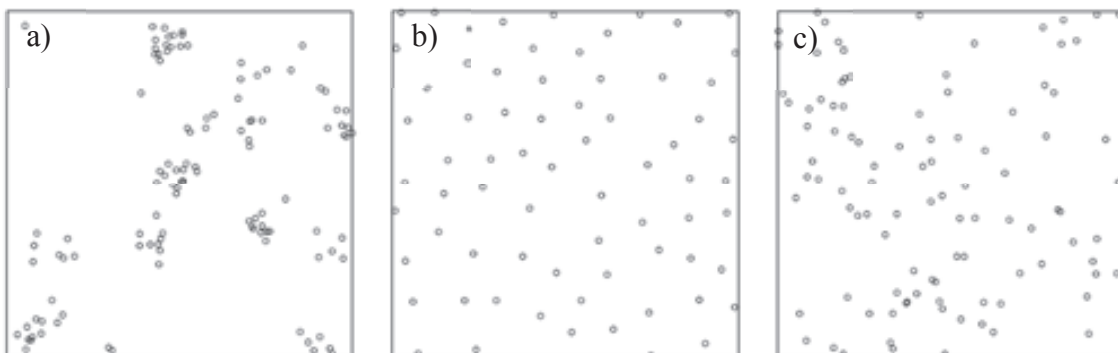
En este capítulo se presentan tres métodos para el análisis de distribuciones de eventos de ruptura múltiples, dos de los cuales ya han sido publicados en distintas revistas: en primer lugar, se introduce el artículo C publicado en la revista *Journal of Applied Physics (JAP)*. En este primer trabajo se describe un método para analizar si existe alguna relación espacial entre eventos próximos y/o los bordes de las capacidades sobre las que se ha realizado el estudio. En segundo lugar, se presenta el artículo D que ha sido publicado en la revista *Microelectronics Reliability (MR)*, en el que se describe un método para la caracterización espacio-temporal de eventos de ruptura múltiples observados ópticamente que está basado en técnicas de procesamiento de imágenes. Finalmente, se presenta el artículo mostrado en el anexo B, que no ha podido ser incluido en este compendio al estar bajo revisión para ser publicado en la revista *Transactions on Device and Materials Reliability (TDMR)*. En este artículo, se presenta un método de caracterización de distribuciones de eventos con la finalidad de ver si existe algún efecto sobre la distribución espacial de puntos en función de la posición de la punta utilizada para la generación de eventos. En el análisis estadístico realizado, se han utilizado videos y fotos de capacidades MIM/MOS fabricadas por el Tyndall National Institute de Cork (Irlanda) dentro del marco del proyecto TEC2012-32305.

## 4.1. Introducción a la estadística espacial de procesos puntuales

El análisis de las distribuciones de múltiples eventos de ruptura se ha realizado por medio de un tratamiento puntual de los eventos de ruptura dieléctrica en el que por simplicidad, no se ha tenido en cuenta el tamaño de los mismos. Así, en el caso que nos ocupa, la utilización de métodos de estadística espacial es de gran utilidad para estudiar la distribución de eventos de ruptura dieléctrica en la superficie de dispositivos electrónicos. Este concepto de estadística espacial hace referencia a una rama de la estadística que permite analizar y caracterizar la localización de objetos, o eventos, distribuidos aleatoriamente en 1, 2 o 3 dimensiones [126]. Así, se define como patrón espacial de puntos a un conjunto de puntos aleatorios en un espacio de dos o tres dimensiones. El análisis estadístico de esta información espacial implica la exploración de datos empíricos, la estimación de parámetros, el ajuste de un modelo teórico a la distribución experimental, y la formulación de hipótesis sobre el origen de los eventos.

En estadística espacial, los puntos se definen como objetos o eventos que pueden ser tanto árboles en un bosque, como estrellas en el cielo, defectos puntuales en una oblea de silicio, eventos de ruptura dieléctrica, o cualquier otro objeto que pueda tratarse como un patrón espacial de puntos. Si dichos eventos tuvieran alguna propiedad añadida que se desee analizar en función de la posición (por ejemplo, tamaño, color, tipo, etc), esta nueva información “ $m$ ” puede analizarse añadiéndola en el vector de posición a analizar  $(x, y, z, m)$ . El principal objetivo de la estadística espacial es el de detectar si los procesos puntuales presentan algún tipo de interacción entre los puntos o no, y si es posible, detectar el origen de esta interacción, la cual se puede presentar en forma de repulsión o atracción entre puntos.

Como se muestra en la Fig. 4.1, los puntos de una distribución pueden mostrar una dependencia de tipo *clustering* (los puntos tienden a agruparse entre ellos), pueden seguir una distribución de *Poisson* (los puntos son independientes entre sí), o estar distribuidos de forma regular (los puntos tienden a repelerse entre ellos por igual).



**Fig. 4.1.** Distribuciones de puntos con distintos tipos de dependencia entre puntos: a) *clustering*; b) regular; y c) independientes o tipo *Poisson* [127].

Para el análisis de la dependencia entre puntos de una distribución, en general se define un modelo de referencia para un proceso puntual en un plano al que se le llama como proceso espacial completamente aleatorio (*complete spatial randomness process*, CSR

*proces*) [126, 128] con intensidad  $\lambda$ , también conocido en la literatura como proceso puntual de *Poisson* (*Poisson point process*, PPP) homogéneo. El valor de  $\lambda$  se define como el número de eventos por unidad de área.

A partir del esquema presentado en la Fig. 4.2, se define un CSR según las 3 siguientes condiciones:

- El número de puntos dentro de una región A deben seguir una distribución de *Poisson*.
- Dados N puntos dentro de una región A, la localización de esos puntos deben estar distribuidos uniformemente en la región A.
- El contenido de dos regiones A y B distintas deben ser independientes.



**Fig. 4.2.** a) Patrón espacial de puntos en un espacio de 2 dimensiones. b) Delimitación del patrón de puntos en dos regiones A y B independientes.

En este sentido, en el estudio de cualquier distribución espacial estadística es muy importante tener en cuenta el tamaño de la ventana de observación ya que el tamaño de la ventana puede afectar claramente las conclusiones obtenidas del estudio. En la Fig. 4.3 se representa la importancia de tomar en cuenta una ventana de observación representativa. En los distintos análisis realizados a lo largo de este capítulo la ventana de observación ha coincidido siempre con el tamaño de las capacidades MOS/MIM por lo que esto no nos supone un factor a tener en cuenta.



**Fig. 4.3.** Representación cualitativa para mostrar la importancia de tomar en cuenta una ventana de observación representativa: mientras que en la ventana de a) se podría concluir que están homogéneamente distribuidos, en la ventana de b) se concluiría que los mismos eventos están concentrados en el centro de la ventana.

En general, parece que la distribución de los *spots* de ruptura generados en una capacidad sigue un proceso de tipo *Poisson* en un espacio de dos dimensiones, por lo que resulta de interés conocer si en todos los casos es así. Para determinar si la localización de los distintos BD *spots* siguen un proceso de tipo *Poisson*, generalmente



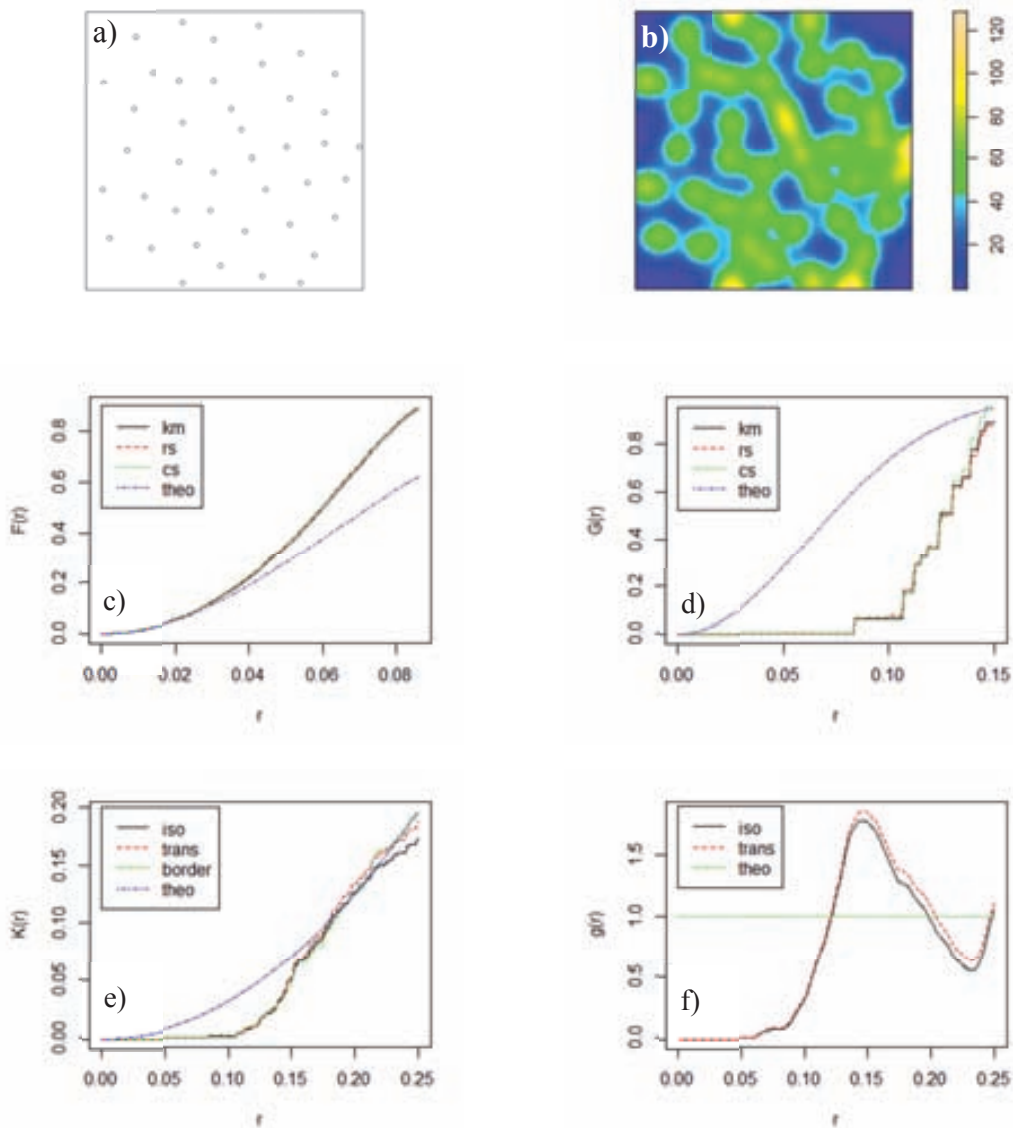
se utilizan 2 aproximaciones: la más utilizada consiste en obtener la distribución espacial del primer evento de ruptura en un gran número de dispositivos; de manera alternativa, también se puede analizar la distribución de un gran número de *spots* en un único dispositivo. En la primera aproximación, normalmente se cuenta únicamente un evento de BD por dispositivo, lo cual excluye la posibilidad de estudiar la interacción entre *spots*. Esta aproximación también permite el análisis estadístico de eventos de ruptura sucesivos, aunque en este caso, el análisis se limita a pocos eventos por dispositivo [129] aun siendo consistente con un proceso CSR. En el caso que nos ocupa, en la segunda aproximación se analiza la distribución de un gran número de *spots* en un único dispositivo. De este modo, al tener un elevado número de eventos, se puede realizar un estudio sobre la interacción entre *spots* de ruptura. En esta línea, en [126] se evalúa la correlación entre eventos en comparación con datos simulados compatibles con la distribución en un dispositivo de cuatro terminales fabricado con dicha finalidad. Cuando los resultados obtenidos de una comparación así, muestran que no hay correlación alguna entre los eventos de ruptura, entonces se determina que los datos siguen un proceso CSR. A lo largo de este capítulo, se trabaja en la línea de esta segunda aproximación.

En estadística espacial, existen varias herramientas numéricas y/o funcionales que ayudan a describir la estructura de un patrón de puntos a partir de dos interpretaciones posibles: en primer lugar, se estiman hipótesis sobre el proceso a partir de la muestra sobre la que se han obtenido los puntos (estadística inferencial), y en segundo lugar, las estimaciones se usan como una descripción del proceso a partir de la muestra particular sobre la que se han obtenido los datos (estadística descriptiva). La utilidad de estos métodos estadísticos en el campo de los *spots* de ruptura dieléctrica se ha mostrado recientemente en [130, 131]. En este sentido, la exploración de procesos puntuales puede involucrar el uso de múltiples herramientas tales como gráficos de intensidad, histogramas de distancias teóricas/experimentales y varias funciones de estimación, etc [126, 132].

El tratamiento de los datos en el análisis estadístico espacio-temporal se ha realizado con la ayuda de la librería Spatstat [133] del software R [134]. Este software resulta una herramienta muy potente para el procesamiento estadístico de datos en general y, en nuestro caso específico, para el análisis estadístico de puntos en el espacio gracias a la librería Spatstat, desarrollada por A. Baddeley y R. Turner. Esta librería permite crear, manipular y representar patrones de puntos, además de realizar análisis exploratorios de los mismos, simular modelos teóricos de procesos puntuales, realizar tests de hipótesis, incluyendo más de 1000 funciones (incluso para patrones tridimensionales).

Seguidamente, se describen en detalle las herramientas utilizadas a lo largo de este capítulo en relación con el análisis de los procesos puntuales, las cuales están incluidas en el paquete Spatstat del lenguaje R.





**Fig. 4.4.** a) Distribución espacial de puntos en un cuadrado. b) Gráfica de intensidad para la distribución espacial. El ancho de banda utilizado es de 0.05. c), d), e), y f) se corresponden con las funciones de estimación  $F$ ,  $G$ ,  $K$ , y  $g$  para el patrón de puntos mostrado según varios estimadores incluidos en la librería Spatstat: según la distribución teórica de *Poisson* (theo) y según los estimadores de Chiu-Stoyan (cs), de Kaplan-Meier (km), de Hanisch (han), de corrección de translación (trans), de corrección de bordes (border, o rs), y de Ripley isotrópico (iso) [127].

#### - Gráfica de intensidad.

La característica más importante de carácter numérico de un proceso puntual es el valor de la intensidad  $\lambda$ , la cual representa la densidad media de puntos en un área determinada. En un dispositivo que siga un proceso CSR, pese a que el valor de  $\lambda$  hace referencia a un valor medio sobre un área bien definida, el valor de esta densidad puede variar de un punto a otro. Entonces, los puntos pueden no estar uniformemente distribuidos por lo que habría zonas más vacías y otras con mayor concentración de

puntos. Así, para realizar un primer estudio se utiliza una herramienta básica de análisis en estadística espacial que permite ver las variaciones en la densidad local  $\lambda(r)$  dentro de un área  $A(r)$ , en función de un radio local  $r$ . En la Fig. 4.4b se muestra un ejemplo de gráfica de intensidad para una distribución de geometría cuadrada como la mostrada en la Fig. 4.4a. Para la obtención de dicha figura se utiliza un estimador gaussiano isotrópico en el que se especifica un valor de desviación típica (o ancho de banda) para determinar el grado de suavizado para la representación gráfica.

#### - Métodos de análisis de distancias.

Otro estudio a realizar consiste en el análisis de la distribución de distancias entre puntos. Se trata de un análisis cuantitativo basado en la comparación entre las distancias experimentales obtenidas de un proceso puntual con las distancias esperadas según la función de densidad de probabilidad (FDP) teórica [135]. En la línea de este método resulta de suma importancia la determinación de la función de distribución teórica con la que comparar los datos experimentales.

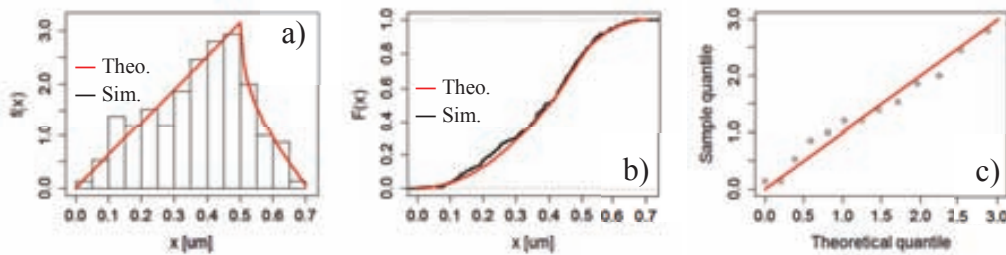
En el análisis de distancias se utilizan técnicas gráficas como histogramas, gráficas de la densidad de probabilidad acumulada, o gráficas cuantil-cuantil (también llamadas QQ-plot, del inglés *quantile-quantile plot*). En general, en este estudio se considera que los puntos están uniformemente distribuidos en los ejes  $x$  e  $y$  en un rango normalizado entre 0 y 1, aunque también puede realizarse, o extrapolarse, en el rango deseado.

El análisis mediante histogramas permite realizar un estudio de la distribución en términos de su simetría, del comportamiento en los extremos superiores e inferiores de la distribución (colas de la distribución), de la presencia de comportamientos multimodales en la misma, así como de detectar datos fuera de la distribución. El principal problema de este método es que en muchas ocasiones se pierde información sobre las colas de la distribución. A modo de ejemplo, en (4.1) se describe la función de densidad de probabilidad para un CSR en un cuadrado de costado unitario en el que se toma como punto de referencia el centro del cuadrado. En la Fig. 4.5a se muestra un histograma para una distribución de 300 puntos simulados y situados aleatoriamente (negro) en comparación con la FDP teórica (rojo). A partir de esta ecuación, también puede calcularse la función de distribución acumulada (FDA) como la integral de la FDP. En la Fig. 4.5b se muestra la comparación entre la FDA teórica (rojo) y la simulada (negro).

$$f(d) = \begin{cases} \frac{2\pi x}{a^2} & 0 \leq d \leq \frac{1}{2} \\ \frac{2x}{a^2} \left( \pi - 4 \tan^{-1} \left( \frac{\sqrt{4x^2 - a^2}}{a} \right) \right) & \frac{1}{2} < d \leq \frac{\sqrt{2}}{2} \end{cases} \quad (4.1)$$

Por otro lado, las gráficas de tipo QQ-plot permiten realizar un análisis para determinar en qué medida un conjunto de datos experimentales sigue una distribución conocida. Entendiendo por cuantil al porcentaje de puntos por debajo de un valor dado (es decir,

que en el cuantil 30%, el 30% de los puntos caen por debajo del valor, y el 70% por encima del valor que marca el cuantil). Por tanto, en las gráficas QQ-plot se representan los cuantiles empíricos en el eje  $y$ , mientras que en el eje  $x$  se sitúan los definidos por la distribución teórica. En este tipo de gráficas, normalmente se representa también una línea de 45° como referencia: si la distribución experimental sigue la distribución teórica los puntos seguirán la línea de referencia por lo que como mayor sea su desviación, mayor será la evidencia de que los datos experimentales siguen otro tipo de distribución. En la Fig. 4.5c se muestra la gráfica QQ-plot para la misma distribución experimental mostrada como ejemplo, en comparación con la distribución teórica de (4.1).



**Fig. 4.5.** Métodos gráficos para el análisis de distancias según la distribución de probabilidad (FDP) de la ecuación (4.1). a) Histograma de distancias; b) función de distribución acumulada, y c) gráfica QQ-plot.

#### - D. Funciones de resumen estadístico (*Functional summary statistics*).

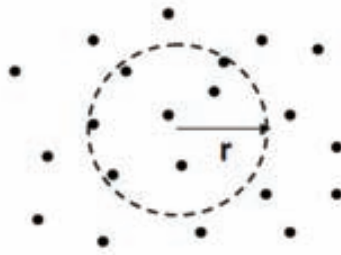
Para el análisis de la dependencia entre los puntos de un patrón espacial, puede ser difícil realizar una correcta interpretación de los métodos descritos anteriormente, ya que las distancias dependen de la geometría de la ventana de observación y de las características de dicho patrón. Por esto, en [127] se proponen varias funciones de estimación que resumen las características de un patrón espacial de puntos y que permiten realizar distintos análisis de distancias. A continuación se describen las más importantes:

##### - D1. Función de distancias de espacio vacío ( $F$ ).

La función de distancias de espacio vacío (*empty space distances*), realiza un análisis de las distancias que se definen desde un punto fijo en el espacio hasta el punto más próximo. La función de análisis de distancias vacías también es conocida como distancias punto-evento (*point-event*), son de gran utilidad como método para determinar la distancia entre puntos. Esta función se puede interpretar como la probabilidad de encontrar al menos un evento en un círculo de radio  $r$  situado aleatoriamente en la ventana de observación. Así, la función  $F$  se utiliza para resumir la distancia media entre los eventos de un patrón de puntos. Para ello, se hace necesario definir primero la distancia de espacio vacío desde un punto fijo  $u \in \mathbb{R}^2$  hasta el punto más cercano del patrón espacial de puntos  $X$  según (4.2).

$$d(u, \mathbf{x}) = \min\{\|u - x_i\| : x_i \in \mathbf{x}\} \quad (4.2)$$

Suponiendo el caso en que el proceso de puntos es homogéneo, se puede realizar un cálculo estimado y preciso de la función  $F$ , tomando como referencia el proceso de *Poisson*. Para un proceso de *Poisson* de intensidad  $\lambda$ , el número de puntos dentro de un disco  $b(u, r)$ , de radio  $r$  y centrado en una posición  $u$ , tiene media  $\mu = \text{area}(b(u, r)) = \lambda\pi r^2$ . Así, la probabilidad de que no haya puntos en esta región circular es  $\exp(-\mu) = \exp(-\lambda\pi r^2)$ .



**Fig. 4.6.** Esquema para el cálculo de la función  $F$ . El parámetro  $r$  hace referencia a la distancia desde un punto arbitrario fijo del plano, que no tiene por qué corresponder con un punto del patrón de puntos, a otro punto del plano.

Entonces, para un proceso puntual de tipo *Poisson*, la distribución  $F$  considerada en un círculo de radio  $r$  se define a partir de la Fig. 4.4c y según la expresión (4.3). En este caso, se interpreta la función  $F$  como la probabilidad de que un disco de radio  $r$  situado aleatoriamente contenga al menos un punto en su interior.

$$F_{CSR}(r) = 1 - \exp(-\lambda\pi r^2) \quad (4.3)$$

De este modo,  $\hat{F}(r) > F_{CSR}(r)$  las distancias experimentales hasta el punto más próximo son menores que las esperadas para un patrón de puntos de tipo *Poisson*, indicando un patrón de tipo regular. Por otro lado,  $\hat{F}(r) < F_{CSR}(r)$  indica que el patrón de puntos es de tipo agrupado. En la Fig. 4.4c se muestra un ejemplo del resultado obtenido en el software R al computar la función de estimación “*Fest*” (incluida en la librería Spatstat del mismo) para el patrón espacial Fig. 4.4a. Cabe destacar que el software R incluye varias correcciones para tener en cuenta el efecto producido por los bordes de la ventana de observación.

## - D2. Función de distancias entre eventos vecinos ( $G$ )

La función  $G$ , describe la FDA de la distancia desde un punto cualquiera de un proceso puntual al punto más próximo del mismo proceso. La desviación entre las curvas de la función  $G$  experimental y la teórica son indica si existe agrupamiento entre puntos o se distribuyen regularmente. A esta función también se la denomina como función de distancias evento-evento. Por ejemplo, en el caso de la relación entre las distancias

entre vecinos  $t_i = \min_{j \neq i} \|x_i - x_j\|$  tampoco es sencillo interpretar el histograma de las distancias.

En un proceso puntual de *Poisson* homogéneo con intensidad  $\lambda$ , la función de distribución de la distancia entre los dos vecinos más próximos se define según (4.4). Si se compara con la expresión de la función  $F$  (4.3), se observa que se trata de la misma expresión para las distancias de espacio vacío. Esto, se puede interpretar de manera intuitiva como que los puntos son independientes entre sí. Entonces, el hecho de que  $u$  sea un punto de  $X$  no afecta los otros puntos del proceso puntual por lo que  $G$  equivale a  $F$ .

$$G_{CSR}(r) = 1 - \exp(-\lambda \pi r^2) \quad (4.4)$$

Sin embargo, la interpretación de  $\hat{G}(r)$  es contraria a la de  $\hat{F}(r)$ . En el caso  $\hat{G}(r) > G_{CSR}(r)$  se interpretan las distancias del patrón de puntos experimental menores que para un proceso CSR indicando que el patrón de puntos muestra agrupamiento entre puntos. Por el contrario, el caso  $\hat{G}(r) < G_{CSR}(r)$  indica un patrón regular. En la Fig. 4.4d se muestra un ejemplo del resultado obtenido en el software R al computar la función de estimación “*Gest*” para el patrón espacial de puntos mostrado en la Fig. 4.4a. Cabe recordar que el software R incluye varias correcciones para tener en cuenta el efecto producido por los bordes de la ventana de observación. En la figura mostrada para *Gest*, se observa que en la estimación de  $G(r)$  el patrón de puntos es regular, aunque en realidad  $\hat{G}(r)$  es nulo para  $r \leq 0.07$ , indicando que no hay distancias entre vecinos menores que 0.07.

### - D3. Función de Ripley ( $K$ ).

Para la definición de esta función se definen primero las distancias entre pares  $S_{ij} = \|x_i - x_j\|$  de un patrón de puntos  $X$  que resultan en una muestra sesgada de las distancias entre puntos del proceso puntual, con un sesgo a favor de las distancias pequeñas (por ejemplo, en una ventana circular, no se puede tener una distancia entre puntos mayor que el diámetro de la ventana). La función  $K$  de Ripley [136] se define de manera que el producto  $\lambda K(r)$  indica el número de puntos del proceso de puntos en una distancia  $r$  calculada desde un punto fijo del proceso.

Teniendo en cuenta que el número esperado de puntos dentro de  $b(u, r)$  es  $\lambda \pi r^2$ , en un proceso puntual CSR la función  $K$  resulta independiente de la intensidad  $\lambda$ , y se define en (4.5).

$$K_{CSR}(r) = \pi r^2 \quad (4.5)$$

En la Fig. 4.4e se muestra un ejemplo del resultado obtenido en el software R al computar la función de estimación “*Kest*” para el patrón espacial de puntos mostrado en la Fig. 4.4a, la cual incluye varios correctores del efecto de los bordes de la ventana de

observación. Si  $\hat{K}(r) > K_{CSR}(r)$  se interpreta que hay agrupamiento de puntos, mientras que cuando  $\hat{K}(r) < K_{CSR}(r)$  se interpreta un patrón de puntos de tipo regular.

- **D4. Función de correlación entre pares ( $g$ ).**

La función de correlación entre pares  $g(r)$ , da la probabilidad de observar un par de puntos separados por una distancia  $r$ , dividida por la probabilidad correspondiente para un proceso CSR. Este estimador es considerado el mejor para finalidades de inferencia estadística [132] y se describe según (4.6).

$$g(r) = \frac{[dK(r)/dr]}{2\pi r} \quad (4.6)$$

En la Fig. 4.4f se muestra un ejemplo del resultado obtenido en el software R al ejecutar la función de estimación “*pcf*” (*pair correlation function*) para el patrón espacial de puntos mostrado en la Fig. 4.4a, incluyendo varios correctores del efecto de los bordes de la ventana de observación. Se trata de una correlación que puede tomar cualquier valor mayor que cero. En el caso de tener una  $g(r) = 1$  la distribución se corresponde con la de un proceso CSR. Por otro lado, si  $g(r) > 1$  la distribución muestra agrupamiento, mientras que el caso en que  $g(r) < 1$  la distribución será de tipo regular. Puede notarse que para valores próximos a cero esta función de estimación falla.

## 4.2. Descripción de las muestras y condiciones de estrés

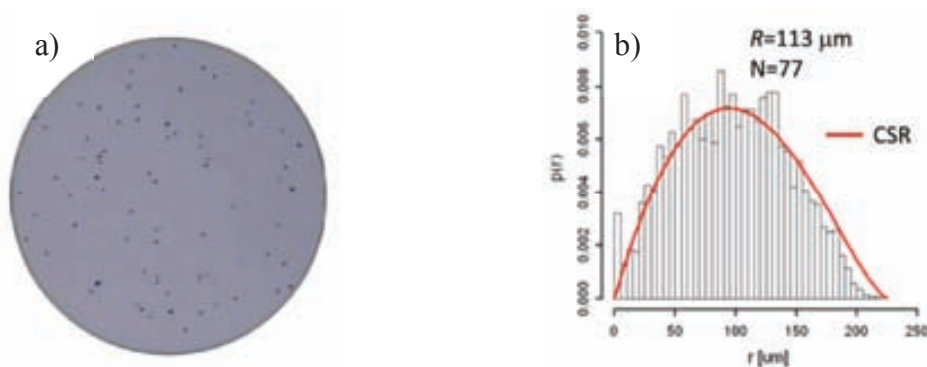
La investigación desarrollada a lo largo de este capítulo se ha realizado sobre capacidades de tipo MIM (compuestas por un *stack* Pt/HfO<sub>2</sub>/Pt) con grosor de óxido de 30nm y capacidades MIS (compuestas por un *stack* de NiSi/MgO/InP) con grosor de óxido de 20nm. El proceso de fabricación detallado de dichas estructuras se describe en los artículos C y D. Cabe destacar que el estudio descrito a continuación se ha realizado en capacidades grandes ( $>10^{-4}$  cm<sup>2</sup>) de distintos tamaños y geometrías tanto circulares como cuadradas.

Para la generación de los múltiples eventos de ruptura en los electrodos metálicos de las capacidades MIS/MOS utilizadas, estas se sometieron a medidas de tipo RVS y CVS. Una vez realizado el estrés eléctrico, la observación y obtención de imágenes de los patrones de eventos de ruptura se realizó mediante una cámara situada en la mesa de puntas utilizada durante la caracterización de la degradación. Esta cámara ha permitido la obtención de imágenes estáticas y la grabación de vídeos gracias a un software de grabación de vídeos como es el Camtasia Studio para Windows [137]. En el caso de las imágenes estáticas, la determinación de los datos espaciales de los eventos se ha realizado con un software específico llamado g3data [138] que resulta de gran utilidad para el tratamiento espacial de imágenes. Por otro lado, la determinación de la información espacio-temporal en los vídeos grabados, se ha realizado con la utilización de un software basado en MS Visual Studio y desarrollado por D. Moix en [139].

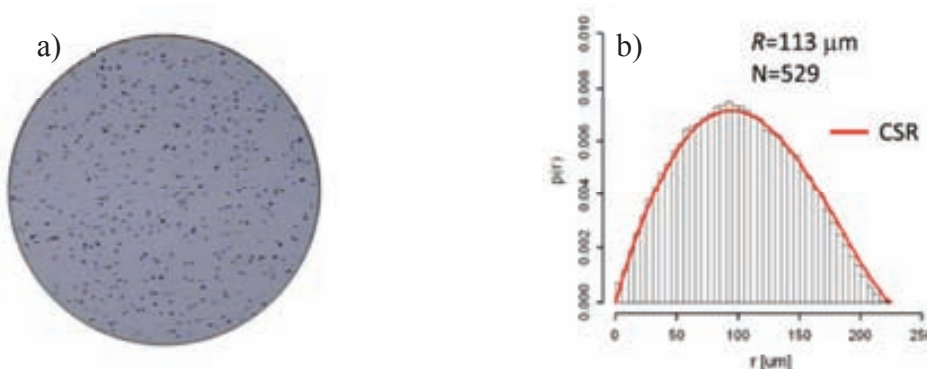


### 4.3. Caracterización espacial de eventos vecinos y efecto de bordes.

Previamente, en [131] se ha demostrado que en capacidades con un número elevado de eventos, es posible detectar desviaciones de la posición de estos con respecto de un proceso CSR. En este apartado se realiza un análisis estadístico para determinar algunas no homogeneidades observadas en capacidades MIM, como las descritas en el punto 4.2 de este trabajo, con radios de  $113\ \mu\text{m}$ ,  $282\ \mu\text{m}$  y  $423\ \mu\text{m}$ . Para ello se utilizan estimadores funcionales y numéricos como la gráfica de intensidad y las distribuciones de distancias evento-evento ( $G$ ) y punto-evento ( $F$ ). En consecuencia del análisis realizado, se ha desarrollado un método para evaluar y corregir el estimador de intensidad media de puntos ( $\lambda$ ) en relación con el análisis del vecino más próximo de orden  $k$  (realizado hasta el vecino de orden  $k=5$ ). El estudio mostrado en este punto se ha publicado en el artículo C de esta tesis presentado como compendio de artículos.



**Fig. 4.7.** a) Distribución de eventos de ruptura correspondiente a un dispositivo MIM estresado bajo RVS de 0V a 8V en el que hay un total de  $N=77$  eventos. b) Histograma de distancias entre eventos en dicha capacidad. La línea sólida corresponde a la expresión teórica de (4.8) con  $R=113\ \mu\text{m}$ .



**Fig. 4.8.** a) Distribución de eventos de ruptura correspondiente a un dispositivo MIM estresado bajo RVS de 0V a 10V en el que hay un total de  $N=529$  eventos. b) Histograma de distancias entre eventos en esta segunda capacidad. La línea sólida corresponde a la expresión teórica de (4.8) con  $R=113\ \mu\text{m}$ .

En un primer análisis se considera la distribución de eventos obtenida de la aplicación de dos RVS de 0 a 8V y de 0 a 10V en dos capacidades MIM de  $113\ \mu\text{m}$  de radio. En la



Fig. 4.7a y Fig. 4.8a se muestran los *spots* observados en el electrodo superior al finalizar los dos estreses, respectivamente. En el primer RVS, el patrón de puntos está compuesto por  $N=77$  eventos con una intensidad media de  $\lambda=1.92 \cdot 10^{-3}$  puntos/ $\mu\text{m}^2$ , mientras que en el segundo se tienen  $N=529$  puntos con una intensidad de  $\lambda=1.32 \cdot 10^{-2}$  puntos/ $\mu\text{m}^2$ . El incremento en el número de eventos se debe al incremento de la tensión de estrés que deriva en un aumento en el daño acumulado en la capacidad. Cabe recordar que el valor de  $\lambda$  se calcula según (4.7) donde  $N$  es el número de puntos y  $A$  es el área del dispositivo.

$$\lambda = N/A \quad (4.7)$$

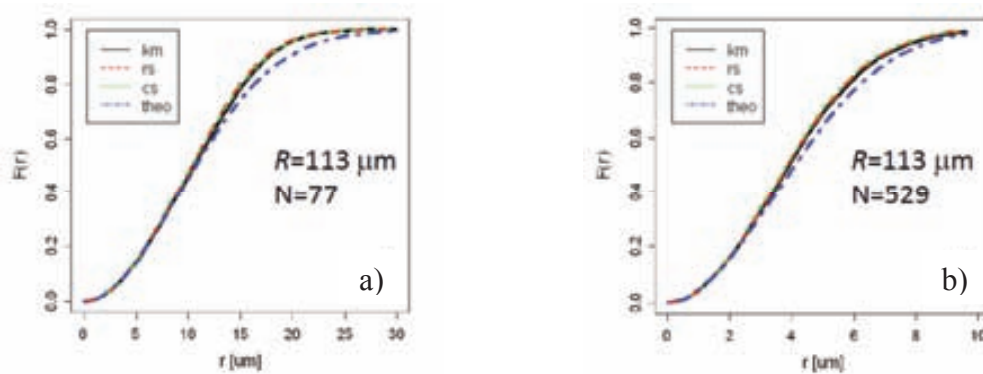
Las Fig. 4.7b y Fig. 4.8b muestran los histogramas experimentales de las distancias entre eventos correspondientes a las Fig. 4.7a y Fig. 4.8a, respectivamente. La línea roja mostrada representa la FDP entre eventos situados aleatoriamente en un círculo de radio  $R$  que se define en (4.8). Se puede ver que los histogramas no se ajustan perfectamente con la línea roja correspondiente a un CSR: como se verá más adelante se producen desajustes en el rango de distancias cortas y por otro lado, se produce una desviación más notable para distancias grandes que se reduce notablemente en el caso de tener una densidad elevada de puntos.

$$p(r) = \frac{2r}{R^2} \left[ \frac{2}{\pi} \cos^{-1} \left( \frac{r}{2R} \right) - \frac{r}{\pi R} \sqrt{1 - \frac{r^2}{4R^2}} \right] \quad 0 < r < 2R \quad (4.8)$$

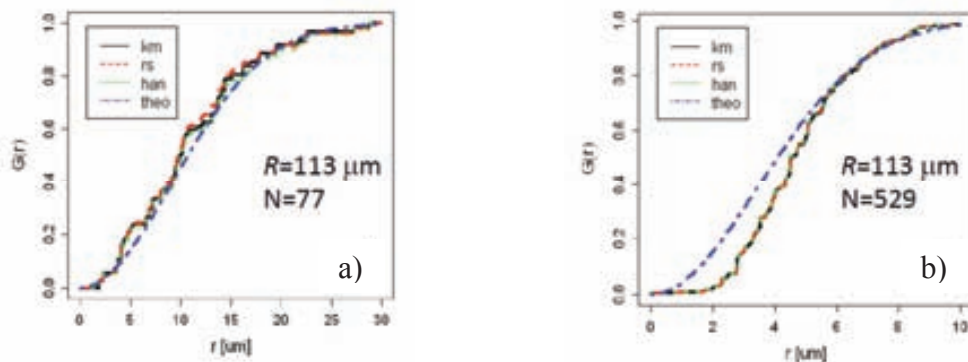
Para realizar un análisis más detallado sobre las características del proceso puntual observado, se utilizan dos funciones de estimación: la función de distancias de espacio vacío ( $F$ ) y la función de distancias entre eventos vecinos ( $G$ ), la cual se ha generalizado más adelante para vecinos de orden  $k>1$ . Ambas funciones son estimadores estándares que han sido definidos en el apartado 4.1, y se describen por (4.9) en el caso de que se busquen vecinos de orden  $k=1$ .

$$F(r) = G(r) = 1 - \exp(-\lambda\pi r^2) \quad r > 0 \quad (4.9)$$

La expresión (4.9) asume que la ventana de observación no tiene límites de modo que los efectos producidos por los bordes, en caso de existir, podrían modificar los resultados obtenidos de los estimadores. Para corregir el efecto de los bordes, en la literatura se han propuesto varios estimadores incluidos en el software R tanto para la función  $F$  (*Kaplan-Meier*, *Reduced Sample*, *Chiu-Stoyan*) como para la función  $G$  (*Kaplan-Meier*, *Reduced Sample*, *Hanisch*). En la Fig. 4.10 y Fig. 4.10 se muestran los resultados obtenidos de aplicar las funciones  $F$  y  $G$  junto con sus respectivos estimadores sobre los ejemplos mostrados en las Fig. 4.7a y Fig. 4.8a.

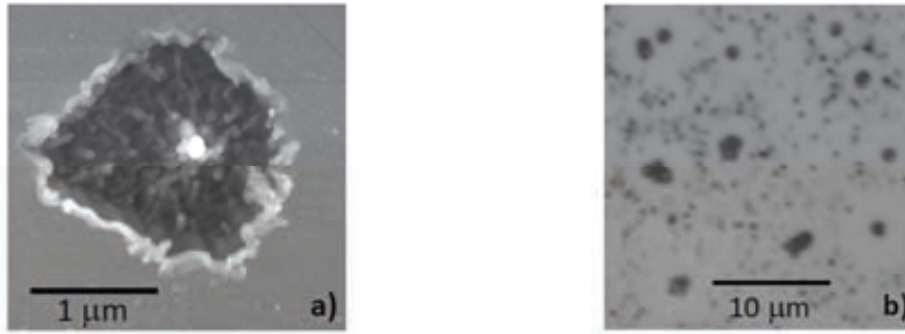


**Fig. 4.9.** Distribución de distancias punto-evento  $F$  para a)  $N=77$  eventos y b)  $N=529$  eventos. “ $km$ ” hace referencia al estimador de *Kaplan-Meier*, “ $rs$ ” al estimador de muestra reducida, “ $cs$ ” al estimador de *Chiu-Stoyan*, y “ $theo$ ” se corresponde con la expresión (4.9).



**Fig. 4.10.** Distribución de distancias evento-evento  $G$  para a)  $N=77$  eventos y b)  $N=529$  eventos. “ $km$ ” hace referencia al estimador de *Kaplan-Meier*, “ $rs$ ” al estimador de muestra reducida, “ $han$ ” hace referencia al estimador de *Hanish* y “ $theo$ ” se corresponde con la expresión (4.9).

En estos resultados, se observa que los estimadores con corrección de bordes no muestran diferencias significativas frente a los estimadores simples. Sin embargo, se puede ver que los estimadores de  $F$  muestran diferencias para distancias grandes, mientras que en el caso de los de la función  $G$  se observan diferencias para distancias cortas. En concreto, en el caso de  $N=529$  eventos, la función  $G$  indica que existen menos eventos vecinos de los esperados para un proceso de tipo *Poisson* con el mismo valor de  $\lambda$ . Esta diferencia en el rango de distancias cortas, se produce en gran medida como consecuencia de que no se ha tenido en cuenta el tamaño de los eventos de ruptura que puede ser de entre  $1\mu\text{m}$  a  $3\mu\text{m}$ . En la Fig. 4.11 se muestra una imagen AFM y una imagen óptica para mostrar como el electrodo metálico superior se funde y expande en la localización de un evento de ruptura, resultando realmente en una geometría que difiere de la interpretación puntal realizada. Recordemos que también se han observado microexplosiones similares en la caracterización realizada de las estructuras fabricadas en el capítulo 3.

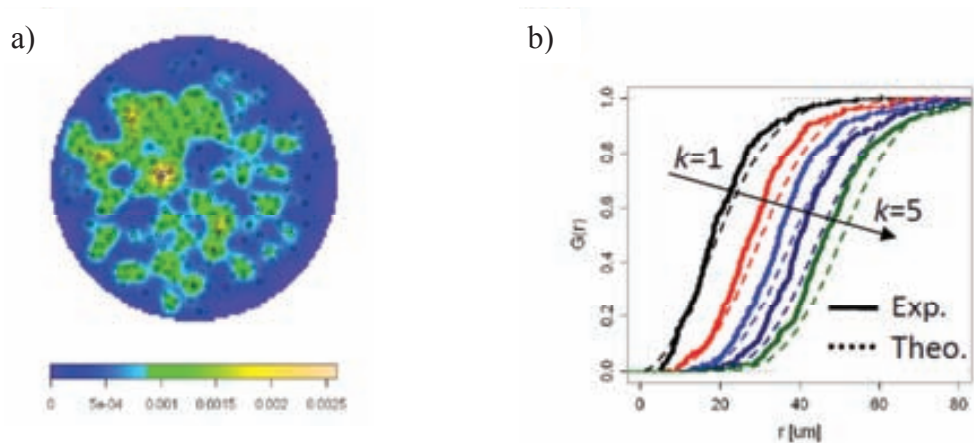


**Fig. 4.11.** a) Imagen AFM de un evento de ruptura. b) distribución de eventos de ruptura observados con un microscopio óptico.

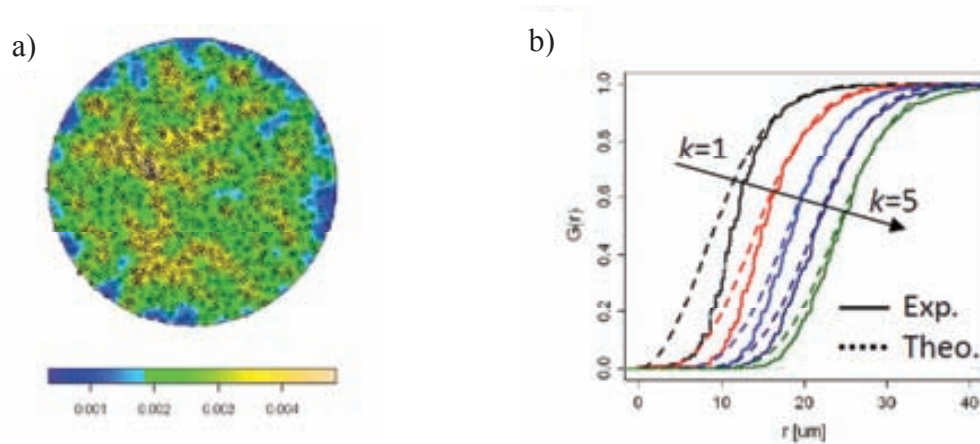
La limitación relacionada con el rango de distancias en los que se pueden analizar las funciones  $F$  y  $G$  se reduce al aumentar el número de puntos. Para evitar esta limitación se propone realizar un análisis de vecinos más lejanos de orden  $k = 2, 3, 4, 5$  para patrones de puntos a distintas escalas [95]. La distancia media hasta los vecinos más próximos de orden  $k$  para un patrón de puntos típico, se incrementa al aumentar el valor de  $k$  la distancia media entre los puntos unidos se incrementa. A continuación se realiza un estudio en este sentido para detectar no homogeneidades en varios patrones de puntos. La expresión para la FDA para la distancia hasta el vecino de orden  $k$  se describe en (4.10). En esta expresión, la función  $\Gamma$  hace referencia la función gamma incompleta con límite inferior de orden  $k$ .

$$G_k(r) = \frac{1}{(k-1)!} \Gamma(k, \pi\lambda r^2) \quad k = 1, 2, 3, \dots \quad (4.10)$$

Para ilustrar los efectos en la función  $G_k$  se estudian en detalle dos casos en los que se consideran dos patrones de puntos diferentes a los descritos hasta el momento: se ha tomado una capacidad MIM de radio  $R=282\mu\text{m}$  que se ha estresado por dos veces con un RVS (de 0 a 8V y de 0 a 10V, respectivamente) con la finalidad de incrementar el número de eventos de ruptura después de cada RVS. En la Fig. 4.12a y Fig. 4.12b se muestra la gráfica de intensidad y la FDA de la función  $G_k$ , respectivamente, después del primer estrés eléctrico. En dichas graficas se representan un total de  $N=182$  eventos resultando en una intensidad de  $\lambda=1.92 \cdot 10^{-4}$  puntos/ $\mu\text{m}^2$ , y se muestra que las distancias entre vecinos experimentales (línea sólida) son menores a las esperadas para un proceso de tipo CSR con la misma intensidad (línea discontinua). Estos resultados indican a priori un posible agrupamiento de los eventos. Asimismo, se observa que las diferencias son mayores al incrementar el valor de  $k$ , aunque realmente, este efecto no se debe a un efecto de agrupamiento sino que es consecuencia de una baja densidad de eventos cerca de los bordes de la capacidad.



**Fig. 4.12.** a) Gráficas de intensidad para un dispositivo MIM con  $R=282\mu\text{m}$  y  $N=182$  eventos. b) su correspondiente función  $G_k$ .

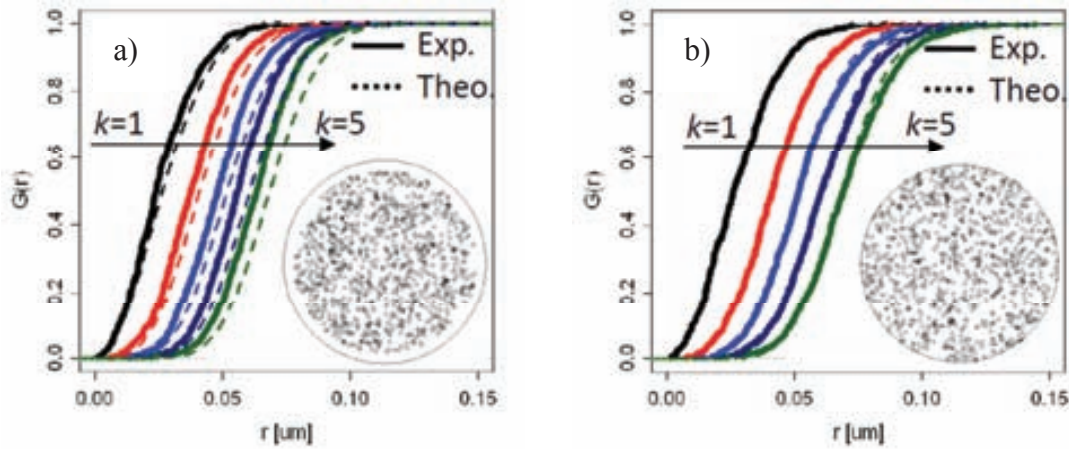


**Fig. 4.13.** a) Gráficas de intensidad para el mismo dispositivo MIM de la Fig. 4.12 después de un segundo RVS dando lugar a  $N=969$  eventos. b) su correspondiente función  $G_k$ .

Después de aplicar el segundo RVS, se observaron un total de  $N=969$  eventos con una de  $\lambda=3.9 \cdot 10^{-3}$  puntos/ $\mu\text{m}^2$ , permitiendo el análisis mostrado en las Fig. 4.13a y Fig. 4.13b, respectivamente. En la Fig. 4.13a se muestra la gráfica de la intensidad donde se observa claramente una mayor concentración de puntos en la capacidad; en cuanto a la gráfica de las distancias entre vecinos de orden  $k$  (ver Fig. 4.13b) se observa que en las distancias cortas, las distancias experimentales son mayores que las esperadas para un proceso CSR. Esto ocurre otra vez debido a que el tamaño de los eventos no se tiene en cuenta en el análisis. Al aumentar el orden  $k$  del análisis se reduce esta desviación ya que el rango de distancias bajo análisis es mayor.

Con la finalidad de determinar que los efectos descritos no se deben a una ventana de observación delimitada, sino a la ausencia de puntos en la periferia del dispositivo, así como debido al tamaño de los eventos, en las Fig. 4.14a y Fig. 4.14b se muestra la función  $G_k$  para dos procesos puntuales simulados con  $N=200$  eventos en un círculo de radio  $0.9R$  y  $R$ , respectivamente. En el primer caso, se observa un desplazamiento paralelo de la función  $G_k$  en el rango de distancias largas en comparación con la de un

proceso CSR de radio  $R$ . En el segundo caso, en el que se han simulado los 200 eventos en un círculo de radio  $R$ , no se distingue ninguna diferencia entre la distribución teórica, correspondiente a un CSR, y la empírica (ver Fig. 4.14b).



**Fig. 4.14.** Análisis realizado en un proceso puntual simulado con  $N=200$  eventos. *a)* Distribución  $G_k$  teórica y simulada para  $k=1, \dots, 5$  para un proceso sin puntos en la periferia del dispositivo. En *b)* los puntos se muestra el caso en que los puntos siguen un proceso CSR en todo el dispositivo por lo que no se observan efectos de borde.

Al observar una distribución de eventos no uniforme, nos cuestionamos la fiabilidad de la densidad de puntos medios calculada simplemente como el número de eventos en el área del dispositivo a partir de la expresión (4.7). En particular, surge la duda sobre la validez de la medida de la intensidad media en la periferia de los dispositivos, donde parece que existe algún comportamiento especial. Para analizar con detalle este efecto, se utiliza la propiedad de la función FDP de  $g_k$  (función de distribución evento-evento de orden  $k$  mostrada en (4.11) para poder cuantificar esta desviación. El valor de  $r_k$  hace referencia a la distancia correspondiente al máximo de la FDP de  $g_k$  y se puede calcular mediante la derivada de  $g_k$ , obteniendo la expresión (4.12). La expresión (4.12) puede reescribirse también como se muestra en (4.13) donde  $A_k$  hace referencia al área del disco que se asocia con la distancia más observada en la distribución hasta un vecino de orden  $k$ .

$$g_k(r) = \frac{2(\pi\lambda)^k}{(k-1)!} r^{2k-1} \exp(-\pi\lambda r^2) \quad k=1,2,3\dots \quad (4.11)$$

$$r_k = \sqrt{\frac{k - \frac{1}{2}}{\lambda\pi}} \quad (4.12)$$

$$A_k = \pi r_k^2 = \frac{1}{\lambda} \left( k - \frac{1}{2} \right) \quad (4.13)$$

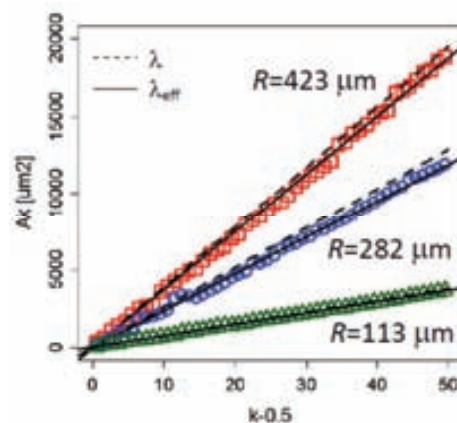


En la Tabla 4.1 se resume el análisis realizado sobre tres casos distintos de capacidades MIM de geometría circular en las que se ha considerado un valor máximo de  $k=50$ : a)  $R=113 \mu\text{m}$  con  $N=77$  y  $N=529$  eventos; b)  $R=282 \mu\text{m}$  con  $N=182$  y  $N=969$  eventos; y c)  $R=423 \mu\text{m}$  con  $N=322$  y  $N=1440$  eventos. En dicha tabla se muestran los valores calculados a partir de los datos experimentales en comparación con los datos teóricos para cada una de las tres capacidades analizadas. En todos los casos se observa que  $\lambda_{eff} > \lambda$ , de modo que asumiendo por simplicidad que el valor de  $\lambda$  permanece constante, es posible estimar un valor para el radio efectivo en el que se produce la gran parte del daño en el dispositivo.

R[ $\mu\text{m}$ ]	N	$\lambda[\mu\text{m}^{-2}]$	$\lambda_{eff}[\mu\text{m}^{-2}]$	$r_{eff}[\mu\text{m}^{-2}]$
113	77	1,92E-03	1,97E-03	111,52
	529	1,32E-02	1,35E-02	111,49
282	182	7,28E-04	1,02E-03	237,45
	969	3,88E-03	4,19E-03	271,10
423	322	5,73E-04	7,63E-04	366,54
	1440	2,56E-03	2,66E-03	414,63

**Tabla 4.1.** Resumen de los resultados obtenidos.  $R$  hace referencia al radio del dispositivo,  $N$  es el número de eventos detectados,  $\lambda$  es la intensidad media de puntos,  $\lambda_{eff}$  es la intensidad efectiva media de puntos, y  $R_{eff}$  hace referencia al radio efectivo del dispositivo en el que se ha producido el daño.

Con la finalidad de realizar una comparativa, en la Fig. 4.15 se muestran las líneas experimentales y teóricas correspondientes a cada una de las tres capacidades para el caso en que se tiene un mayor número de eventos para cada una de ellas. En todas las situaciones analizadas  $R_{eff} < R$ , indicando que existe una mayor concentración de eventos en el centro de las estructuras.



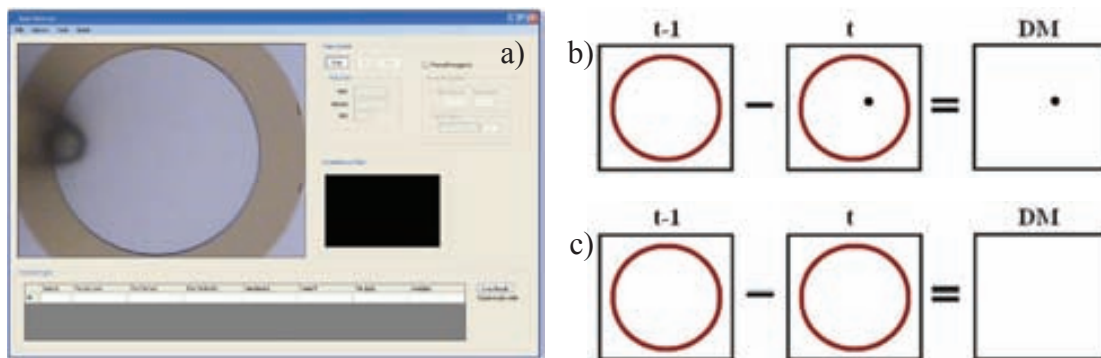
**Fig. 4.15.** Comparación del área del dispositivo correspondiente al vecino de orden  $k$  para los dispositivos utilizados en el estudio de la Tabla 4.1 con sus correspondientes radios para el caso en que se tiene el mayor número de eventos. Las líneas sólidas se han obtenido mediante (4.13) con  $\lambda_{eff}$ , mientras que las líneas discontinuas se han obtenido con la expresión (4.7) con  $\lambda$ .

En dispositivos muy estresados eléctricamente se ha visto que aparece una enorme concentración de eventos desplazados hacia el centro del dispositivo independientemente de la forma de éste. El efecto observado en estas capacidades, aún debe ser estudiado con mayor detalle, aunque se cree que puede darse debido a variaciones en la constante dieléctrica local, a no uniformidades de los grosores de las distintas capas de óxido y metal, y/o a efectos de estrés debidos al proceso de *lift-off* utilizado para la fabricación de las capacidades estudiadas. En [131], se ha mostrado que la escala del campo eléctrico en los límites de las capacidades no muestra ningún tipo de correlación con la región en la que aparece una menor densidad de eventos de ruptura.

#### 4.4. Caracterización de la generación de eventos de ruptura múltiples

En [129] se ha mostrado que la aplicación de un TDDB no solo resulta en la observación de un evento de ruptura en un solo dispositivo, sino que en algunos casos también puede llevar a la observación de varios eventos en el mismo a lo largo del tiempo. A partir de esta evolución se puede realizar un análisis de las distribuciones de eventos de ruptura desde un punto de vista espacio-temporal. Así, en este apartado se muestran los resultados publicados en el artículo D, en el que se ha presentado un método para la caracterización espacio-temporal de los eventos de ruptura múltiples observados en capacidades como las descritas en el apartado 4.2. En los resultados publicados se aplica el método a una capacidad de  $112\mu\text{m}$  de radio.

Para la detección de la información espacio-temporal precisa acerca de la generación de eventos y de la localización de los mismos, D. Moix desarrolló en [139] un software basado en la librería de código abierto *Open Source Computer Vision Library* (OpenCV) [140]. Esta librería incluye funciones de programación para su uso en el procesamiento de imágenes y videos en tiempo real.



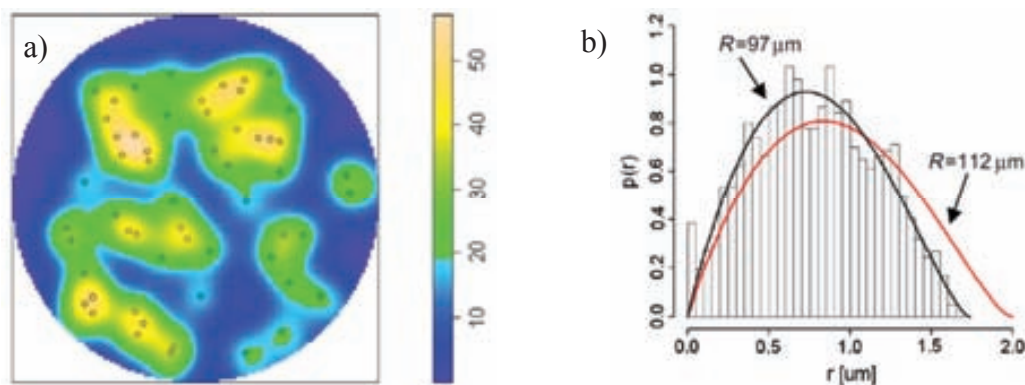
**Fig. 4.16.** a) Ventana principal del software de detección de eventos de ruptura. El rectángulo negro corresponde a la máscara de detección (DM). b) Representación de la DM en b) el caso de detectar un evento de ruptura, y c) en el caso de que no se produzca ningún evento.

En la Fig. 4.16a se muestra la ventana principal del programa desarrollado. La información temporal se obtiene a partir de un método de sustracción entre imágenes consecutivas separadas entre los intervalos  $t$  y  $t-1$ . En este método, se define una máscara de detección (DM) como el resultado de la comparación entre dos imágenes sucesivas. El programa, permite la definición de un umbral en escala de grises para la detección de los eventos de ruptura, es decir, define un cambio mínimo en el color necesario para detectar el evento: en caso que aparezca una marca en la DM (Fig. 4.16b) el software lo detecta guardando la información sobre el mismo en un archivo de texto; en caso de no aparecer ningún evento en la DM, no se guarda ningún tipo de información (ver Fig. 4.16c). La información guardada hace referencia al instante en que se genera el evento de ruptura así como otra información de carácter espacial como la localización del evento, el perímetro del mismo y el área de éste. Una vez



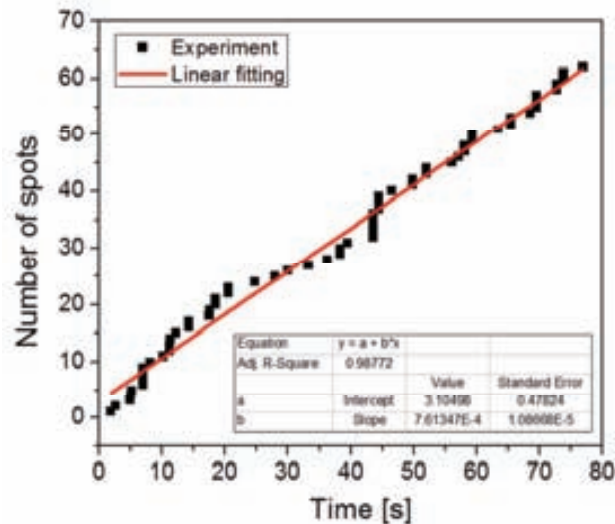
determinado el instante de generación de los eventos, así como su posición en el espacio, se obtiene la información acerca del proceso y los datos obtenidos pueden exportarse posteriormente a un fichero de texto para su posterior caracterización y análisis estadístico. Así, una vez obtenidos los datos, estos pueden utilizarse para un análisis espacio-temporal.

Como ejemplo del análisis propuesto, consideramos el patrón espacial de puntos mostrado en la Fig. 4.17 para una capacidad MIM de  $112\mu\text{m}$  de radio, con las características descritas en el apartado 4.2, en la que se aplica un CVS a  $-9\text{V}$  durante  $80\text{s}$ . La gráfica de la intensidad se muestra en la Fig. 4.17a, donde la escala de puntos hace referencia a la densidad de puntos por unidad de área fijando un ancho de banda de  $0.9$ .



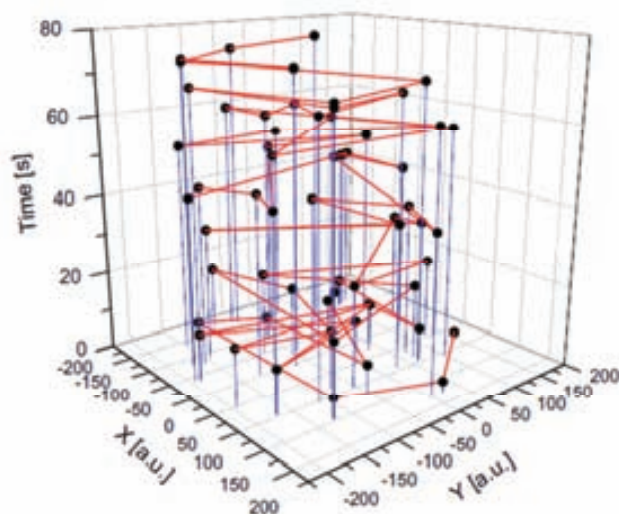
**Fig. 4.17.** a) Gráfica de intensidad para un patrón de puntos una vez finalizado el patrón de puntos para una capacidad MIM, de radio  $112\mu\text{m}$ , en la que el radio del dispositivo se ha normalizado a la unidad. b) Histograma de la distancia entre eventos para la misma capacidad. La línea negra corresponde a un proceso CSR de radio  $112\mu\text{m}$  mientras que la línea roja corresponde a un proceso CSR de  $97\mu\text{m}$  de radio.

Estudios realizados anteriormente basados en imágenes estáticas del mismo tipo, obtenidas después del estrés eléctrico, han mostrado que los eventos no muestran correlación espacial [131]. Por otro lado, en los resultados del artículo C, se ha mostrado que los puntos no se distribuyen homogéneamente, al contrario de lo que se asume normalmente para materiales dieléctricos. En este sentido, vale la pena recordar que este efecto es más notable en capacidades con áreas grandes en las que el número de eventos de ruptura es mayor que en el análisis mostrado a modo de ejemplo sobre la distribución de la Fig. 4.17. Aun así, para cuantificar la ausencia de puntos en la periferia de las capacidades se puede utilizar el histograma de distancias entre eventos (*inter-event*) como se muestra en la Fig. 4.17b. En este histograma se observa que la distribución de eventos no se distribuye como se espera para un CSR en todo el área ( $R=112\mu\text{m}$ ): el patrón de puntos es coherente con un CSR con un área efectiva menor, equivalente a un radio de la capacidad de  $97\mu\text{m}$ . Las líneas continuas de la Fig. 4.17b corresponden a la función de distribución para una distribución de tipo CSR en un círculo de radio  $R$  [131] que se describe en (4.8).



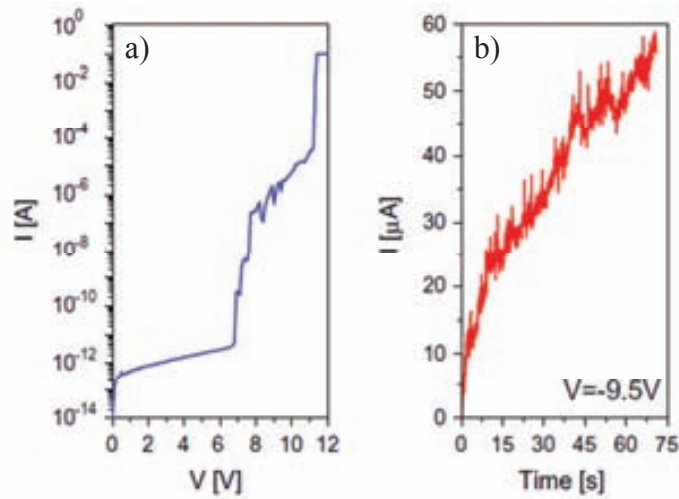
**Fig. 4.18.** Generación de los eventos de ruptura en función del tiempo en la capacidad MIM. En el recuadro inferior se muestra la tasa de generación de eventos.

En cuanto al análisis de la relación espacio-temporal de los eventos observados, en la Fig. 4.18 se muestra la tasa de generación de eventos para el mismo patrón. Mediante la aplicación del método de ajuste por mínimos cuadrados se ha observado que la generación de eventos es prácticamente constante en un valor de 0.76 eventos/s. Al tener una tasa constante se deduce que la generación de un evento de ruptura no viene condicionada por los eventos anteriores, lo cual significa que no existe correlación temporal entre eventos y son consistentes con un proceso homogéneo de *Poisson* (*Homogeneous Poisson Process*, HPP) en tiempo. Si se combinan los datos espaciales con los temporales en una representación 3D, se puede obtener una gráfica que represente la trayectoria de la generación de los eventos de ruptura tal como se muestra en la Fig. 4.19.



**Fig. 4.19.** Trayectoria de los eventos de ruptura en la capacidad sometida a un CVS a -9V. Los puntos representan la generación de cada uno de los eventos.

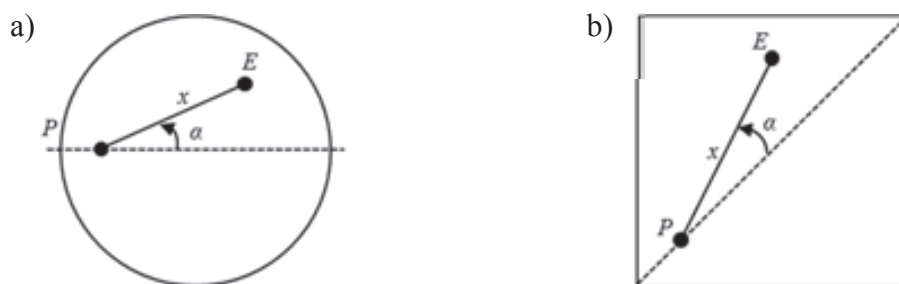
Para acabar con el análisis espacio-temporal, en las Fig. 4.20a y Fig. 4.20b se muestra la evolución de la corriente de pérdidas durante la generación de los eventos de ruptura en función del voltaje (RVS) y del tiempo (CVS), respectivamente. En la primera, se observa primero un incremento súbito de corriente debido a la generación del primer evento de ruptura (aproximadamente alrededor de los -7V), y posteriormente un incremento súbito más pronunciado alrededor de los -11V, que supone una ruptura catastrófica del dispositivo. En cuanto a la evolución de la corriente bajo un estrés CVS de la Fig. 4.20b, se muestra el incremento asociado a la continua degradación del dieléctrico al largo del tiempo.



**Fig. 4.20.** a) Característica I-V en la que se muestra los efectos de la degradación en un estrés RVS de 0V a -12V. b) Evolución de la corriente durante un estrés CVS a -9.5V.

#### 4.5. Caracterización espacial en función de la localización de la punta de medida.

Uno de los principales objetivos de la estadística espacial es detectar posibles no homogeneidades mediante la comparación de datos experimentales con estimadores numéricos y funcionales de procesos de tipo CSR. En este sentido, en este apartado se describe un método de análisis de distribuciones de eventos puntuales en función de una localización fija cualquiera tomada como punto de referencia, ya que las técnicas estándares de análisis de CSR no abordan este aspecto. En el caso que nos ocupa, se aplica el método para analizar el papel que puede tener la localización de la punta de medida sobre la distribución de eventos de ruptura observados en el electrodo superior de capacidades MIM y MIS como las descritas en el apartado 4.2. Este método, que también es aplicable a todo tipo de distribuciones puntuales en dos dimensiones dentro de una superficie cerrada, se ha presentado para su publicación en la revista TDMR según el artículo que se muestra en el anexo B de esta tesis (actualmente está pendiente de aceptación, y por tanto no ha sido incluido en el compendio de publicaciones).



**Fig. 4.21.** Representación esquemática de las variables aleatorias bajo análisis: el ángulo  $\alpha$ , y la distancia  $x$  entre el punto de referencia  $P$  y el evento  $E$ : a) caso de un dispositivo de área circular; b) caso de un dispositivo de área cuadrada.

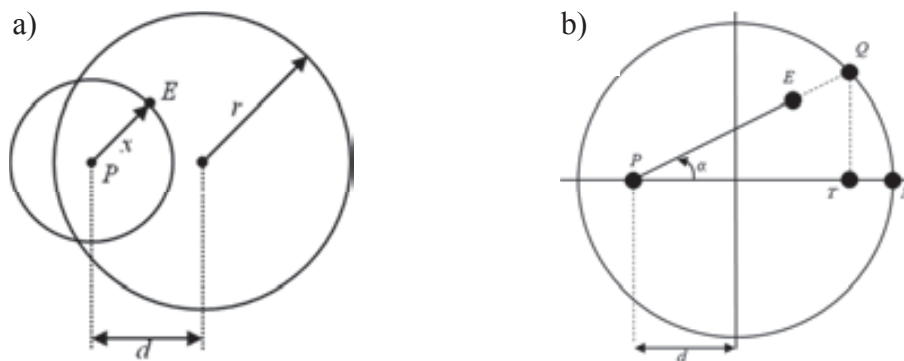
En el método propuesto la caracterización de eventos de ruptura se realiza sobre capacidades de geometrías cuadradas y circulares, a partir dos distribuciones distintas: la distribución de probabilidad de distancias punto-a-evento (referida en el artículo del anexo B como *point-to-event*) y la distribución de probabilidad de ángulos punto-a-evento. Para ello se definen las dos variables aleatorias definidas en la Fig. 4.21. En primer lugar, se define la distancia  $x$  entre el punto de referencia  $P$  y un evento cualquiera  $E$ . Por otro lado, se define el ángulo  $\alpha$  comprendido entre la línea que conecta  $E$  con  $P$  con un eje de referencia (el diámetro horizontal del círculo, o la diagonal de izquierda a derecha desde abajo a arriba en la misma orientación). Una vez definidas dichas variables, se define la función densidad de probabilidad (FDP) de distancias punto-evento  $f(x)$ , mientras que la variable  $\alpha$  permite determinar la FDP de ángulos punto-evento  $f(\alpha)$ . A partir de la definición de dichas variables se pueden obtener las respectivas funciones de distribución acumulada (FDA)  $F(x)$  y  $F(\alpha)$ . Una vez determinadas las distancias/ángulos experimentales, así como las expresiones teóricas de la FDP y la FDA para ambas variables, el último paso consiste en realizar el

análisis comparativo de los datos empíricos con las expresiones teóricas correspondientes a un proceso CSR.

La validez de las conclusiones derivadas del estudio realizado depende del número de eventos observados, así como del tamaño y la forma de la ventana de observación de modo que dicha validez depende en gran medida del método de corrección utilizado para tener en cuenta los efectos de borde [126]. Por este motivo, en los resultados mostrados a continuación se ha utilizado un método de remuestreo (*bootstrap*) espacial descrito en [141] que se ha aplicado para el estimador funcional  $K$  y para la función de correlación entre pares  $g$  en base a una distancia de referencia  $s$ . En este análisis se incluyen intervalos de confianza del 95% para indicar si los datos experimentales y las simulaciones realizadas por estos dos estimadores (en base a un modelo CSR) están en concordancia.

### Caso A: Análisis sobre capacidades circulares:

El primer paso a realizar para aplicar el método propuesto en ventanas de observación circulares de radio  $r$ , es la determinación de la FDP y la FDA de la distancia  $x$  desde un punto fijo  $P$ , situado en el interior de un círculo de radio  $r$ , a otro punto  $E$  situado aleatoriamente en el interior del mismo círculo (ver Fig. 4.22a). Este procedimiento se describe paso por paso en el anexo A.1 del artículo incluido en el anexo B.



**Fig. 4.22.** Esquema para el cálculo de la FDP y la FDA en relación con a) la distancia  $x$ , y b) el ángulo  $\alpha$  entre un punto de referencia  $P$  y un evento aleatorio  $E$ , ambos situados en el interior de una ventana de observación circular. La distancia  $d$  hace referencia a la distancia entre  $P$  y el centro del círculo.

Una vez determinadas las distribuciones relativas a la distancia  $x$ , a continuación se calculan la FDP y la FDA para el ángulo  $\alpha$  entre el segmento  $PQ$  y el diámetro del círculo (ver Fig. 4.22b). Este procedimiento se describe detalladamente en el anexo A.2 del artículo del anexo B.

### Caso A.1: Capacidad MIM circular con estrés CVS aplicado.

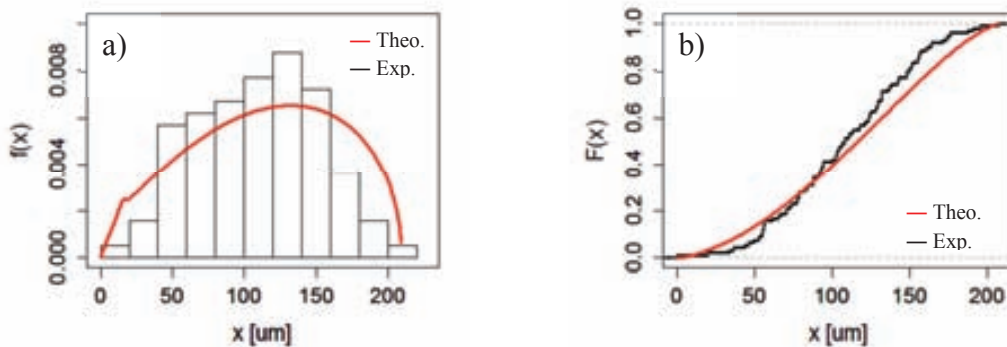
En el primer caso analizado, se toma una capacidad MIM según se ha descrito en el apartado 4.2 con un radio de  $113 \mu\text{m}$ . En la Fig. 4.23a se muestra dicha capacidad, en la que se muestra una distribución de eventos de ruptura formada por 96 eventos que se han obtenido gradualmente después de aplicar un CVS a  $-9\text{V}$  durante 60s. La intensidad

media de esta distribución es de  $\lambda=2.39 \cdot 10^{-3}$  puntos/ $\mu\text{m}^2$ . En la Fig. 4.23b, se observan varias líneas en verde que indican la distancia desde el punto de referencia tomado (punta de medida) a cada uno de los eventos de ruptura.



**Fig. 4.23.** a) Distribución de eventos de ruptura múltiples en una capacidad de área circular de radio  $r=113\mu\text{m}$  (caso A.1). La sombra que se aprecia en el lado izquierdo es la punta de medida. b) Localización de los eventos en el área de la capacidad. Las líneas verdes indican la distancia desde la punta de medida hasta cada uno de los eventos.

En las Fig. 4.24a y b se muestran los datos de la distancia punto-evento experimental en comparación con las distribuciones teóricas de la FDP y la FDA, respectivamente. En este caso, parece que los eventos están distribuidos ligeramente más cerca de la punta de medida de lo que se esperaría para un proceso CSR. Sin embargo, tal como se mostrará más adelante, esto solo afecta este patrón de puntos en particular ya que tenemos un número de eventos reducido. La ausencia de puntos lejos de la punta se observa como un desplazamiento en el rango de distancias cortas en la FDA de la Fig. 4.24b.



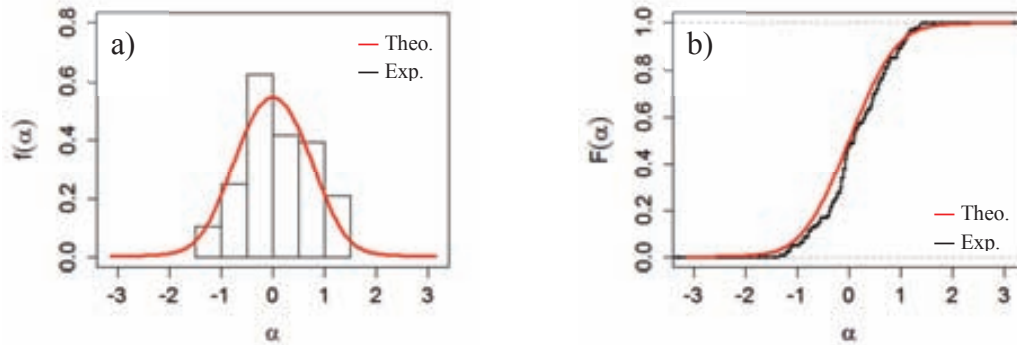
**Fig. 4.24.** a) Histograma de distancias punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondientes al caso A.1. b) Curva experimental (negro) y curva teórica (rojo) para la FDA de la distancia punto-a-evento.

En las Fig. 4.25a y b se muestra un análisis comparativo de las distribuciones angulares empíricas y teóricas para la FDP y la FDA, respectivamente. En dichas figuras se observa que la distribución de ángulos es de tipo isotrópica ya que no existe ninguna dirección predominante en los puntos registrados.

A continuación se muestra el método de *bootstrapping* utilizado para dar validez a las conclusiones derivadas de los eventos registrados. Así, en la Fig. 4.26a se muestra el estimador  $K$  isotrópico en función de una distancia genérica  $s$ . En dicha figura se

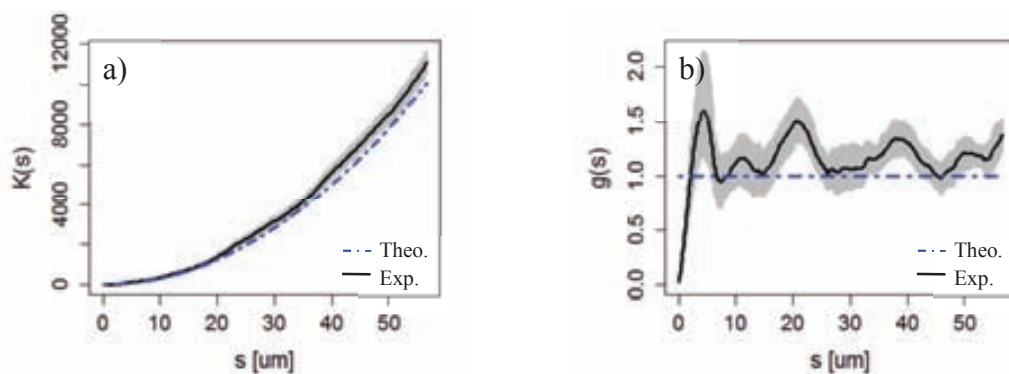


muestra tanto el estimador  $K$  isotrópico basado en los datos experimentales, como la curva teórica correspondiente a un proceso de tipo CSR. Se observa que la curva de los datos experimentales se desvía de la parábola  $K_{CSR}(s) = \pi s^2$  correspondiente a un CSR en todos los rangos de distancias, indicando que existe agrupamiento de los puntos.



**Fig. 4.25.** a) Histograma de ángulos punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondientes al caso A.1. b) Curva experimental (negro) y curva teórica (rojo) para la FDA del ángulo punto-a-evento.

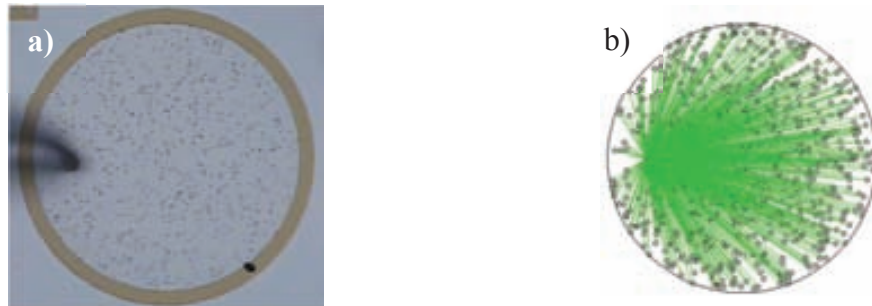
Estos resultados se corroboran en el caso del remuestreo para la función  $g$  (también definida para una distancia genérica  $s$ ), donde se muestra también la estimación basada en los datos empíricos mediante el uso de la corrección de bordes, y la curva teórica para un proceso CSR (ver Fig. 4.26b). En esta figura se observa como  $g(s)$  fluctúa en todo el rango de distancias experimentales por encima del valor  $g_{CSR}(s)=1$ . Como los intervalos de confianza del 95% (zona sombreada) no incluyen las curvas teóricas, se puede inferir que el proceso puntual analizado no se corresponde con un CSR. Sin embargo, no se puede decir que exista una correlación clara entre la distribución de eventos y la localización de la punta.



**Fig. 4.26.** a) Estimador funcional  $K$  de Ripley en función de la distancia genérica  $s$  para el caso A.1. *Exp* hace referencia al estimador  $K$  isotrópico calculado a partir de los datos experimentales, mientras *Theo* hace referencia a la curva teórica correspondiente a un CSR. b) función de correlación entre pares  $g$  en función de la distancia genérica  $s$  para el caso A.1. *Exp* hace referencia al estimador empírico en el que se usa corrección de bordes, y *Theo* se corresponde con el caso de un proceso CSR ( $g_{CSR}(s)=1$ ).

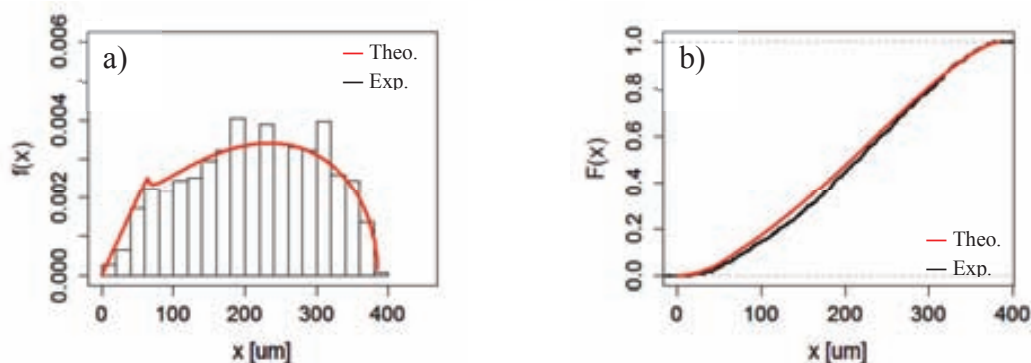
### Caso A.2: Capacidad MIM circular con estrés RVS aplicado.

En el segundo caso analizado, se utiliza una capacidad MIM del mismo tipo la cual se ha sometido a un estrés en rampa de tensión desde 0V a -11V. Mientras que en el caso anterior los eventos aparecieron gradualmente, al aplicar un RVS en este caso, la gran mayoría de los eventos de ruptura han aparecido de forma abrupta. Así, en esta capacidad (ver Fig. 4.27a) de radio  $225\mu\text{m}$  se han detectado un total de 692 eventos, resultando en una intensidad media de  $\lambda=4.35 \cdot 10^{-3}$  puntos/ $\mu\text{m}^2$ . En la Fig. 4.27b se muestran las distancias desde la referencia fija a cada uno de los eventos de ruptura.



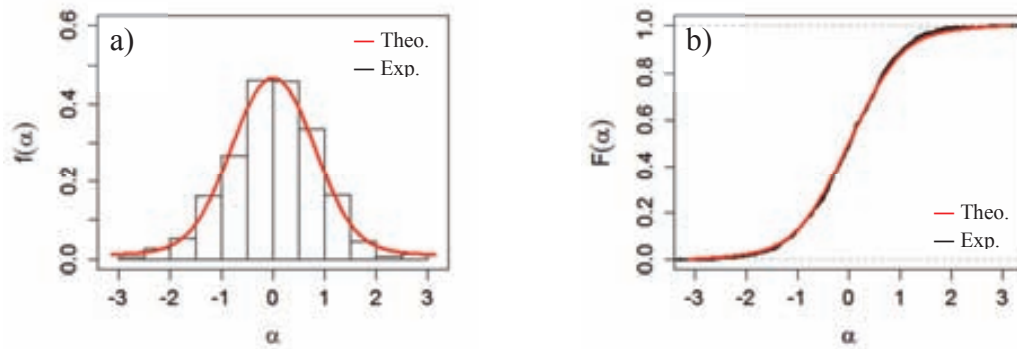
**Fig. 4.27.** a) Distribución de eventos de ruptura múltiples en una capacidad de área circular de radio  $r=225\mu\text{m}$  (caso A.2). La sombra que se aprecia en el lado izquierdo es la punta de medida. b) Localización de los eventos en el área de la capacidad. Las líneas verdes indican la distancia desde la punta de medida hasta cada uno de los eventos.

En las Fig. 4.28a y b, se muestra la comparación de las distribuciones de distancias punto-evento teóricas y experimentales, mientras que en la Fig. 4.29a y b, se pueden ver las distribuciones de ángulos teóricas y experimentales. En este caso, en el que se tiene un elevado número de puntos, la distribución experimental se corresponde claramente con una distribución de *Poisson* homogénea por lo que parece que la posición de la punta no afecte de ninguna manera la distribución de eventos experimental.



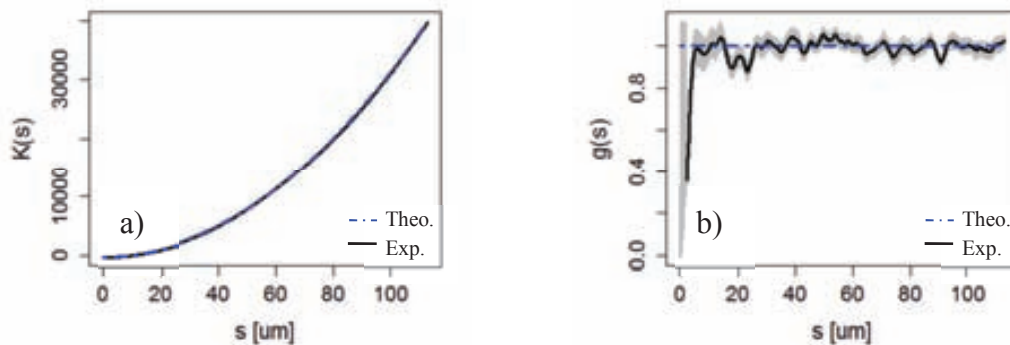
**Fig. 4.28.** a) Histograma de distancias punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondientes al caso A.2. b) Curva experimental (negro) y curva teórica (rojo) para la FDA de la distancia punto-a-evento.





**Fig. 4.29.** a) Histograma de ángulos punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondientes al caso A.2. b) Curva experimental (negro) y curva teórica (rojo) para la FDA del ángulo punto-a-evento.

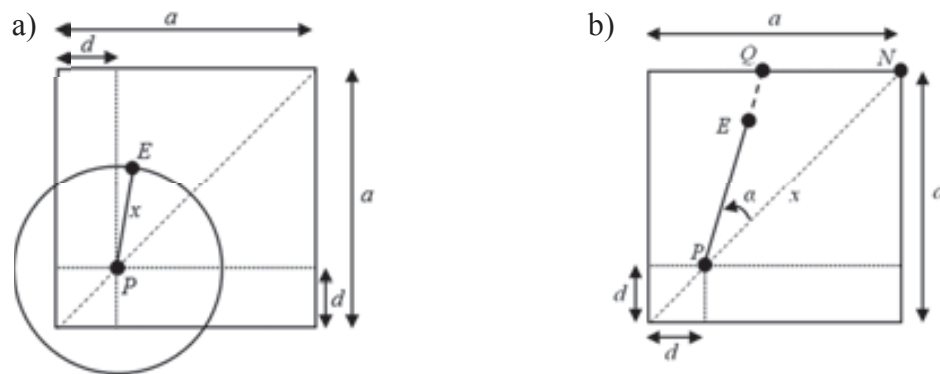
En cuanto al análisis de los datos mediante el método de remuestreo basado en las funciones  $K$  y  $g$ , se confirma que la distribución es de tipo CSR (ver Fig. 4.30a y b, respectivamente). Asimismo, se observa que los intervalos de confianza son mucho más reducidos en este caso.



**Fig. 4.30.** a) Estimador funcional  $K$  de Ripley en función de la distancia genérica  $s$  para el caso A.2. b) función de correlación entre pares  $g$  en función de la distancia genérica  $s$  para el caso A.2.

### Caso B: Análisis sobre capacidades cuadradas:

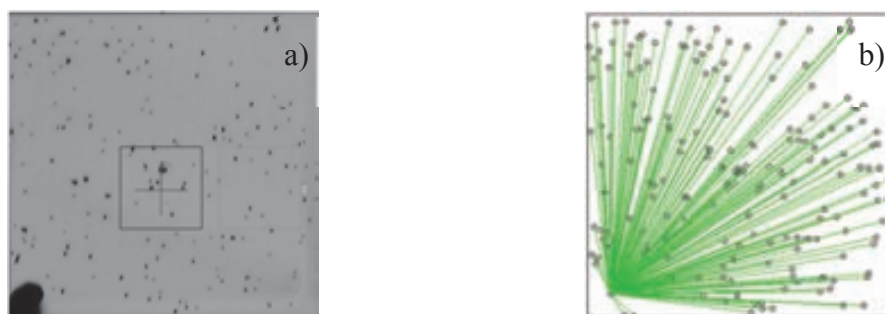
El análisis realizado sobre capacidades MIM circulares se repite sobre capacidades MIM y MIS de geometría cuadrada como las descritas en el apartado 4.2. Tal como se ha realizado en el caso de tener una ventana de observación circular, de manera análoga también se han obtenido las distribuciones de la FDA y la FDP para distancias y ángulos, correspondientes a un proceso de tipo CSR según los dos esquemas de la Fig. 4.31. Por simplicidad, en la obtención de las expresiones para ángulos y distancias se tiene en cuenta que el punto de referencia se sitúa en la diagonal del cuadrado de modo que se reducen notablemente el número de casos a considerar analíticamente. Los procedimientos respectivos para la obtención de las distribuciones de distancias y ángulos se detallan en los anexos A.3 y A.4 del artículo incluido en el anexo B.



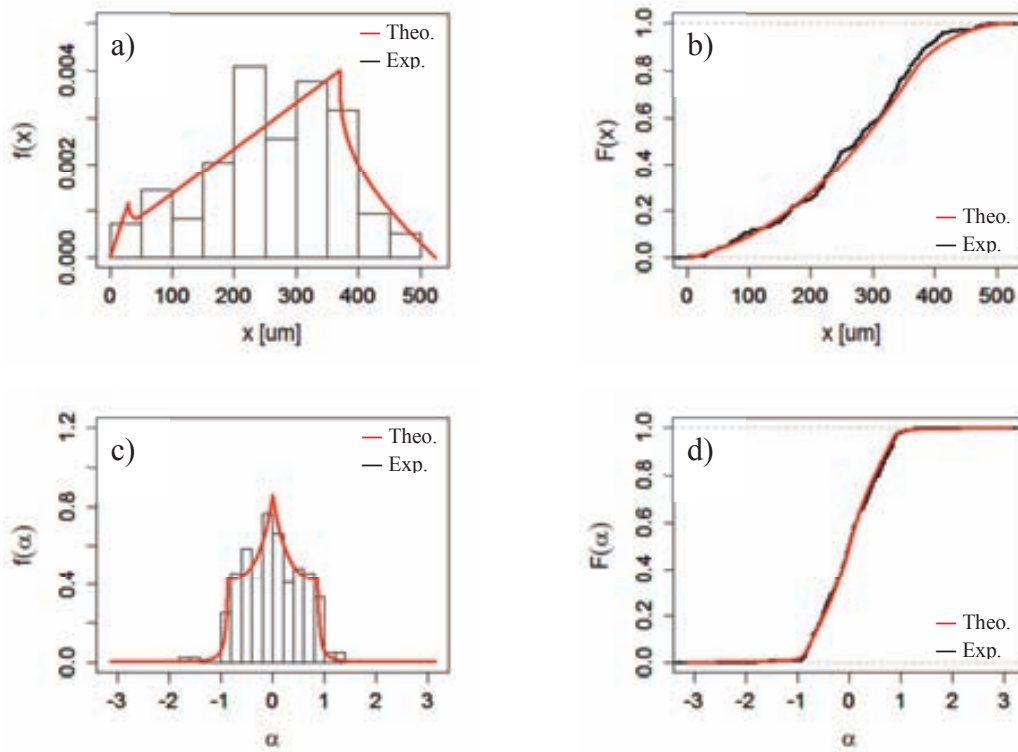
**Fig. 4.31.** Esquema para el cálculo de la FDP y la FDA en relación con la distancia  $x$  (imagen izquierda), y en relación con el ángulo  $\alpha$  (imagen derecha) entre un punto de referencia  $P$  y un evento aleatorio  $E$ , ambos situados en el interior de una ventana de observación cuadrada. La distancia  $d$  hace referencia a la distancia entre  $P$  y el costado más cercano al punto  $P$ . Para el cálculo de distribuciones del ángulo, se toma la diagonal del cuadrado como referencia.

### Caso B.1: Capacidad MIS cuadrada sometida a un estrés RVS.

La primera distribución de eventos realizada sobre una capacidad cuadrada es una capacidad MIS de  $400\ \mu\text{m}$  de costado sometida a un estrés RVS de  $0\text{V}$  a  $10\text{V}$ . En la Fig. 4.32a se muestra una fotografía de esta capacidad en la que se detectaron 182 eventos, dando una intensidad media de  $\lambda=1.14 \cdot 10^{-3}$  puntos/ $\mu\text{m}^2$ . En el análisis que nos ocupa, en la Fig. 4.32b se muestra la distribución de los eventos y las distancias punto-evento. En cuanto al análisis estadístico, se observa en las Fig. 4.33a-d, que la distribución se corresponde con un proceso CSR. En este caso, parece que la presencia de un electrodo de tipo semiconductor no afecta significativamente lo observado en los casos anteriores.

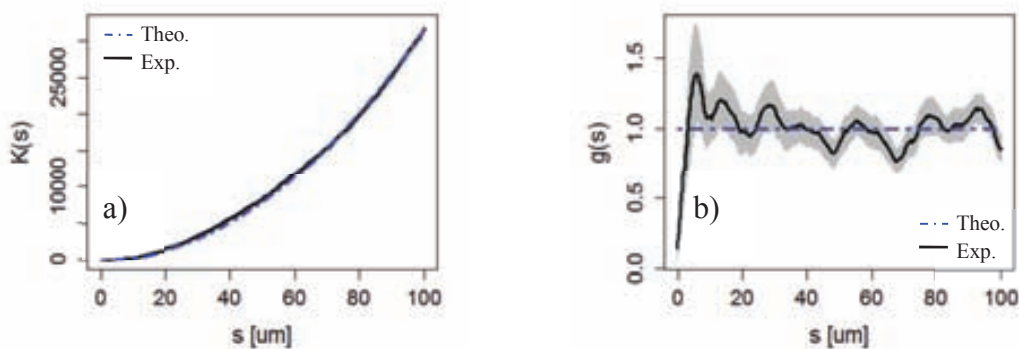


**Fig. 4.32.** a) Distribución de eventos de ruptura múltiples en una capacidad de área cuadrada con costado  $a=400\ \mu\text{m}$  (caso B.1). La silueta negra que se aprecia en el lado inferior-izquierdo es la punta de medida. b) Localización de los eventos en el área de la capacidad. Las líneas verdes indican la distancia desde la punta de medida hasta cada uno de los eventos.



**Fig. 4.33.** a) Histograma de distancias punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondiente al caso B.2. b) Curva experimental (negro) y curva teórica (rojo) para la FDA de la distancia punto-a-evento. c) Histograma de ángulos punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondiente a la misma área. d) Curva experimental (negro) y curva teórica (rojo) para la FDA del ángulo punto-a-evento.

En este caso, el análisis de los datos mediante el método de *bootstrapping* basado en las funciones  $K$  y  $g$  también confirma que la distribución de puntos se puede considerar como un CSR (ver Fig. 4.34a y b, respectivamente).



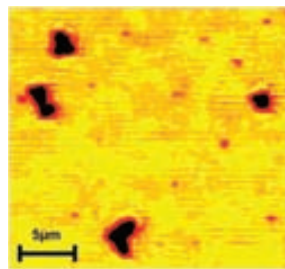
**Fig. 4.34.** a) Estimador funcional  $K$  de Ripley en función de la distancia genérica  $s$  para el caso B.1. b) función de correlación entre pares  $g$  en función de la distancia genérica  $s$  para el caso B.1.

### Caso B.2: Capacidad MIM cuadrada sometida a un estrés CVS.

La última capacidad utilizada en el estudio de la influencia de la punta de medida sobre la distribución de eventos de ruptura, es una capacidad MIM cuadrada de 200 $\mu\text{m}$  de costado (ver Fig. 4.35a). Este dispositivo se sometió a un estrés CVS a -10V durante 120s, obteniendo un total de 448 eventos de ruptura (intensidad media  $\lambda=11.2 \cdot 10^{-3}$  puntos/ $\mu\text{m}^2$ ). En este caso, se distinguen dos tipos de eventos de ruptura que se diferencian por la magnitud de la ruptura en el electrodo metálico superior, y que resulta en un mayor o menor contraste del evento. En la Fig. 4.36 se muestra una fotografía realizada mediante un microscopio óptico con la finalidad de ver las diferencias entre los eventos débiles y los fuertes: mientras los eventos fuertes se observan mayores y con un mayor contraste, los débiles son claramente de menor dimensión (menor a 1 $\mu\text{m}$ ).



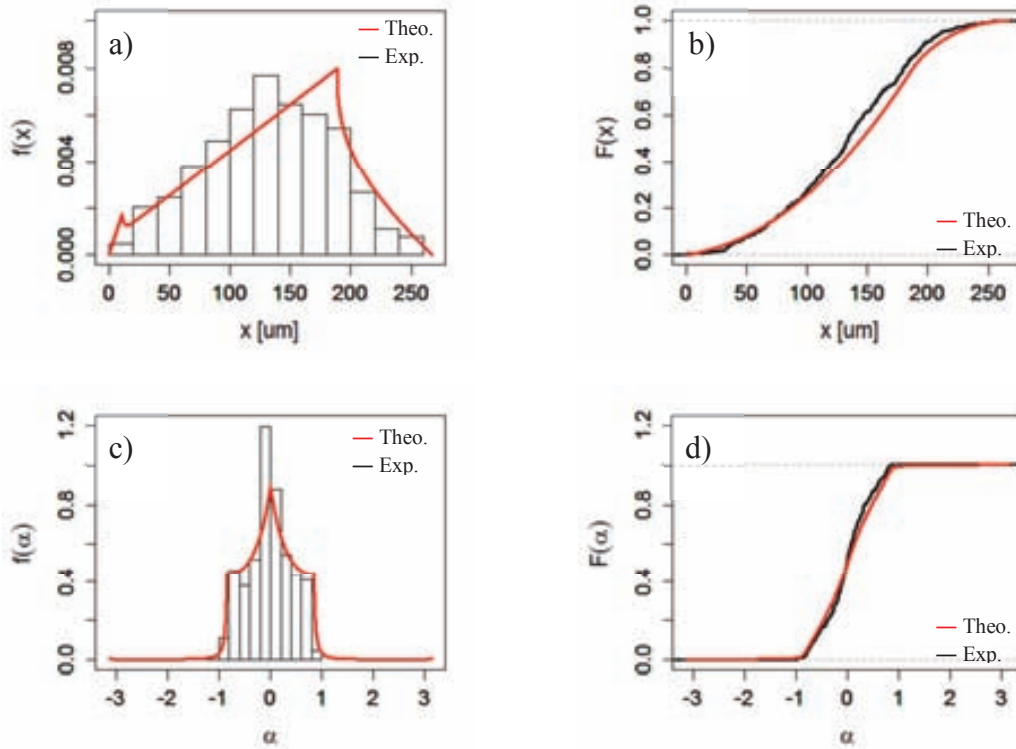
**Fig. 4.35.** *a)* Distribución de eventos de ruptura múltiples en una capacidad de área cuadrada con costado  $a=400\mu\text{m}$  (caso B.2). La silueta negra que se aprecia en el lado inferior-izquierdo es la punta de medida. *b)* Localización de los eventos en el área de la capacidad. Las líneas verdes indican la distancia desde la punta de medida hasta cada uno de los eventos.



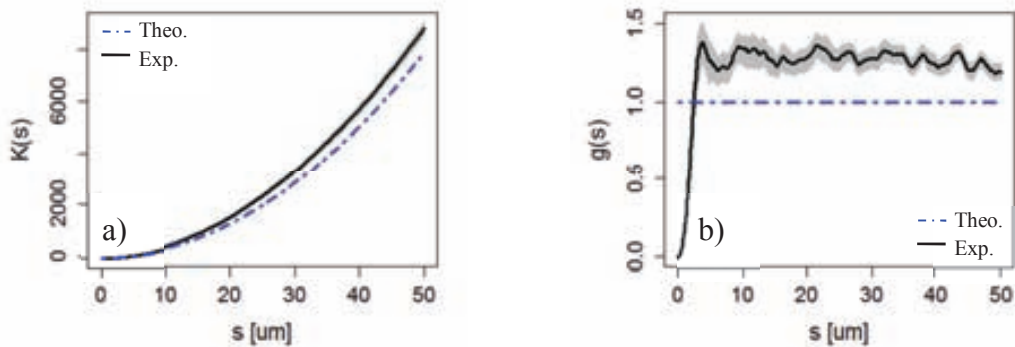
**Fig. 4.36.** Imagen óptica en la que se muestra la diferencia entre los eventos fuertes y los débiles observados en la capacidad del caso B.2.

En el análisis realizado sobre esta capacidad, nos referimos a unos y otros como eventos fuertes (*strong*) y eventos débiles (*weak*). Mientras que los eventos fuertes son del mismo tipo a los observados en las capacidades anteriores, los débiles únicamente se hacen visibles después de un estrés eléctrico prolongado ( $t > 60\text{s}$ ). Asumimos en el análisis que ambos tipos de eventos solo se diferencian en la magnitud del daño derivado de la ruptura de manera por lo que la marca resultante resulta más o menos visible. Para realizar un análisis profundo en relación con la distinción entre los distintos eventos observados, se ha dividido el análisis de esta capacidad en tres casos: a) la distribución de eventos completa que incluye los eventos débiles y los fuertes); b) la distribución de los eventos fuertes; c) la distribución de los eventos débiles.

Empezando por el análisis del caso de la distribución completa de eventos, se muestran las distancias punto-a-evento en la Fig. 4.35b. En las Fig. 4.37a y b se puede ver que la distribución completa experimental no se ajusta con las curvas teóricas para un CSR. Además, las FDP y FDA angulares se concentran alrededor de la diagonal del cuadrado, equivalente a un ángulo  $\alpha=0$  (Fig. 4.37c y d). Estas desviaciones también se observan en las gráficas obtenidas de la aplicación del método de remuestreo para la función  $K$  de Rippley y de la función de correlación entre pares  $g$  (Fig. 4.38a y b).



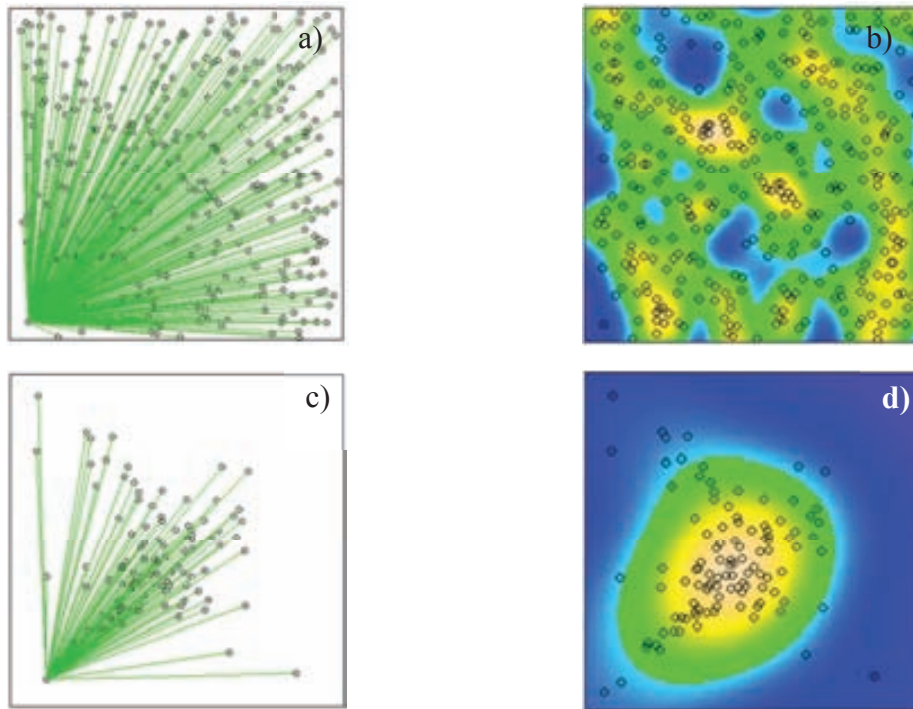
**Fig. 4.37.** *a*) Histograma de distancias punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondientes al caso B.2. *b*) Curva experimental (negro) y curva teórica (rojo) para la FDA de la distancia punto-a-evento. *c*) Histograma de ángulos punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondiente a la misma área. *d*) Curva experimental (negro) y curva teórica (rojo) para la FDA del ángulo punto-a-evento.



**Fig. 4.38.** *a*) Estimador funcional  $K$  de Rippley en función de la distancia genérica  $s$ . *b*) función de correlación entre pares  $g$  en función de la distancia genérica  $s$ .

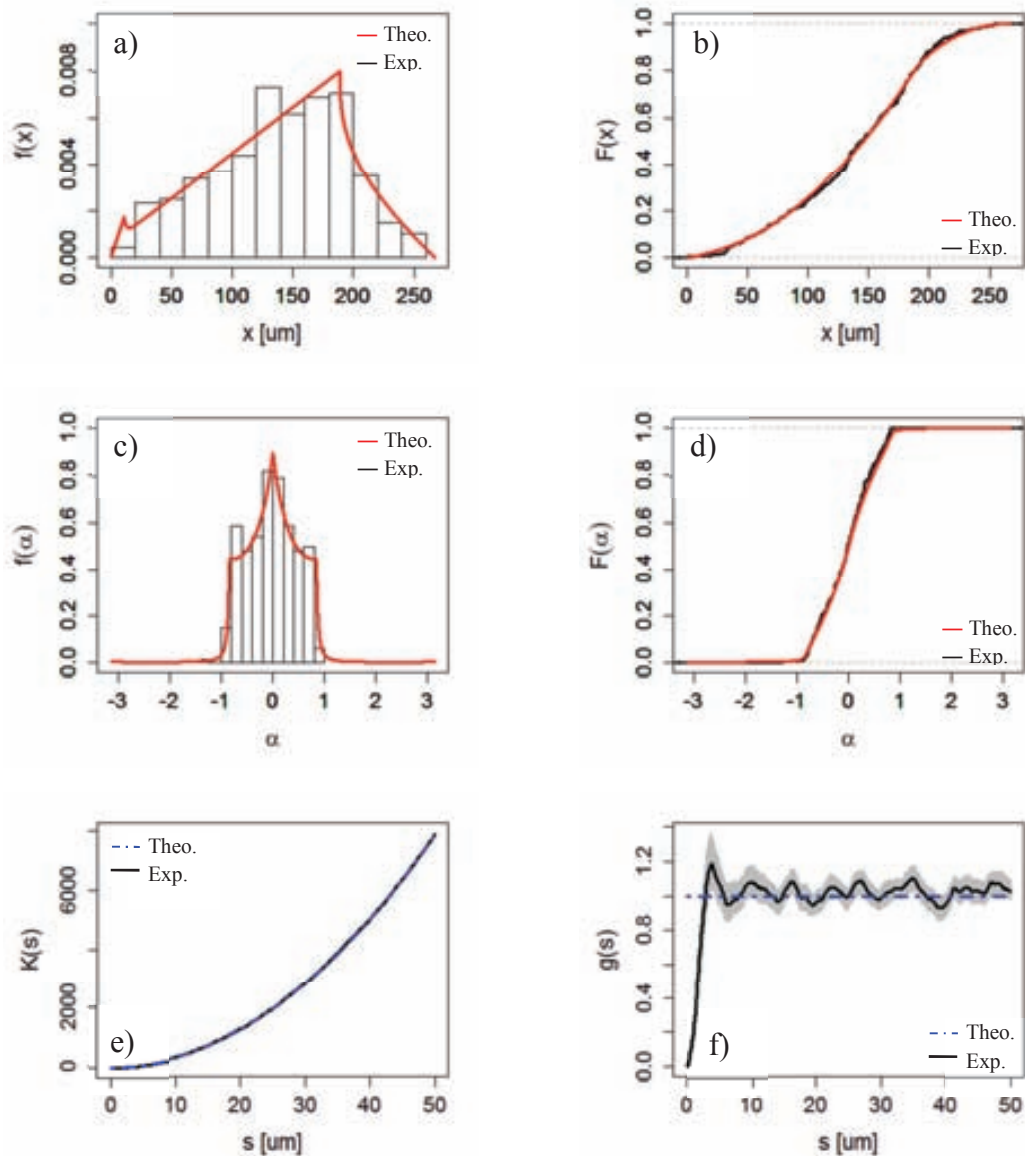


A continuación se separa el análisis de la distribución de eventos fuertes (caso “b”) y la distribución de eventos débiles (caso “c”) por separado. Las líneas correspondientes a las distancias analizadas en cada caso se muestran en las Fig. 4.39a y c. Mientras que la Fig. 4.39b muestra una distribución uniforme para el caso de los fuertes, en la figura Fig. 4.39d puede notarse que se da una clara concentración de eventos débiles hacia el centro del dispositivo.



**Fig. 4.39.** Análisis detallado de la distribución de eventos mostrada en la Fig. 4.35a en el caso de tener en consideración únicamente los eventos fuertes (a y b) o los eventos débiles (c y d): A la izquierda se muestra la localización de los eventos fuertes/débiles en el área de la capacidad. Las líneas verdes indican la distancia desde la punta de medida hasta cada uno de los eventos. A la derecha se muestra la gráfica de intensidad sobre el área de la capacidad en el caso de los eventos fuertes/débiles.

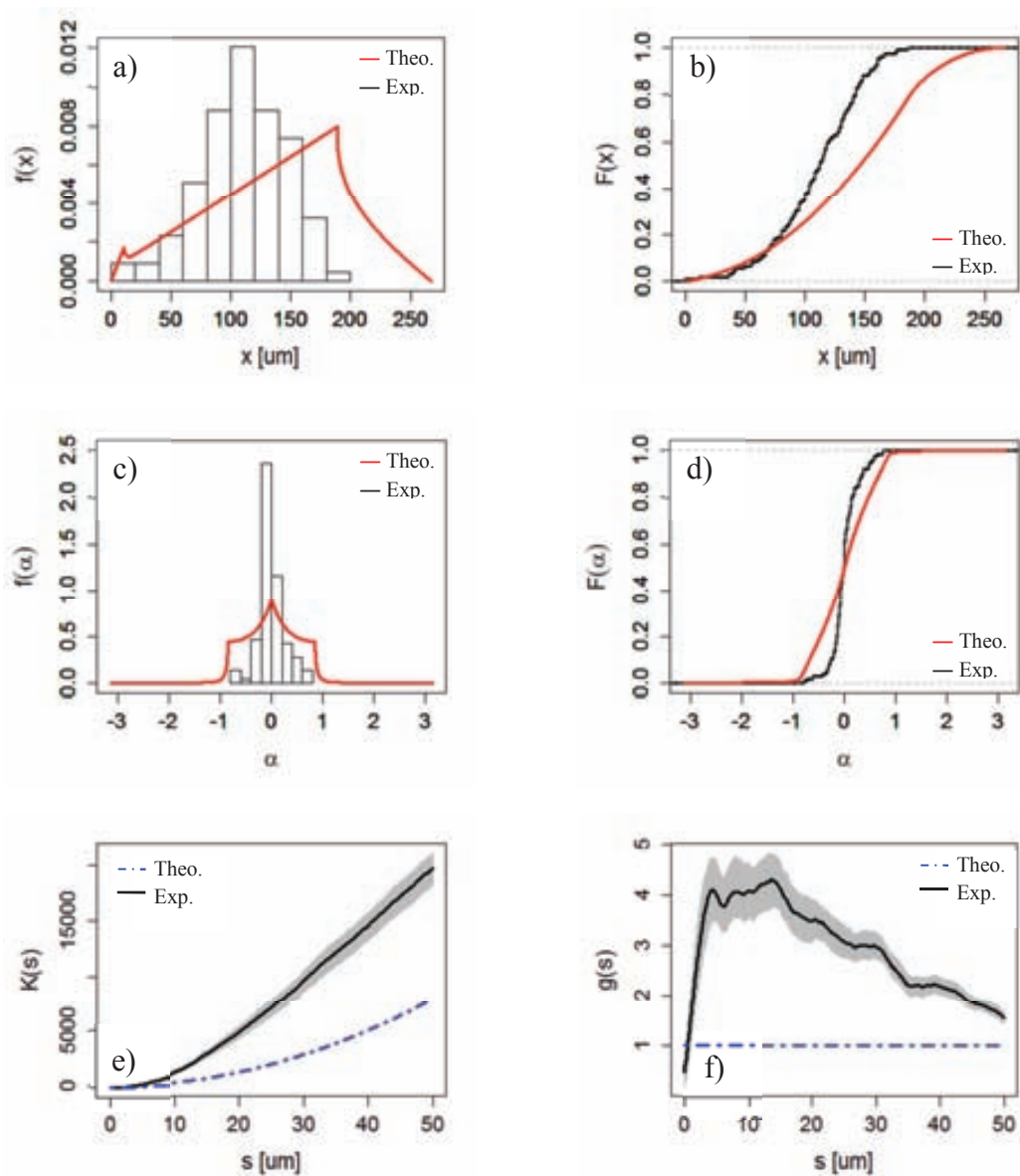
Además, de las figuras Fig. 4.40a-f puede deducirse que los eventos fuertes se distribuyen uniformemente tal como se espera para un CSR, mientras que las Fig. 4.41a-f muestran que los eventos débiles no se corresponden con un proceso de *Poisson* bidimensional ya que en la zona de la periferia existe una menor concentración de eventos débiles que en el centro de la capacidad. En conclusión, las desviaciones observadas sobre la distribución completa se atribuyen a la distribución no homogénea de eventos débiles en la capacidad.



**Fig. 4.40.** Análisis detallado de la distribución de eventos mostrada en la Fig. 4.35a en el caso de tener en consideración únicamente los eventos fuertes. *a)* Histograma de distancias punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondiente a la misma área. *b)* Curva experimental (negro) y curva teórica (rojo) para la FDA de la distancia punto-a-evento. *c)* Histograma de ángulos punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondiente a la misma área. *d)* Curva experimental (negro) y curva teórica (rojo) para la FDA del ángulo punto-a-evento. *e)* Estimador funcional  $K$  de Ripley en función de la distancia genérica  $s$ . *f)* función de correlación entre pares  $g$  en función de la distancia genérica  $s$ .

El origen de esta distribución no homogénea de eventos débiles obtenida en capacidades fuertemente estresadas parece estar relacionada con la concentración de líneas de corriente en el electrodo superior metálico, en dirección al centro de la estructura. En este sentido, se ha realizado un análisis preliminar por medio de un método de elementos finitos en dos dimensiones. Para ello, se ha realizado una simulación con el software Quickfield [142]: se ha situado la punta de medida en una de las esquinas de la estructura con una tensión aplicada de 10V, y los eventos de ruptura se han situado

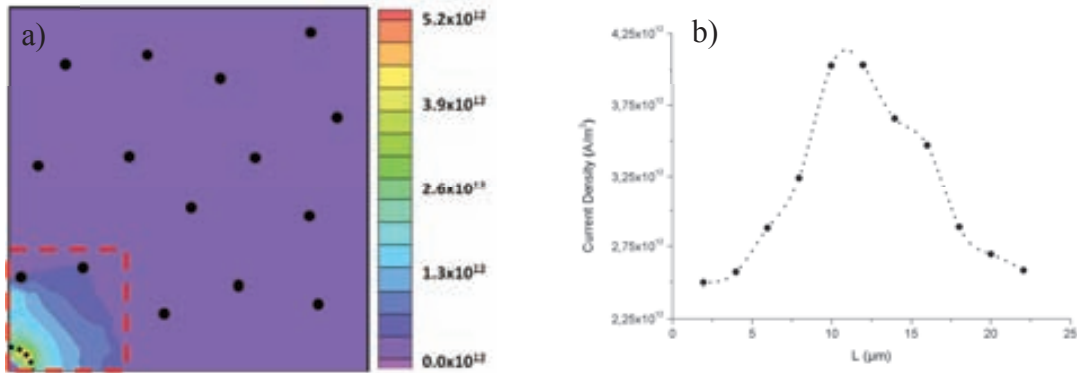
aleatoriamente en el dispositivo asociándoles una tensión de 0V para representar un cortocircuito perfecto con el electrodo inferior (ver Fig. 4.42a). Las condiciones de contorno necesarias para resolver la ecuación de *Poisson* son  $J_n = 0$  ( $J_n$  hace referencia a la componente normal de corriente con respecto del contorno del electrodo). Se ha definido la resistividad de la capa metálica en  $10^{-7}\Omega\text{m}$  [143].



**Fig. 4.41.** Análisis detallado de la distribución de eventos mostrada en la Fig. 4.35a en el caso de tener en consideración únicamente los eventos débiles. *a)* Histograma de distancias punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondiente a la misma área (rojo). *b)* Curva experimental (negro) y curva teórica (rojo) para la FDA de la distancia punto-a-evento. *c)* Histograma de ángulos punto-a-evento experimentales (negro) y FDP para el proceso CSR correspondiente a la misma área. *d)* Curva experimental (negro) y curva teórica (rojo) para la FDA del ángulo punto-a-evento. *e)* Estimador funcional  $K$  de Ripley en función de la distancia genérica  $s$ . *f)* función de correlación entre pares  $g$  en función de la distancia genérica  $s$ .



A partir de los resultados obtenidos de dicha simulación, se ha observado que la distribución de corriente exhibe un pico de corriente que coincide con la diagonal de la estructura (ver Fig. 4.42b): se interpreta que las líneas de corriente hacia esa dirección particular, y por tanto la disipación de potencia anisotrópica, pueden ser la principal razón que hay detrás de la mayor concentración de eventos débiles hacia el centro de la estructura. La distribución de potencial también presenta el mismo tipo de anisotropía.

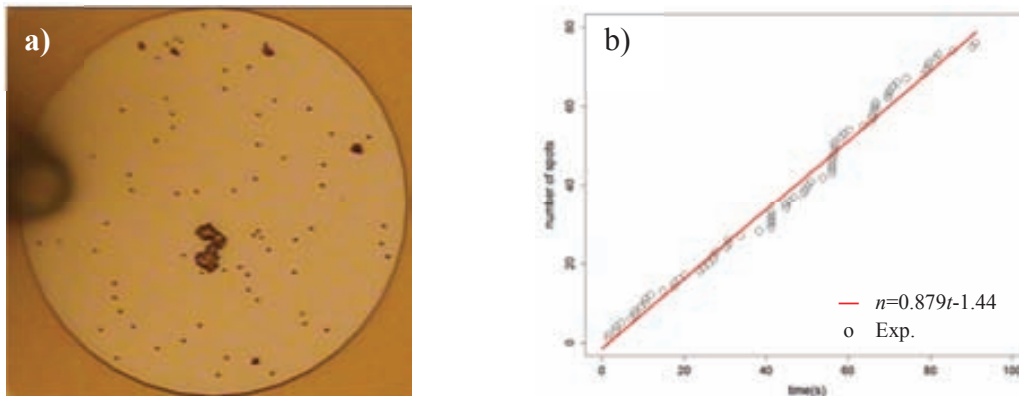


**Fig. 4.42.** Mapa de la densidad de corriente obtenido en una simulación realizada con el método de elementos finitos para una capacidad cuadrada de  $200\mu\text{m}$  de costado, como la del caso B.2. Los puntos negros representan 15 eventos de ruptura. La punta de medida se ha situado en una esquina inferior-izquierda del dispositivo. *b)* Perfil de densidad de corriente a lo largo de la línea discontinua mostrada en la esquina inferior-izquierda del cuadrado. El pico de corriente se sitúa en la diagonal del cuadrado.

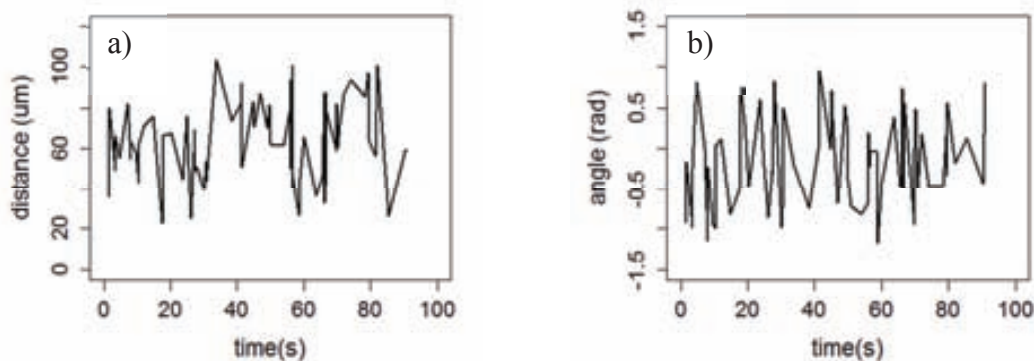
### Análisis punto-a-evento espacio-temporal

En el método propuesto también se propone realizar un análisis de las distribuciones de distancias y ángulos punto-a-evento desde un punto de vista espacio-temporal. Para ello, se utiliza el método presentado en el artículo D de esta tesis con la finalidad de registrar la situación de los eventos de ruptura en función del tiempo. Este análisis se ha realizado sobre una capacidad de  $112\mu\text{m}$  sometida a un CVS durante 90s a una tensión de  $-9\text{V}$  (ver Fig. 4.43a). En la Fig. 4.43b se muestra la tasa de generación de eventos en dicha capacidad en la que se dan un total de 78 eventos de ruptura con una intensidad media de  $\lambda=6.22 \cdot 10^{-3}$  puntos/ $\mu\text{m}^2$ . La tasa de generación observada parece constante con un valor de 0.88 eventos/s y se corresponde con un proceso de tipo *Poisson* homogéneo (HPP) en tiempo [144].

Las distribuciones de distancias y ángulos punto-a-evento en función del tiempo en el que se ha realizado el estrés CVS se observan en las Fig. 4.44b y c, respectivamente. En ningún caso se observa que haya alguna dependencia temporal ya que los datos fluctúan aleatoriamente alrededor de los valores esperados.



**Fig. 4.43.** a) Distribución de eventos de ruptura múltiples en la capacidad de área circular considerada en este estudio, de radio  $r=112\mu\text{m}$ . La silueta negra que se aprecia a la izquierda es la punta de medida. b) Generación de eventos de ruptura en función del tiempo de estrés para el CVS aplicado. Los símbolos representan los datos experimentales mientras que la línea sólida muestra la línea de tendencia ajustada con los datos.  $n$  y  $t$  hacen referencia al número de eventos y el tiempo, respectivamente.



**Fig. 4.44.** a) Distancia punto-a-evento de los eventos de ruptura generados en la capacidad mostrada en la Fig. 4.43 en función del tiempo de estrés. b) Ángulo punto-a-evento de los eventos generados en función del tiempo de estrés.

En el artículo del anexo B se propone también un estudio de la dependencia temporal en relación con la distribución espacial utilizando el campo residual suavizado (*smoothed residual field*) para el patrón de eventos mostrado en la Fig. 4.43a. Nótese que el campo residual suavizado se define como la diferencia entre el valor observado y el valor simulado ( $\text{error}=\text{observado}-\text{simulado}$ ). En dicho estudio se definen cuatro intervalos de análisis distintos para determinar si existe algún tipo de correlación entre los eventos independientemente del periodo de tiempo en el que se realice el análisis. Como resultado de dicho análisis se ha mostrado que los residuales se distribuyen uniformemente tal como se espera, indicando que en cada uno de los periodos de tiempo analizados la generación de eventos es de tipo CSR.

## 4.6. Conclusiones

A lo largo del capítulo, se han mostrado varios métodos para determinar desviaciones sobre patrones de tipo CSR en la caracterización de múltiples eventos de ruptura observados en el electrodo superior de capacidades MIM/MOS. Los patrones espaciales de eventos de ruptura han sido obtenidos a partir de la aplicación de estreses de tipo RVS o CVS. Para analizar estas desviaciones, se ha utilizado la librería Spatstat del software R, la cual permite realizar este análisis mediante varias funciones de estimación.

Así, se han presentado distintos métodos de análisis de patrones de puntos desde distintos puntos de vista. En el primer método mostrado, se ha realizado un análisis a partir de la estadística entre eventos vecinos de orden  $k$  mediante la utilización de dos estimadores funcionales que han permitido cuantificar las desviaciones observadas frente a procesos CSR. En las capacidades mostradas, estas desviaciones muestran un alejamiento de los bordes de la capacidad, mostrando cierta concentración al centro del dispositivo. El efecto mostrado sobre estas capacidades se hace más notable en capacidades grandes.

En el segundo método presentado, se muestra un método de caracterización de la fiabilidad de estructuras MIS/MIM en términos espacio-temporales que se basa en técnicas de procesamiento de imágenes. Esta técnica se limita a dispositivos en los que se puede observar ópticamente un patrón de eventos de ruptura mientras son sometidas a un estrés eléctrico. En las capacidades mostradas en este capítulo no se muestran desviaciones frente a procesos homogéneos de *Poisson* en el tiempo.

Finalmente, se presenta un tercer método de caracterización de eventos espaciales en función de la posición de la punta de medida. En este estudio se ha mostrado que después de un estrés eléctrico prolongado en ocasiones se han detectado desviaciones frente a un proceso CSR, las cuales se han atribuido a la concentración de líneas de corriente en el electrodo superior de la capacidad hacia el centro de la estructura. Pese a que este método se ha definido con la finalidad de que estudiar el efecto de la punta de medida, también puede extrapolarse a cualquier punto fijo de una ventana de observación circular o a cualquier punto fijo de la diagonal de ventanas cuadradas.

Los métodos descritos en este capítulo han dado lugar a la publicación de los mismos en los artículos C y D de este compendio de publicaciones, además del artículo presentado en el anexo B de esta tesis, el cual está pendiente de aceptación en la revista TDMR. Pese a que estos métodos son aplicables a todo tipo estructuras o sistemas de patrones espaciales de puntos bidimensionales, en el caso que nos ocupa, estos expanden los límites del análisis convencional de la fiabilidad en dieléctricos.



## 5. Conclusiones finales

La investigación desarrollada a lo largo de esta tesis ha girado en torno al estudio de la conducción filamentaria posterior al fenómeno de ruptura dieléctrica que se ha observado tanto en estructuras MIM como en estructuras MIS. El estudio de la conducción posterior a la ruptura ha ganado importancia en la actualidad en relación con la idea de utilizar el fenómeno de ruptura dieléctrica como principio de operación de dispositivos electrónicos, sobretodo en el campo de las memorias no volátiles. Como fruto de dicha investigación se han publicado en revistas científicas los cuatro artículos incluidos en esta tesis presentada por compendio de publicaciones, además de un quinto artículo que esta recientemente presentado en otra revista científica pero que aún está pendiente de ser aceptado. El trabajo presentado en esta memoria se ha dividido en un capítulo introductorio, en el que se describen los conceptos más relevantes que se hacen imprescindibles para poder situar al lector en el ámbito de la investigación desarrollada, además de tres capítulos que se han dividido según la fenomenología estudiada en cada uno de ellos, y el presente capítulo en el que se describen las conclusiones principales de este trabajo.

En el **segundo capítulo**, se muestran los resultados presentados en el artículo A en relación a la observación del fenómeno de *Threshold Switching* en capacidades MOS, el cual se asocia con el tamaño nanométrico del filamento conductor y con la inyección electrónica desde la banda de valencia del semiconductor. La conducción posterior a la ruptura se ha descrito en términos del modelo de contacto puntual cuántico [49, 50], mostrando en algunos casos la observación experimental de dos sub-bandas que contribuyen a la conducción en el estado de baja resistividad. Por otro lado, también se han presentado resultados no publicados en el artículo en referencia con cambios estructurales observados en el filamento conductor. En relación con estos cambios estructurales, la inestabilidad observada en el CF hace que las propiedades del TS sean difíciles de estudiar. Sin embargo, los resultados mostrados indican que este fenómeno debe de ser estudiado con mayor detalle por sus posibles aplicaciones en el desarrollo de nuevas celdas de memoria.

En el **tercer capítulo** se muestra la caracterización realizada sobre dos tipos de estructuras MIM, las cuales incluyen un electrodo de puerta y están diseñadas con el fin de demostrar el control por efecto de campo en caminos de ruptura dieléctrica. Primero, se describen los resultados sobre un tipo de estructura con importantes efectos de canal corto, en los que se muestra un leve efecto de campo sobre el camino de ruptura dieléctrica creado. Este dispositivo, también presenta una limitación en relación con el acoplamiento mutuo de los dos terminales entre los que se desea crear el camino dieléctrico, ya que es del mismo orden de magnitud que entre el electrodo de puerta y cada uno de estos dos. Los resultados sobre la caracterización de estas estructuras fueron publicados en el artículo B. Posteriormente, se describen los resultados sobre un

segundo tipo de estructuras diseñadas con la finalidad de mejorar los efectos de canal corto, así como los problemas encontrados con el acoplamiento entre terminales de las anteriores. En las segundas, se ha visto de forma repetitiva que existe influencia de la tensión aplicada en la puerta sobre la conducción en el camino dieléctrico creado. Pese a ello, se han apreciado transitorios relacionados con el atrapamiento/liberación de carga en el camino formado en la estructura que no permiten explicar con certeza el efecto observado. Para ello es necesario continuar con la investigación desarrollada en este capítulo.

En el **cuarto capítulo**, se describe el estudio realizado sobre eventos de ruptura múltiples observados en el electrodo superior de capacidades MIM y MIS como resultado de la aplicación de estreses de tipo RVS o CVS. El estudio realizado se ha realizado en términos de distribuciones espacio-temporales de los eventos de ruptura observados, de modo que se han presentado tres métodos de caracterización de distribuciones de eventos para determinar desviaciones frente a procesos puntuales de tipo CSR. Cabe destacar que estos métodos también pueden ser utilizados para otro tipo de patrones espaciales de puntos bidimensionales.

- En el primer método, publicado en el artículo C, se ha realizado un análisis de la estadística de eventos vecinos de orden  $k$  mediante el uso de estimadores funcionales. En las capacidades analizadas se han mostrado desviaciones en relación con un alejamiento de los bordes de la capacidad por parte de los eventos observados, dándose una mayor concentración en el centro de la misma.
- En el artículo D se presenta el segundo, en el que se presenta un método de caracterización espacio-temporal basado en técnicas de procesado de imágenes, útil en dispositivos en los que se puede observar un patrón de eventos ópticamente. En las capacidades analizadas no se ha mostrado ninguna desviación frente a procesos de tipo CSR.
- El tercer y último método, presenta una técnica de caracterización de eventos espaciales en función de la localización de la punta de medida, aunque también puede utilizarse para realizar un análisis en función de cualquier otro punto de interés dentro de la ventana de observación. Como resultado de la aplicación de dicho método se han detectado desviaciones frente a un CSR en capacidades sometidas a un estrés eléctrico prolongado que se han relacionado con la concentración de líneas de corriente hacia el centro de la estructura. Este método ha sido presentado para su publicación aunque actualmente está pendiente de ser aceptado por los revisores. Por este motivo no ha sido incluido en el compendio de publicaciones aunque sí en este manuscrito.

## 6. Referencias

- [1] Available: <http://www.intel.com/research/silicon>
- [2] E. Y. Wu, J. Suñé, W. Lai, A. Vayshenker, E. Nowak, and D. Harmon, "Critical reliability challenges in scaling SiO<sub>2</sub>-based dielectric to its limit," *Microelectronics Reliability*, vol. 43, pp. 1175-1184, 2003.
- [3] L. Yung-Huei, N. Mielke, W. McMahon, L. Yin-Lung Ryan, and P. Sangwoo, "Thin-Gate-Oxide Breakdown and CPU Failure-Rate Estimation," *Device and Materials Reliability, IEEE Transactions on*, vol. 7, pp. 74-83, 2007.
- [4] S. Lombardo, J. H. Stathis, B. P. Linder, K. L. Pey, F. Palumbo, and C. H. Tung, "Dielectric breakdown mechanisms in gate oxides," *Journal of Applied Physics*, vol. 98, pp. -, 2005.
- [5] D. A. Muller, T. Sorsch, S. Moccio, F. H. Baumann, K. Evans-Lutterodt, and G. Timp, "The electronic structure at the atomic scale of ultrathin gate oxides," *Nature*, vol. 399, pp. 758-761, 1999.
- [6] International Technology Roadmap for Semiconductors. Available: <http://www.itrs.net>
- [7] G. E. Moore, "Progress in digital integrated electronics," in *Electron Devices Meeting, 1975 International*, 1975, pp. 11-13.
- [8] Update Overview. International Technology Roadmap for Semiconductors, 2012. Available: <http://www.itrs.net/>
- [9] J. Robertson, "High dielectric constant oxides," *The European Physical Journal - Applied Physics*, vol. 28, pp. 265-291, 2004.
- [10] D. J. Dumin, *Oxide reliability: a summary of silicon oxide wearout, breakdown, and reliability*, 2002.
- [11] G. D. Wilk, R. M. Wallace, and J. M. Anthony, "High- $\kappa$  gate dielectrics: Current status and materials properties considerations," *Journal of Applied Physics*, vol. 89, pp. 5243-5275, 2001.
- [12] Q. Wen-Jie, N. Renee, L. Byoung Hun, K. Laegu, J. Yongjoo, K. Onishi, T. Ngai, S. Banerjee, and J. C. Lee, "MOSCAP and MOSFET characteristics using ZrO<sub>2</sub>/gate dielectric deposited directly on Si," in *Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International*, 1999, pp. 145-148.
- [13] A. Chin, Y. H. Wu, S. B. Chen, C. C. Liao, and W. J. Chen, "High quality La<sub>2</sub>O<sub>3</sub> and Al<sub>2</sub>O<sub>3</sub> gate dielectrics with equivalent oxide thickness 5-10 nm," in *VLSI Technology, 2000. Digest of Technical Papers. 2000 Symposium on*, 2000, pp. 16-17.
- [14] L. Ragnarsson, S. Guha, M. Copel, E. Cartier, N. A. Bojarczuk, and J. Karasinski, "Molecular-beam-deposited yttrium-oxide dielectrics in aluminum-gated metal-oxide-semiconductor field-effect transistors: Effective electron mobility," *Applied Physics Letters*, vol. 78, pp. 4169-4171, 2001.



- [15] Y. H. Wu, M. Y. Yang, A. Chin, W. J. Chen, and C. M. Kwei, "Electrical characteristics of high quality  $\text{La}_2\text{O}_3$  gate dielectric with equivalent oxide thickness of 5  $\text{\AA}$ ," *Electron Device Letters, IEEE*, vol. 21, pp. 341-343, 2000.
- [16] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C. H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, and K. Zawadzki, "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging," in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 247-250.
- [17] C. H. Jan, M. Agostinelli, M. Buehler, Z. P. Chen, S. J. Choi, G. Curello, H. Deshpande, S. Gannavaram, W. Hafez, U. Jalan, M. Kang, P. Kolar, K. Komeyli, B. Landau, A. Lake, N. Lazo, S. H. Lee, T. Leo, J. Lin, N. Lindert, S. Ma, L. McGill, C. Meining, A. Paliwal, J. Park, K. Phoa, I. Post, N. Pradhan, M. Prince, A. Rahman, J. Rizk, L. Rockford, G. Sacks, A. Schmitz, H. Tashiro, C. Tsai, P. Vandervoorn, J. Xu, L. Yang, J. Y. Yeh, J. Yip, K. Zhang, Y. Zhang, and P. Bai, "A 32nm SoC platform technology with 2<sup>nd</sup> generation high-k/metal gate transistors optimized for ultra low power, high performance, and high density product applications," in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, pp. 1-4.
- [18] G. M. Rignanese, "Dielectric properties of crystalline and amorphous transition metal oxides and silicates as potential high- $\kappa$  candidates: the contribution of density-functional theory," *Journal of Physics: Condensed Matter*, vol. 17, p. R357, 2005.
- [19] L. Kang, L. Byoung Hun, W.-J. Qi, Y. Jeon, R. Nieh, S. Gopalan, K. Onishi, and J. C. Lee, "Electrical characteristics of highly reliable ultrathin hafnium oxide gate dielectric," *Electron Device Letters, IEEE*, vol. 21, pp. 181-183, 2000.
- [20] G. D. Wilk, R. M. Wallace, and J. M. Anthony, "Hafnium and zirconium silicates for advanced gate dielectrics," *Journal of Applied Physics*, vol. 87, pp. 484-492, 2000.
- [21] J. W. McPherson and H. C. Mogul, "Underlying physics of the thermochemical E model in describing low-field time-dependent dielectric breakdown in  $\text{SiO}_2$  thin films," *Journal of Applied Physics*, vol. 84, pp. 1513-1523, 1998.
- [22] H. Chenming and L. Qiang, "A unified gate oxide reliability model," in *Reliability Physics Symposium Proceedings, 1999. 37th Annual. 1999 IEEE International*, 1999, pp. 47-51.
- [23] J. Sune and E. Wu, "A new quantitative hydrogen-based model for ultra-thin oxide breakdown," in *VLSI Technology, 2001. Digest of Technical Papers. 2001 Symposium on*, 2001, pp. 97-98.



- [24] J. Suñé, I. Placencia, N. Barniol, E. Farrés, F. Martín, and X. Aymerich, "On the breakdown statistics of very thin SiO<sub>2</sub> films," *Thin Solid Films*, vol. 185, pp. 347-362, 1990.
- [25] A. W. Strong, E. Y. Wu, R.-P. Vollertsen, J. Sune, G. La Rosa, T. D. Sullivan, and S. E. Rauch III, *Reliability wearout mechanisms in advanced CMOS technologies* vol. 12: John Wiley & Sons, 2009.
- [26] J. H. Stathis, "Percolation models for gate oxide breakdown," *Journal of Applied Physics*, vol. 86, pp. 5757-5766, 1999.
- [27] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, and H. E. Maes, "A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides," in *Electron Devices Meeting, 1995. IEDM '95., International, 1995*, pp. 863-866.
- [28] K. Okada, S. Kawasaki, and Hirofuji, "New experimental findings on stress induced leakage current of ultra-thin oxide silicon oxides " *Extended abstracts of the 1994 International Conference on Solid State Devices and Materials*, pp. 565-567, 1994.
- [29] E. Miranda, J. Sune, R. Rodriguez, M. Nafria, X. Aymerich, L. Fonseca, and F. Campabadal, "Soft breakdown conduction in ultrathin (3-5 nm) gate dielectrics," *Electron Devices, IEEE Transactions on*, vol. 47, pp. 82-89, 2000.
- [30] M. Depas, T. Nigam, and M. M. Heyns, "Soft breakdown of ultra-thin gate oxide layers," *Electron Devices, IEEE Transactions on*, vol. 43, pp. 1499-1504, 1996.
- [31] B. E. Weir, P. J. Silverman, D. Monroe, K. S. Krisch, M. A. Alam, G. B. Alers, T. W. Sorsch, G. L. Timp, F. Baumann, C. T. Liu, Y. Ma, and D. Hwang, "Ultra-thin gate dielectrics: they break down, but do they fail?," in *Electron Devices Meeting, 1997. IEDM '97. Technical Digest., International, 1997*, pp. 73-76.
- [32] E. Miranda, J. Suñé, R. Rodríguez, M. Nafria, and X. Aymerich, "A common framework for soft and hard breakdown in ultrathin oxides based on the theory of point contact conduction," *Microelectronic Engineering*, vol. 48, pp. 171-174, 1999.
- [33] H. C. Lin, D. Y. Lee, C. Y. Lee, T. S. Chao, T. Y. Huang, and T. Wang, "New insights into breakdown modes and their evolution in ultra-thin gate oxide," in *VLSI Technology, Systems, and Applications, 2001. Proceedings of Technical Papers. 2001 International Symposium on*, 2001, pp. 37-40.
- [34] J. Suñé, E. Miranda, M. Nafria, and X. Aymerich, "Modeling the breakdown spots in silicon dioxide films as point contacts," *Applied Physics Letters*, vol. 75, pp. 959-961, 1999.
- [35] F. Monsieur, E. Vincent, D. Roy, S. Bruyere, J. C. Vildeuil, G. Pananakakis, and G. Ghibaudo, "A thorough investigation of progressive breakdown in ultra-thin oxides. Physical understanding and application for industrial reliability assessment," in *Reliability Physics Symposium Proceedings, 2002. 40th Annual, 2002*, pp. 45-54.

- [36] B. P. Linder, S. Lombardo, J. H. Stathis, A. Vayshenker, and D. J. Frank, "Voltage dependence of hard breakdown growth and the reliability implication in thin dielectrics," *Electron Device Letters, IEEE*, vol. 23, pp. 661-663, 2002.
- [37] F. Monsieur, E. Vincent, G. Pananakakis, and G. Ghibaudo, "Wear-out, breakdown occurrence and failure detection in 18–25 Å ultrathin oxides," *Microelectronics Reliability*, vol. 41, pp. 1035-1039, 2001.
- [38] D. J. Dumin, J. R. Maddux, R. Subramoniam, R. S. Scott, and D. P. Wong, "The use of low-level pre-tunneling currents to characterize thin oxide wearout and breakdown," in *Microelectronic Test Structures, 1993. ICMTS 1993. Proceedings of the 1993 International Conference on*, 1993, pp. 189-194.
- [39] L. Seok-Hee, C. Byung-Jin, K. Jong-Choul, and C. Soo-Han, "Quasi-breakdown of ultrathin gate oxide under high field stress," in *Electron Devices Meeting, 1994. IEDM '94. Technical Digest., International*, 1994, pp. 605-608.
- [40] K. M. F. Shahil, M. N. Arafat, Q. D. M. Khosru, and M. R. Khan, "Modeling of Post Soft Breakdown Conduction through Ultrathin High-k Gate Dielectrics," in *Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference on*, 2007, pp. 177-180.
- [41] H. Satake, "Soft breakdown phenomena in high-k gate dielectrics," *Physics and Technology high-k gate dielectrics II*, vol. 2003, pp. 301-318, 2003.
- [42] S. J. Lee, C. H. Lee, C. H. Choi, and D. L. Kwong, "Time-dependent dielectric breakdown in poly-Si CVD HfO<sub>2</sub> gate stack," in *Reliability Physics Symposium Proceedings, 2002. 40th Annual*, 2002, pp. 409-414.
- [43] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, and G. Ghibaudo, "Review on high-k dielectrics reliability issues," *Device and Materials Reliability, IEEE Transactions on*, vol. 5, pp. 5-19, 2005.
- [44] J. Sune, "New physics-based analytic approach to the thin-oxide breakdown statistics," *Electron Device Letters, IEEE*, vol. 22, pp. 296-298, 2001.
- [45] D. Wolters and J. Van der Schoot, "Dielectric breakdown in MOS devices, Part I: Defect-related and intrinsic breakdown," *Philips J. Res*, vol. 40, pp. 115-136, 1985.
- [46] S. Lombardo, A. La Magna, C. Spinella, C. Gerardi, and F. Crupi, "Degradation and hard breakdown transient of thin gate oxides in metal–SiO<sub>2</sub>–Si capacitors: Dependence on oxide thickness," *Journal of Applied Physics*, vol. 86, pp. 6382-6391, 1999.
- [47] R. P. Vollertsen, "Thin dielectric reliability assessment for DRAM technology with deep trench storage node," *Microelectronics Reliability*, vol. 43, pp. 865-878, 2003.
- [48] Scanning Probe/Atomic Force Microscopy: Technology Overview and Update. *Veeco Instruments Inc.* Available: <http://www.veeco.com>
- [49] J. Sune, E. Miranda, M. Nafria, and X. Aymerich, "Point contact conduction at the oxide breakdown of MOS devices," in *Electron Devices Meeting, 1998. IEDM '98. Technical Digest., International*, 1998, pp. 191-194.

- [50] J. Sune and E. Miranda, "Post soft breakdown conduction in SiO<sub>2</sub>/sub 2/ gate oxides," in *Electron Devices Meeting, 2000. IEDM '00. Technical Digest. International*, 2000, pp. 533-536.
- [51] A. Pirovano, A. L. Lacaita, A. Benvenuti, F. Pellizzer, and R. Bez, "Electronic switching in phase-change memories," *Electron Devices, IEEE Transactions on*, vol. 51, pp. 452-459, 2004.
- [52] D. Ielmini, A. L. Lacaita, A. Pirovano, F. Pellizzer, and R. Bez, "Analysis of phase distribution in phase-change nonvolatile memories," *Electron Device Letters, IEEE*, vol. 25, pp. 507-509, 2004.
- [53] A. Redaelli, A. Pirovano, F. Pellizzer, A. L. Lacaita, D. Ielmini, and R. Bez, "Electronic switching effect and phase-change transition in chalcogenide materials," *Electron Device Letters, IEEE*, vol. 25, pp. 684-686, 2004.
- [54] D. Ielmini, D. Mantegazza, A. L. Lacaita, A. Pirovano, and F. Pellizzer, "Switching and programming dynamics in phase-change memory cells," *Solid-State Electronics*, vol. 49, pp. 1826-1832, 2005.
- [55] D. Ielmini, C. Cagli, and F. Nardi, "Resistance transition in metal oxides induced by electronic threshold switching," *Applied Physics Letters*, vol. 94, pp. -, 2009.
- [56] A. C. Warren, "Reversible thermal breakdown as a switching mechanism in chalcogenide glasses," *Electron Devices, IEEE Transactions on*, vol. 20, pp. 123-131, 1973.
- [57] D. Adler, M. S. Shur, M. Silver, and S. R. Ovshinsky, "Threshold switching in chalcogenide-glass thin films," *Journal of Applied Physics*, vol. 51, pp. 3289-3309, 1980.
- [58] V. G. Karpov, Y. A. Kryukov, S. D. Savransky, and I. V. Karpov, "Nucleation switching in phase change memory," *Applied Physics Letters*, vol. 90, pp. -, 2007.
- [59] D. Emin, "Current-driven threshold switching of a small polaron semiconductor to a metastable conductor," *Physical Review B*, vol. 74, p. 035206, 2006.
- [60] D. Ielmini and Y. Zhang, "Analytical model for subthreshold conduction and threshold switching in chalcogenide-based memory devices," *Journal of Applied Physics*, vol. 102, pp. -, 2007.
- [61] D. Ielmini, "Threshold switching mechanism by high-field energy gain in the hopping transport of chalcogenide glasses," *Physical Review B*, vol. 78, p. 035308, 2008.
- [62] R. Waser, R. Dittmann, G. Staikov, and K. Szot, "Redox-Based Resistive Switching Memories – Nanoionic Mechanisms, Prospects, and Challenges," *Advanced Materials*, vol. 21, pp. 2632-2663, 2009.
- [63] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," *Nature*, vol. 453, pp. 80-83, 2008.
- [64] S. Puthentheradam, D. Schroder, and M. Kozicki, "Inherent diode isolation in programmable metallization cell resistive memory elements," *Applied Physics A*, vol. 102, pp. 817-826, 2011/03/01 2011.

- [65] E. Linn, R. Rosezin, C. Kugeler, and R. Waser, "Complementary resistive switches for passive nanocrossbar memories," *Nat Mater*, vol. 9, pp. 403-406, 2010.
- [66] S. Q. Liu, N. J. Wu, and A. Ignatiev, "Electric-pulse-induced reversible resistance change effect in magnetoresistive films," *Applied Physics Letters*, vol. 76, pp. 2749-2751, 2000.
- [67] A. Beck, J. G. Bednorz, C. Gerber, C. Rossel, and D. Widmer, "Reproducible switching effect in thin oxide films for memory applications," *Applied Physics Letters*, vol. 77, pp. 139-141, 2000.
- [68] Y. Watanabe, J. G. Bednorz, A. Bietsch, C. Gerber, D. Widmer, A. Beck, and S. J. Wind, "Current-driven insulator-conductor transition and nonvolatile memory in chromium-doped SrTiO<sub>3</sub> single crystals," *Applied Physics Letters*, vol. 78, pp. 3738-3740, 2001.
- [69] I. G. Baek, M. S. Lee, S. Seo, M. J. Lee, D. H. Seo, D. S. Suh, J. C. Park, S. O. Park, T. I. Kim, I. K. Yoo, U. i. Chung, and J. T. Moon, "Highly scalable nonvolatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses," in *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 587-590.
- [70] J. F. Gibbons and W. E. Beadle, "Switching properties of thin Nio films," *Solid-State Electronics*, vol. 7, pp. 785-790, 1964.
- [71] B. J. Choi, D. S. Jeong, S. K. Kim, C. Rohde, S. Choi, J. H. Oh, H. J. Kim, C. S. Hwang, K. Szot, R. Waser, B. Reichenberg, and S. Tiedke, "Resistive switching mechanism of TiO<sub>2</sub> thin films grown by atomic-layer deposition," *Journal of Applied Physics*, vol. 98, pp. -, 2005.
- [72] C. An, S. Haddad, W. Yi-Ching, F. Tzu-Ning, L. Zhida, S. Avanzino, S. Pangrle, M. Buynoski, M. Rathor, C. Wei, N. Tripsas, C. Bill, M. VanBuskirk, and M. Taguchi, "Non-volatile resistive switching for advanced memory applications," in *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*, 2005, pp. 746-749.
- [73] H. Akinaga, H. Shima, F. Takano, I. H. Inoue, and H. Takagi, "Resistive switching effect in metal/insulator/metal heterostructures and its application for non-volatile memory," *IEEJ Transactions on Electrical and Electronic Engineering*, vol. 2, pp. 453-457, 2007.
- [74] E. Lörtscher, J. W. Ciszek, J. Tour, and H. Riel, "Reversible and Controllable Switching of a Single-Molecule Junction," *Small*, vol. 2, pp. 973-977, 2006.
- [75] L. Esaki, R. B. Laibowitz, and P. J. Stiles, *IBM Technical Disclosure Bulletin*, vol. 13, p. 2161, 1971.
- [76] E. Y. Tsybal and H. Kohlstedt, "Tunneling Across a Ferroelectric," *Science*, vol. 313, pp. 181-183, July 14, 2006 2006.
- [77] M. Wuttig and N. Yamada, "Phase-change materials for rewriteable data storage," *Nat Mater*, vol. 6, pp. 824-832, 2007.
- [78] D. Ielmini and A. L. Lacaita, "Phase change materials in non-volatile storage," *Materials Today*, vol. 14, pp. 600-607, 2011.

- [79] A. Sawa, "Resistive switching in transition metal oxides," *Materials Today*, vol. 11, pp. 28-36, 2008.
- [80] I. Valov, R. Waser, J. R. Jameson, and M. N. Kozicki, "Electrochemical metallization memories—fundamentals, applications, prospects," *Nanotechnology*, vol. 22, p. 254003, 2011.
- [81] K. M. Kim, D. S. Jeong, and C. S. Hwang, "Nanofilamentary resistive switching in binary oxide system; a review on the present status and outlook," *Nanotechnology*, vol. 22, p. 254002, 2011.
- [82] K. Szot, M. Rogala, W. Speier, Z. Klusek, A. Besmehn, and R. Waser, "TiO<sub>2</sub>—a prototypical memristive material," *Nanotechnology*, vol. 22, p. 254001, 2011.
- [83] D. Ielmini, R. Bruchhaus, and R. Waser, "Thermochemical resistive switching: materials, mechanisms, and scaling projections," *Phase Transitions*, vol. 84, pp. 570-602, 2011/07/01 2011.
- [84] H. Pagnia and N. Sotnik, "Bistable switching in electroformed metal–insulator–metal devices," *physica status solidi (a)*, vol. 108, pp. 11-65, 1988.
- [85] F. A. Chudnovskii, L. L. Odynets, A. L. Pergament, and G. B. Stefanovich, "Electroforming and Switching in Oxides of Transition Metals: The Role of Metal–Insulator Transition in the Switching Mechanism," *Journal of Solid State Chemistry*, vol. 122, pp. 95-99, 1996.
- [86] G. Dearnaley, A. M. Stoneham, and D. V. Morgan, "Electrical phenomena in amorphous oxide films," *Reports on Progress in Physics*, vol. 33, p. 1129, 1970.
- [87] S. R. Ovshinsky, "Reversible Electrical Switching Phenomena in Disordered Structures," *Physical Review Letters*, vol. 21, pp. 1450-1453, 1968.
- [88] S. Lavizzari, D. Ielmini, and A. L. Lacaita, "Transient Simulation of Delay and Switching Effects in Phase-Change Memories," *Electron Devices, IEEE Transactions on*, vol. 57, pp. 3257-3264, 2010.
- [89] K. DerChang, S. Tang, I. V. Karpov, R. Dodge, B. Klehn, J. A. Kalb, J. Strand, A. Diaz, N. Leung, J. Wu, S. Lee, T. Langtry, C. Kuo-wei, C. Papagianni, L. Jinwook, J. Hirst, S. Erra, E. Flores, N. Righos, H. Castro, and G. Spadini, "A stackable cross point Phase Change Memory," in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, pp. 1-4.
- [90] F. Pan, C. Chen, Z.-s. Wang, Y.-c. Yang, J. Yang, and F. Zeng, "Nonvolatile resistive switching memories-characteristics, mechanisms and challenges," *Progress in Natural Science: Materials International*, vol. 20, pp. 1-15, 2010.
- [91] S. H. Chang, S. C. Chae, S. B. Lee, C. Liu, T. W. Noh, J. S. Lee, B. Kahng, J. H. Jang, M. Y. Kim, D.-W. Kim, and C. U. Jung, "Effects of heat dissipation on unipolar resistance switching in PtNiO/Pt capacitors," *Applied Physics Letters*, vol. 92, pp. -, 2008.
- [92] J.-W. Park, J.-W. Park, K. Jung, M. K. Yang, and J.-K. Lee, "Influence of oxygen content on electrical properties of NiO films grown by rf reactive sputtering for resistive random-access memory applications," *Journal of Vacuum Science & Technology B*, vol. 24, pp. 2205-2208, 2006.



- [93] S. Seo, M. J. Lee, D. H. Seo, E. J. Jeoung, D.-S. Suh, Y. S. Joung, I. K. Yoo, I. R. Hwang, S. H. Kim, I. S. Byun, J.-S. Kim, J. S. Choi, and B. H. Park, "Reproducible resistance switching in polycrystalline NiO films," *Applied Physics Letters*, vol. 85, pp. 5655-5657, 2004.
- [94] K. Jung, J. Choi, Y. Kim, H. Im, S. Seo, R. Jung, D. Kim, J.-S. Kim, B. H. Park, and J. P. Hong, "Resistance switching characteristics in Li-doped NiO," *Journal of Applied Physics*, vol. 103, pp. -, 2008.
- [95] S. H. Chang, J. S. Lee, S. C. Chae, S. B. Lee, C. Liu, B. Kahng, D. W. Kim, and T. W. Noh, "Occurrence of Both Unipolar Memory and Threshold Resistance Switching in a NiO Film," *Physical Review Letters*, vol. 102, p. 026801, 2009.
- [96] I. Hwang, M.-J. Lee, G.-H. Buh, J. Bae, J. Choi, J.-S. Kim, S. Hong, Y. S. Kim, I.-S. Byun, S.-W. Lee, S.-E. Ahn, B. S. Kang, S.-O. Kang, and B. H. Park, "Resistive switching transition induced by a voltage pulse in a Pt/NiO/Pt structure," *Applied Physics Letters*, vol. 97, pp. -, 2010.
- [97] F. Campabadal, J. M. Rafi, M. Zabala, O. Beldarrain, A. Faigón, H. Castán, A. Gómez, H. García, and S. Dueñas, "Electrical characteristics of metal-insulator-semiconductor structures with atomic layer deposited Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, and nanolaminates on different silicon substrates," *Journal of Vacuum Science & Technology B*, vol. 29, pp. -, 2011.
- [98] L. I. Glazman and A. V. Khaetskii, "Nonlinear Quantum Conductance of a Lateral Microconstraint in a Heterostructure," *EPL (Europhysics Letters)*, vol. 9, p. 263, 1989.
- [99] X. Zhu, W. Su, Y. Liu, B. Hu, L. Pan, W. Lu, J. Zhang, and R.-W. Li, "Observation of Conductance Quantization in Oxide-Based Resistive Switching Memory," *Advanced Materials*, vol. 24, pp. 3941-3946, 2012.
- [100] E. A. Miranda, C. Walczyk, C. Wenger, and T. Schroeder, "Model for the resistive switching effect in HfO<sub>2</sub> MIM structures based on the transmission properties of narrow constrictions," *Electron Device Letters, IEEE*, vol. 31, pp. 609-611, 2010.
- [101] R. Degraeve, P. Roussel, L. Goux, D. Wouters, J. Kittl, L. Altimime, M. Jurczak, and G. Groeseneken, "Generic learning of TDDDB applied to RRAM for improved understanding of conduction and switching mechanism through multiple filaments," in *Electron Devices Meeting (IEDM), 2010 IEEE International*, 2010, pp. 28.4.1-28.4.4.
- [102] F.-C. Chiu, "A Review on Conduction Mechanisms in Dielectric Films," *Advances in Materials Science and Engineering*, vol. 2014, p. 18, 2014.
- [103] X. Saura, "Diseño y fabricación de estructuras nanoelectrónicas para el estudio del efecto de campo sobre caminos de ruptura dieléctrica," *Trabajo final del Máster en Ingeniería Micro y Nanoelectrónica impartido en la Universitat Autònoma de Barcelona*, 2011.
- [104] D. K. Ferry, "Nanowires in Nanoelectronics," *Science*, vol. 319, pp. 579-580, February 1, 2008 2008.
- [105] G. S. Duesberg, A. P. Graham, F. Kreupl, M. Liebau, R. Seidel, E. Unger, and W. Hoenlein, "Ways towards the scaleable integration of carbon nanotubes into

- silicon based technology," *Diamond and Related Materials*, vol. 13, pp. 354-361, 2004.
- [106] M. Koyanagi, T. Nakamura, Y. Yamada, H. Kikuchi, T. Fukushima, T. Tanaka, and H. Kurino, "Three-Dimensional Integration Technology Based on Wafer Bonding With Vertical Buried Interconnections," *Electron Devices, IEEE Transactions on*, vol. 53, pp. 2799-2808, 2006.
- [107] R. Chau, S. Datta, M. Doczy, B. Doyle, B. Jin, J. Kavalieros, A. Majumdar, M. Metz, and M. Radosavljevic, "Benchmarking nanotechnology for high-performance and low-power logic transistor applications," *Nanotechnology, IEEE Transactions on*, vol. 4, pp. 153-158, 2005.
- [108] D. K. Ferry, "Quo Vadis Nanoelectronics?," *physica status solidi (c)*, vol. 5, pp. 17-22, 2008.
- [109] E. Miranda and J. Suñé, "Electron transport through broken down ultra-thin SiO<sub>2</sub> layers in MOS devices," *Microelectronics Reliability*, vol. 44, pp. 1-23, 2004.
- [110] M. Sanna, "Electrical Characterization of breakdown nanowires-based voltage controllable antifuse devices (BD-NW-AF)," *Master Degree thesis in Electronic Engineering at University of Cagliari in collaboration with the Universitat Autònoma de Barcelona*, 2010.
- [111] T. Bearda, P. H. Woerlee, H. Wallinga, and M. M. Heyns, "Charge transport after hard breakdown in gate oxides," *Japanese Journal of Applied Physics, Part 1: Regular papers, brief communications, and review papers*, vol. 41, pp. 2431-2436, 2002.
- [112] Y. Ran-Hong, A. Ourmazd, and K. F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk," *Electron Devices, IEEE Transactions on*, vol. 39, pp. 1704-1710, 1992.
- [113] J.-P. Colinge, "Multiple-gate SOI MOSFETs," *Solid-State Electronics*, vol. 48, pp. 897-905, 2004.
- [114] X. Li, C. H. Tung, and K. L. Pey, "The radial distribution of defects in a percolation path," *Applied Physics Letters*, vol. 93, pp. -, 2008.
- [115] K. Fujiwara, T. Yajima, Y. Nakamura, M. J. Rozenberg, and H. Takagi, "Electrode-Geometry Control of the Formation of a Conductive Bridge in Oxide Resistance Switching Devices," *Applied Physics Express*, vol. 2, p. 081401, 2009.
- [116] K. Fujiwara, T. Nemoto, M. J. Rozenberg, Y. Nakamura, and H. Takagi, "Resistance Switching and Formation of a Conductive Bridge in Metal/Binary Oxide/Metal Structure for Memory Devices," *Japanese Journal of Applied Physics*, vol. 47, p. 6266, 2008.
- [117] S. Long, L. Perniola, C. Cagli, J. Buckley, X. Lian, E. Miranda, F. Pan, M. Liu, and J. Suñé, "Voltage and Power-Controlled Regimes in the Progressive Unipolar RESET Transition of HfO<sub>2</sub>-Based RRAM," *Sci. Rep.*, vol. 3, 2013.
- [118] A. Rahman, J. Wang, J. Guo, M. S. Hasan, Y. Liu, A. Matsudaira, S. S. Ahmed, S. Datta, and M. Lundstrom, "FETToy," ed, 2011.



- [119] A. Rahman, J. Guo, S. Datta, and M. S. Lundstrom, "Theory of ballistic nanotransistors," *Electron Devices, IEEE Transactions on*, vol. 50, pp. 1853-1864, 2003.
- [120] D. Jiménez, J. J. Sáenz, B. Iñíguez, J. Suñé, L. F. Marsal, and J. Pallarès, "Unified compact model for the ballistic quantum wire and quantum well metal-oxide-semiconductor field-effect-transistor," *Journal of Applied Physics*, vol. 94, pp. 1061-1068, 2003.
- [121] D. Jimenez, J. J. Saenz, B. Iñiguez, J. Sune, L. F. Marsal, Pallare, x, and J. s, "Modeling of nanoscale gate-all-around MOSFETs," *Electron Device Letters, IEEE*, vol. 25, pp. 314-316, 2004.
- [122] S. Huth, O. Breitenstein, A. Huber, and U. Lambert, "Localization of gate oxide integrity defects in silicon metal-oxide-semiconductor structures with lock-in IR thermography," *Journal of Applied Physics*, vol. 88, pp. 4000-4003, 2000.
- [123] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, "Statistically independent soft breakdowns redefine oxide reliability specifications," in *Electron Devices Meeting, 2002. IEDM '02. International*, 2002, pp. 151-154.
- [124] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, "Thin dielectric films: Uncorrelated breakdown of integrated circuits," *Nature*, vol. 420, pp. 378-378, 2002.
- [125] M. A. Alam and R. K. Smith, "A phenomenological theory of correlated multiple soft-breakdown events in ultra-thin gate dielectrics," in *Reliability Physics Symposium Proceedings, 2003. 41st Annual. 2003 IEEE International*, 2003, pp. 406-411.
- [126] J. Illian, A. Penttinen, H. Stoyan, and D. Stoyan, *Statistical analysis and modelling of spatial point patterns* vol. 70: John Wiley & Sons, 2008.
- [127] A. Baddeley, "Analysing spatial point patterns in R," Technical report, CSIRO, 2010. Version 4. Available at [www.csiro.au/resources/pf16h.html](http://www.csiro.au/resources/pf16h.html) 2008.
- [128] P. Diggle, "Spatial analysis of spatial point patterns," *Arnold*, 2003.
- [129] J. Sune and E. Y. Wu, "Statistics of successive breakdown events in gate oxides," *Electron Device Letters, IEEE*, vol. 24, pp. 272-274, 2003.
- [130] E. Miranda, E. O'Connor, and P. K. Hurley, "Analysis of the breakdown spots spatial distribution in large area MOS structures," in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, 2010, pp. 775-777.
- [131] E. Miranda, D. Jiménez, J. Suñé, apos, E. Connor, S. Monaghan, I. Povey, K. Cherkaoui, and P. K. Hurley, "Nonhomogeneous spatial distribution of filamentary leakage current paths in circular area Pt/HfO<sub>2</sub>/Pt capacitors," *Journal of Vacuum Science & Technology B*, vol. 31, pp. -, 2013.
- [132] E. Miranda, D. Jimenez, J. Sune, E. O'Connor, S. Monaghan, K. Cherkaoui, and P. K. Hurley, "Spatial statistics for micro/nanoelectronics and materials science," in *Microelectronics (MIEL), 2012 28th International Conference on*, 2012, pp. 23-30.
- [133] A. Baddeley and R. Turner, "Spatstat: an R package for analyzing spatial point patterns," *Journal of statistical software*, vol. 12, pp. 1-42, 2005.
- [134] Spatstat library for R language. Available: <http://www.r-project.org/>

- [135] A. Mathai, P. Moschopoulos, and G. Pederzoli, "Random points associated with rectangles," *Rendiconti del Circolo Matematico di Palermo*, vol. 48, pp. 163-190, 1999.
- [136] B. D. Ripley, "Modelling spatial patterns," *Journal of the Royal Statistical Society. Series B (Methodological)*, pp. 172-212, 1977.
- [137] Camtasia Studio. Available: <http://www.techsmith.com/camtasia.html/>
- [138] G3data software. Available: <http://www.frantz.fi/software/g3data.php/>
- [139] D. Moix, "Caracterización espacio-temporal de eventos de ruptura en estructuras MIM," *Trabajo final de carrera en Ingeniería de Telecomunicaciones en la Universitat Autònoma de Barcelona*, 2012.
- [140] Open source computer vision library. Available: <http://opencv.org/>
- [141] J. M. Loh, "A Valid and Fast Spatial Bootstrap for Correlation Functions," *The Astrophysical Journal*, vol. 681, p. 726, 2008.
- [142] Quickfield software. Available: <http://www.quickfield.com/>
- [143] H. Van Bui, A. Y. Kovalgin, and R. A. M. Wolters, "On the difference between optically and electrically determined resistivity of ultra-thin titanium nitride films," *Applied Surface Science*, vol. 269, pp. 45-49, 2013.
- [144] B. L. Nelson, *Stochastic modeling: analysis and simulation*: Courier Dover Publications, 2012.



## **Anexo A. Artículos incluidos en el compendio de publicaciones**



## Threshold Switching and Conductance Quantization in Al/HfO<sub>2</sub>/Si(p) Structures

Xavier Saura<sup>1</sup>, Enrique Miranda<sup>1</sup>, David Jiménez<sup>1</sup>, Shibing Long<sup>2</sup>, Ming Liu<sup>2</sup>,  
Joan Marc Rafí<sup>3</sup>, Francesca Campabadal<sup>3</sup>, and Jordi Suñé<sup>1\*</sup>

<sup>1</sup>Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, 08193-Bellaterra, Spain

<sup>2</sup>Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China

<sup>3</sup>Institute de Microelectrònica de Barcelona (IMB-CNM), CSIC, 08193-Bellaterra, Spain

E-mail: jordi.sune@uab.cat

Received September 13, 2012; revised December 6, 2012; accepted December 17, 2012; published online March 21, 2013

Volatile threshold switching and non-volatile memory switching modes of resistive switching are reported in Al/HfO<sub>2</sub>/Si(p) metal–oxide–semiconductor structures with different values of current compliance limit during electroforming. When the current is limited to below 100 μA, a reproducible threshold switching loop is reported under injection from the p-type silicon substrate. The conduction in the low resistance state is linear above a voltage threshold called holding voltage and the conductance is a non-integer multiple of the quantum of conductance. Depending on the size of the conducting filament created during the electroforming process, one or several quasi-one dimensional quantum subbands are found to contribute to the current. Abrupt transitions between different discrete conductance values are reported during increasing and decreasing voltage sweeps. These results provide strong experimental evidence suggesting that the conduction filament behaves as a quantum wire (QW). No structural instability of the filament has to be invoked to explain either the highly structured conduction properties or the set and reset switching transitions. It is claimed that the whole phenomenology can be understood by electron injection from the valence band into a narrow conducting path which behaves as a QW. © 2013 The Japan Society of Applied Physics

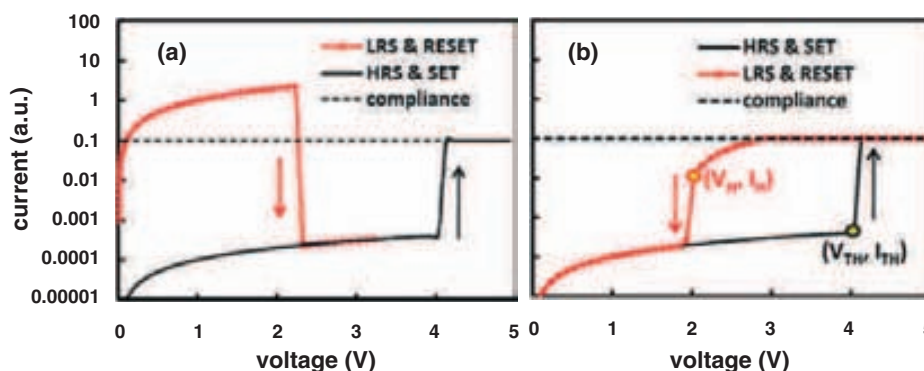
### 1. Introduction

Resistive switching (RS) in transition metal oxide films attracts a lot of interest due to its potential application to nonvolatile memory devices based on resistance change, the so-called resistive random access memories (RRAM).<sup>1–3)</sup> These devices are very simple capacitor structures that usually require an electroforming process to create a conducting filament (CF) between the electrodes, which is a process similar to a soft dielectric breakdown event. Electroformed oxides present two main types of RS which are called memory switching (MS)<sup>4)</sup> and threshold switching (TS),<sup>5)</sup> respectively. Both phenomena show a current–voltage ( $I$ – $V$ ) characteristic with two current branches corresponding to a high resistance state (HRS) and to a low resistance state (LRS). The transitions from HRS to LRS and from LRS to HRS are called set and reset, respectively. MS is a non-volatile phenomenon, with the two resistance states being stable at zero bias, while the TS phenomenon is volatile and occurs in a limited voltage range spanning from two critical values called the holding voltage ( $V_H$ ) and the threshold voltage ( $V_{TH}$ ). Only the HRS is stable below  $V_H$  while only the LRS is stable above  $V_{TH}$ . Between  $V_H$  and  $V_{TH}$ , the  $I$ – $V$  shows an S-shaped negative differential resistance (NDR) region.<sup>5–7)</sup> A comparison between these two RS phenomena is schematically shown in Fig. 1. The TS phenomenon has been reported in chalcogenide glasses and in a large variety of other material systems (polysilicon, binary oxides, etc.), and it has been widely studied in the framework of phase-change memories (PCM). TS is crucial in PCM because it triggers the current required to induce the change between the amorphous and crystalline phases of the switching material during the set transition. On the other hand, MS in metal oxides is being intensively investigated for RRAM applications and also for reconfigurable logic and neuromorphic computing applications based on memristive devices. However, TS might also be important for RRAM due to several reasons. First, this type of switching might allow the fabrication of selector devices in crossbar memory

arrays.<sup>8)</sup> Second, TS might play an active role in the electronic triggering of the set transition of MS.<sup>9)</sup> As we will show in this paper, only when the local current is allowed to reach high enough levels (compliance current limit larger than 100 μA during the set transition), large and permanent structural changes occur in the CF so as to introduce the nonvolatility required for MS. If the current is low enough, these structural modifications are not produced and TS appears instead of MS.

Some recent works have dealt with TS and MS in metal oxides, mainly in NiO-based metal–insulator–metal (MIM) structures. In particular, some authors have shown that changes in the fabrication process (thickness of the bottom metal electrode,<sup>10)</sup> concentration of oxygen vacancies<sup>11–13)</sup> can cause the device to show either MS or TS. The observation of TS and MS has also been reported when some samples are operated at different temperatures,<sup>14)</sup> showing that low temperature favors MS while TS dominates at high temperature. Finally, it has even been shown that the application of voltage pulses of opposite polarity can change the switching behavior from TS to MS and vice versa.<sup>15)</sup> An interpretation of these results based on the motion of oxygen ions and the related instability of the CF was also proposed.<sup>15)</sup>

In this work we report the observation of both MS and TS in Al/HfO<sub>2</sub>/Si(p+) metal–oxide–semiconductor (MOS) devices. Although RS for RRAM application is usually studied in MIM structures, MOS structures are also of interest because their conduction nonlinearities might be useful to avoid the sneak path problem in crossbar arrays.<sup>16)</sup> By controlling the maximum current during electroforming, we report the observation of both TS and MS. When the current compliance is high, the CF is wide (low resistance) and shows MS. On the contrary, when the current compliance is low, the CF is narrow (high resistance) and it shows the typical TS phenomenology. In this case, we report the clear signature of conductance quantization in the LRS. This suggests that if the CF is narrow enough, it behaves as a quantum wire (QW). All the recent works



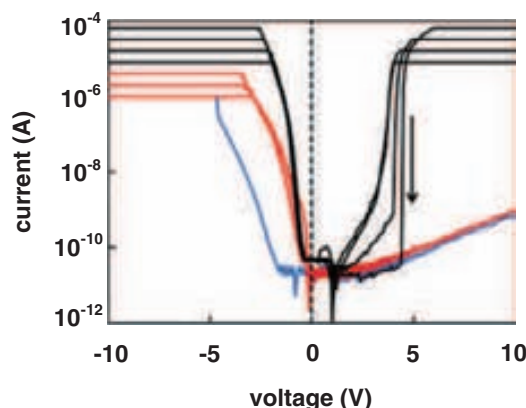
**Fig. 1.** (Color online) Schematic diagrams of  $I$ - $V$  loops: (a) MS and (b) TS. Dashed lines represent the current compliance limit. The coordinates  $(V_H, I_H)$  and  $(V_{TH}, I_{TH})$  represent the holding and threshold points in the TS loop.

dedicated to the relation between TS and MS have invoked the occurrence of structural changes in the CF during the set/reset transitions in both switching modes.<sup>10–15</sup> In these works, the stability of the LRS after the structural modifications induced by the set transition was claimed to determine the type of switching (TS or MS). Operation at low or high temperature, high or low oxygen pressure during deposition, thick or thin metal electrodes influence the stability of the CF in one way or another and, hence, they determine the occurrence of TS or MS. On the contrary, we claim that the results reported in our devices have no relation with the CF stability. In particular, we propose an alternative explanation in which the CF does not suffer any structural modification during the set or reset transitions in the TS mode. We claim that all the observed features are explained in terms of the quasi one dimensional electronic properties of the CF and of electron injection from the semiconductor valence band. In this regard, as far as we know, the TS phenomenon reported in this paper has not been considered in the previous literature. It must be emphasized, however, that our conclusions do not necessarily apply to previous observations of TS in MIM devices. In this work, we are dealing with MOS devices which are different from MIM structures because different spatial voltage profiles are facilitated by the possibility of having a substantial fraction of the applied bias dropping in the semiconductor depletion layer. The existence of two stable voltage spatial profiles is a key feature required to explain the conduction bistability in a well-defined voltage range found in the TS loop.

## 2. Threshold Switching and Conductance Quantization: Experiment

MOS capacitor structures with an area of  $120 \times 120 \mu\text{m}^2$  were fabricated with a  $\text{HfO}_2$  layer deposited onto a Si(p) substrate ( $0.1$ – $1.4 \Omega\text{-cm}$ ) and with Al top metal electrode. The  $\text{HfO}_2$  films were grown by atomic layer deposition (ALD) with a thickness of 10 nm. The details of the fabrication process and the basic physical and electrical properties of these layers are reported elsewhere.<sup>17</sup> The electrical measurements were performed with a Keithley 4200-SCS semiconductor characterization system.

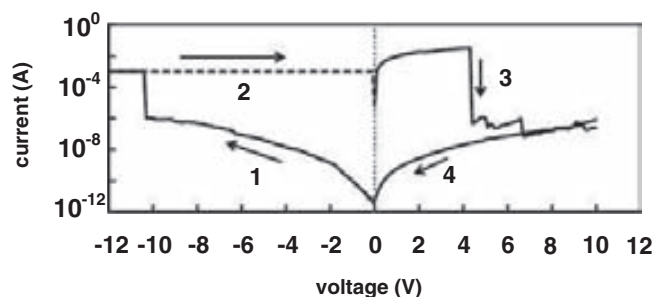
Since the MOS capacitors have a p-type silicon substrate, electroforming must be performed under negative gate bias to allow significant current injection. To keep maximum control over the CF properties, our forming procedure



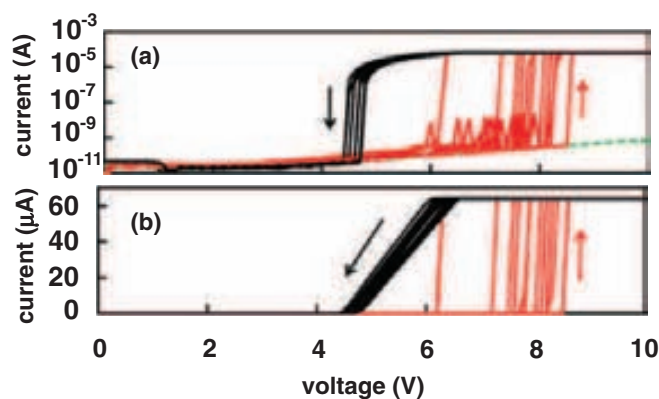
**Fig. 2.** (Color online) Electroforming by successive voltage ramps from 10 to  $-10$  V with current compliance increasing from 1 to  $64 \mu\text{A}$ . The blue line represents the initial electroforming ramp and shows an abrupt breakdown-like event at about  $-4.5$  V. The red lines show increased injection from the gate (negative bias) but roughly unaltered injection from the substrate (positive bias). Black lines show strongly increased substrate injection with an abrupt jump which is the signature of threshold switching.

consists in the application of successive voltage ramps from 10 to  $-10$  V with a current compliance (CC) limit that is increased geometrically starting with  $I_{CC} = 1 \mu\text{A}$  for the first ramp, as shown in Fig. 2. This progressive increase of the maximum current aims at reducing unwanted transient effects due to the limited time response of the CC circuitry.<sup>18</sup> When the CC reaches high values, typical MS loops are observed, as shown in Fig. 3. In this case, the set transition was induced under negative bias and the reset occurred for positive bias, thus showing a bipolar switching cycle. Although the current during set was limited to 1 mA, it had reached a value of 0.1 A during forming. The observation of MS is not easy in these samples because the first reset after forming usually requires currents which are higher than subsequent set/reset cycles<sup>18</sup> and which often exceed the 0.1 A limit of the instrument. Moreover, at these high currents, hard breakdown often impedes any ulterior observation of RS. On the contrary, when the CC limit during forming is kept below  $100 \mu\text{A}$ , stable and reproducible TS loops are found under positive bias, as shown in Fig. 4. When the voltage is swept from zero towards higher voltages, an abrupt set transition is observed at a voltage  $(V_{TH})$  that changes quite widely from cycle to





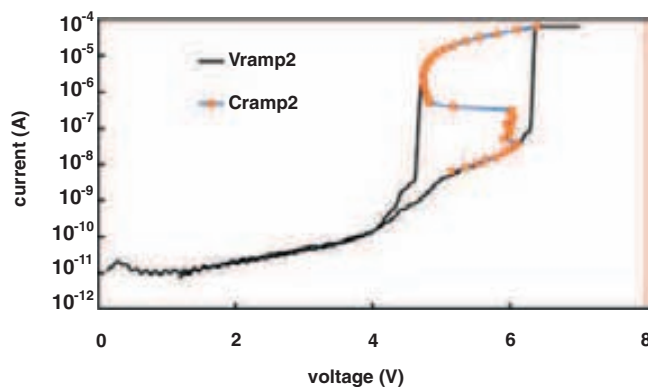
**Fig. 3.** Memory switching loop measured in one Al/HfO<sub>2</sub>/Si(p) structure after reaching 0.1 A under negative bias during forming. SET transition occurs under negative bias and RESET is observed at positive bias, thus constructing a bipolar switching loop.



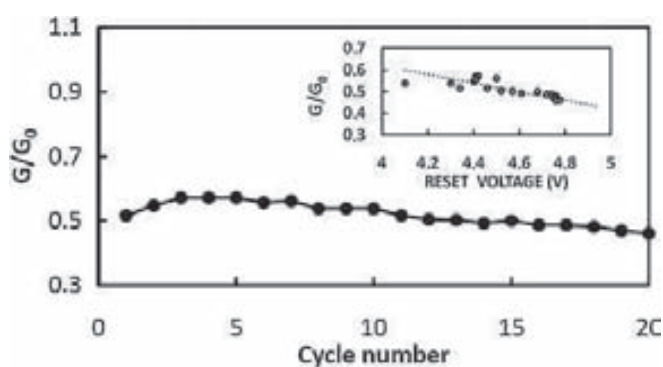
**Fig. 4.** (Color online) Threshold switching loops measured in a Al/HfO<sub>2</sub>/Si(p) structure after a progressive forming procedure with a maximum current of 64 μA under negative bias. The experimental  $I$ - $V$  curves are represented in (a) logarithmic scale and (b) linear scale. The HRS is controlled by the background injection since the current fully coincides with that before forming (dashed green curve).

cycle. On the other hand, when the CF is in the LRS and the voltage is swept towards zero, a steep reset transition is observed at the holding voltage ( $V_H$ ), which remains rather constant from cycle to cycle. In Fig. 4(a), an abrupt jump of more than 5 orders of magnitude is observed at the reset. In Fig. 4(b), the LRS  $I$ - $V$  is shown to be linear for voltages above the holding voltage. In this particular case, the HRS shows an  $I$ - $V$  which coincides with that of the fresh device, thus indicating that the conduction of the CF is hidden by the background current. By biasing the device with a current ramp, we have checked that the reset and set transitions are related to the S-shape negative  $I$ - $V$  typical of TS (Fig. 5). The reproducibility of the holding voltage for the successive cycles suggests that the CF has always the same shape and that TS is a purely electronic effect which does not involve structural changes in the CF. On the contrary, both the set and reset transitions of MS involve significant structural changes in the CF (it is partially destroyed and reformed in each cycle). These structural changes introduce the non-volatility required for MS. In this work we focus on the TS phenomenon, by far less studied than MS in metal oxides.

By fitting the LRS linear  $I$ - $V$  curves of Fig. 4(b) to a straight line,  $I = G(V - V_H)$ , we determine  $G$  and  $V_H$ . Figure 6 shows the extracted values of the LRS conductance



**Fig. 5.** (Color online) Threshold switching loop measured with a current ramp (circles and blue line) compared to the loop measured with a voltage ramp (black line).



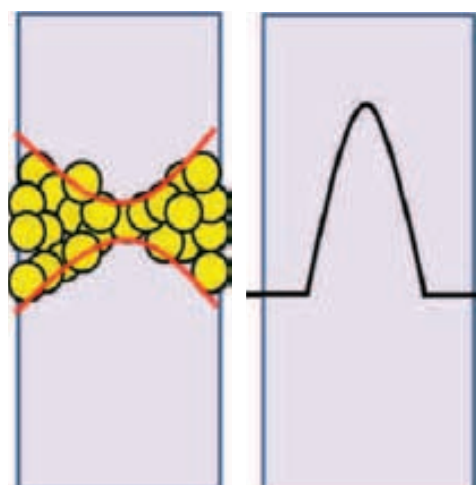
**Fig. 6.** Evolution of the conductance (normalized to the quantum of conductance,  $G_0 = 2e^2/h$ ) as a function of the number of cycles in one Al/HfO<sub>2</sub>/Si(p) structure. The inset shows a negative correlation between conductance and holding voltage.

$G$  as a function of the number of TS cycles and the correlation between  $G$  and  $V_H$ . First of all, we notice that  $G$  is about one half of the quantum of conductance,  $G_0 = 2e^2/h$ , providing a first indication that the CF has atomic-size dimensions. In fact, a fractional value  $\beta G_0$  of the conductance quantum, with  $0 < \beta < 1$ , can be associated to each conducting one-dimensional subband under high bias, i.e., in the so-called nonlinear regime.<sup>19)</sup> In a conducting QW, the voltage drops mainly at the interfaces with the external reservoirs and the value of  $\beta$  is the fraction of voltage that drops at the cathode interface. This interface voltage drop is linked to the mismatch of the electron quantum wave functions at the interface between a three-dimensional and a quasi-one-dimensional electron systems. The voltage drop strongly depends on the current and it is strongly suppressed when the current through the QW is small (for example, in the tunneling regime of narrow QWs). In the case of Fig. 6, the value of  $\beta \sim 0.5$  can be associated to a rather symmetric voltage drop, but this value might change with the actual geometry of the CF and with its coupling to the reservoirs. In a recent work, conductance quantization was also revealed in the filamentary conduction of the MS cycle in Nb/ZnO/Pt structures.<sup>20)</sup> In those experiments also most of the conductance readings were reported to concentrate around the integer multiples of

$\sim 0.5G_0$ . The reason for these half integer quantum conductance values were suggested to originate from adsorbed impurities on or in atom chains, which change the constriction configuration and affect the electronic band structure. Another important conclusion that is derived from Fig. 6 is that the variations of  $G$  from cycle to cycle are not random but correspond to the evolution of the structure of the CF at the microscopic level. We have previously claimed that no significant structural changes occur at the set/reset transitions so that the TS is a purely electronic volatile effect. However, we do not have to forget that we are dealing with a very narrow CF through which a very high current density flows. The evolution of the CF geometry can be related to the degradation (small structural changes) of the CF due to the electrical stress. In longer cycling experiments, large and abrupt random changes of the switching voltages of the TS loop have also been found (results not shown) which in fact support the idea that structural changes indeed occur in the CF during set and reset. However, we claim that these structural changes, which reveal the instability of the atomic-sized CF, are not required to explain the TS phenomenology. These long-time smooth or abrupt changes of the holding and threshold voltages interfere with the TS experiments and introduce serious difficulties for the systematic study of the TS properties (temperature dependence, statistics of switching, etc.). Some preliminary measurements of the TS loop as a function of temperature have shown that the TS behavior remains down to at least 100 K, thus supporting our interpretation of TS being related to electronic rather than to structural instabilities. In the inset of Fig. 6, a clear correlation between LRS conductance and holding voltage is reported, i.e., the most resistive CFs having the largest holding voltages. This feature can be naturally explained within our QW model of TS, as we will discuss below.

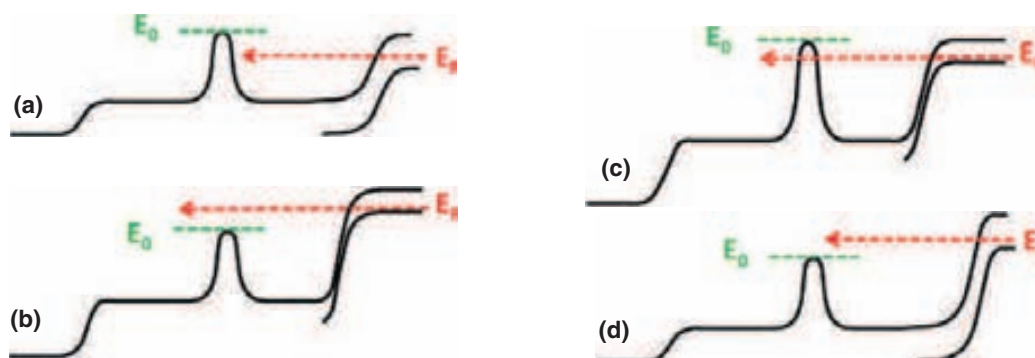
### 3. Quantum-Wire Model of Threshold Switching

The term threshold switching has been applied to a wide variety of systems which only share the feature of an S-shaped  $I$ - $V$ .<sup>5-7)</sup> However, this does not mean that the underlying physical mechanisms responsible for the conduction and switching behavior are common to all these systems. Actually, TS is quite a general behavior with only two requirements: (i) the existence of two different conduction mechanisms which explain the two-branched  $I$ - $V$  and (ii) two stable electric field spatial configurations in the voltage range where the system is bistable.<sup>6)</sup> In our samples, the measured LRS conductance suggests that the CF behaves as a QW in the non-linear regime. The basic idea is that the CF presents an atomic-scale constriction which quantizes the motion of electrons in the directions perpendicular to the electron transport, thus behaving as a quantum point contact (i.e., a QW connected to two macroscopic electron reservoirs). This model has its origin in the quantum point contact model proposed for the post-breakdown conduction in SiO<sub>2</sub>-based MOS structures<sup>21)</sup> and has also been recently applied with success to model the conduction in both the HRS and the LRS of RRAM structures.<sup>22,23)</sup> The basic idea of the model is schematically shown in Fig. 7, which emphasizes the relation between the position of the ground state in the QW and the confining



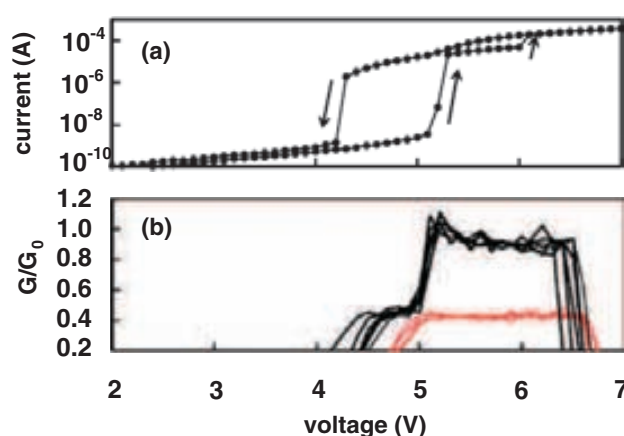
**Fig. 7.** (Color online) Left figure: schematic representation of the CF structure (a conducting path made of “defects”) with a constriction. Right figure: potential barrier associated to the position of bottom of the first quasi-one-dimensional subband in the CF.

width. The narrower is the CF constriction, the higher is the energy of the ground subband which, depending on the applied voltage, will appear as a potential barrier that limits electron transport. The two conduction states required for TS naturally appear within this QW model because the electron injection strongly depends on the position of the bottom of the ground subband  $E_0$  with respect to the Fermi level  $E_F$  of the cathode reservoir. When  $E_F > E_0$ , there is no potential barrier and, hence, the current is high and linearly dependent on the voltage. This is the LRS. For  $E_F < E_0$ , carrier transport is by tunneling and hence, the current is low and exponentially dependent on the voltage, thus giving rise to the HRS. These two stable conduction states are schematically represented in the spatial band diagrams of Figs. 8(a) and 8(b). Another relevant feature of a QW biased in the non-linear regime is the appearance of significant voltage drops at the interfaces which are related to quantum transport mismatch effects. These voltage drops are significant when the current is high but become negligible in the tunneling regime, i.e., when the current is low. In the HRS state, voltage drops mainly in the semiconductor depletion region and current is small because the Fermi level is below the top of the barrier [Fig. 8(a)]. In the LRS, most of the voltage drops at the interfaces between the CF and the external electrodes and the current is high because the Fermi level is above the tunneling barrier [Fig. 8(b)]. In our samples, the TS loop is observed when electron injection takes place from the p-type semiconductor. Since the conduction band is essentially an empty band, only injection from the silicon valence band can explain the  $I$ - $V$  linearity of the LRS in a wide voltage range above  $V_H$ , as reported in Fig. 4(b). Hence, injection from the valence band of the p-type semiconductor is also a key element in our TS model, and it is considered to occur via band-to-band tunneling. At low bias, most of the applied voltage drops in the silicon substrate and the current through the CF is small because  $E_F < E_0$  [Fig. 8(a)]. At high voltages, only the LRS is stable, most of the applied voltage drops at the interfaces and  $E_F > E_0$  and electrons are injected above the potential



**Fig. 8.** (Color online) Schematic energy band diagram to explain the threshold switching model. Injection from the substrate is assumed to take place from the valence band by band-to-band tunneling. (a) and (b) represent the stable HRS and LRS, respectively. Diagrams (c) and (d) represent two different unstable states. Diagram (c) represents an unstable state corresponding to an applied voltage which is too low for the system to remain in the LRS. Diagram (d) represents an unstable HRS. This is because the voltage is assumed to drop in the semiconductor bulk while there is over the barrier injection.

barrier of the CF ground subband [Fig. 8(b)]. This model also provides a simple explanation for the bistability inherent to the TS loop because in a certain voltage window (between  $V_H$  and  $V_T$ ) the condition  $E_F > E_0$  is fulfilled when the voltage drop at the interfaces is large (i.e., with high current) and  $E_F < E_0$  happens when the drop is small (i.e., with low current). Thus, in this voltage window, both the HRS and the LRS are stable and the system will be in one state or the other depending on the bias history. Figure 8 also shows two unstable states in diagrams (c) and (d). The purpose of these diagrams is to explain the reset and set transitions respectively. Diagram (c) corresponds to a situation in which we have assumed a large interface voltage drop but small current (below the barrier injection). This situation is not stable because the interfacial voltage drop is small for low current. Thus, the voltage is too low to maintain the LRS and the system would switch to the HRS. Diagram (d) represents the opposite situation, in which small voltage drop is assumed at the QW interfaces while high current injection is allowed to occur over the barrier. In this case, a set transition should occur, thus reducing the voltage drop in the semiconductor depletion layer. The abrupt set transitions can be explained by a positive feedback effect triggered by current fluctuations. A positive random increase of the current increases the voltage drops at the interfaces and this in turn causes an increase of the current, thus initiating a positive feedback loop that might end with the abrupt transition from the HRS to the LRS. A similar type of positive feedback can be invoked in the reverse direction to explain the reset transition. However, the LRS is significantly more stable than the HRS so that the reset transition always takes place roughly at the holding voltage. This is because the current is much higher in the LRS and the current fluctuations become negligible. Thus, the reset transition occurs when the applied voltage is low enough to impede injection above the potential barrier even in the LRS spatial voltage profile, i.e., when the voltage drops at the interfaces are high. This voltage is by definition the holding voltage. Notice that although in the present work the conduction through the insulator is filamentary, the behavior of these devices is rather similar to that observed in metal–insulator–semiconductor–semiconductor (MISS) structures.<sup>24,25)</sup>



**Fig. 9.** (Color online) (a)  $I$ - $V$  curves during a threshold switching loop which shows two conduction levels in the LRS. (b) Conductance normalized to  $G_0 = 2e^2/h$  during the downwards voltage sweeps (black thick curves). The red thin curves correspond to the conductance measured in another device which only shows one level in the LRS. The conductance was obtained by numerical derivation of the experimental  $I$ - $V$  curves.

Within this QW model of TS, the holding voltage is directly related to the height of the potential barrier at the narrowest constriction point of the CF. Since the energy levels in a QW are determined by the area of the spatial constriction, the wider is the CF, the lower is the energy of the ground subband and the smaller the value of  $V_H$ . On the other hand, since the current flows through a very narrow CF, we also expect to have spreading resistance effects (Maxwell resistance) related to the funneling of the current lines in the access regions from the electrodes to the QW. This means that the total conductance (series combination of Maxwell and quantum resistances) is expected to be negatively correlated to  $V_H$ , as reported in Fig. 6. Moreover, if the CF is narrow enough, we also expect that multiple subbands contribute to the LRS conduction. This is exactly what is reported in Fig. 9(a) where two abrupt current jumps can be observed during the set voltage sweep. The first jump corresponds to the transition from the HRS to a LRS with only the ground subband below  $E_F$ . The second one is related to the transition to a new voltage configuration profile in which both the ground and the first excited



subbands are below  $E_F$ . During the decreasing voltage sweep, the signature of the transition from the two-subband to the one-subband conduction states is evidenced by a discontinuity in the conductance. The current is continuous and this means that there is not a change of spatial field configuration at this transition point. The conduction is linear in both LRS configurations as is evident by the conductance plateaus of Fig. 9(b). The values of conductance ( $G \sim 0.5G_0$  and  $G \sim G_0$ ) reported in this figure are also a very strong evidence in favor of our QW model for the CF. Comparison with another sample showing single-level LRS indicates that the holding voltage is smaller when the two-subband effects appear. Again, this is in agreement with the QW model because a small value of  $V_H$  corresponds to a wider wire which can accommodate more subbands below  $E_F$ .

#### 4. Conclusions

Threshold switching and memory switching phenomena have been reported in Al/HfO<sub>2</sub>/Si(p) MOS structures. The level of current compliance during electroforming determines the size of the CF and the switching mode. For low forming currents, a stable TS loop has been reported which appears to be a purely electronic switching phenomenon related to the nanoscale size of the CF and to electron injection from the silicon valence band. It has been suggested that the CF behaves as a QW connection between the two external electrodes. The observation of two-subband LRS with conductance values which are semi-integer multiples of the quantum of conductance provides a strong experimental evidence supporting the idea that the CF behaves as a QW. The correlation with the lateral size of the CF as measured from the holding voltage also emphasizes the validity of this interpretation. The strongly non-linear properties of this TS phenomenon might be useful to design RRAM devices without the sneak-path problem. The abrupt current drop observed at the holding voltage also suggests the possible application of these structures to construct TS-based transistors with a steep subthreshold slope. However, the details of these possible applications still require further consideration.

#### Acknowledgements

UAB authors acknowledge the funding of the Spanish Ministry of Science and Technology under contract TEC2009-09350 (partially funded by the European Union FEDER program), and the DURSI of the Generalitat de Catalunya under contract 2009SGR783. IMB-CNM authors acknowledge funding of the Spanish Ministry of Science and

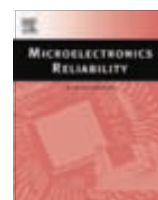
Technology under contract TEC2008-06698-C02-01. J.S. also thanks the funding support of the ICREA ACADEMIA award. IMECAS authors acknowledge the funding support of the Ministry of Science and Technology of China under Grant Nos. 2010CB934200 and 2011CBA00602 and the National Natural Science Foundation of China under Grant Nos. 61221004, 61274091, 60825403, and 50972160.

- 1) R. Waser, R. Dittmann, G. Staikov, and K. Szot: *Adv. Mater.* **21** (2009) 2632.
- 2) H. Akinaga and H. Shima: *Proc. IEEE* **98** (2010) 2237.
- 3) M. J. Rozenberg, I. H. Inoue, and M. J. Sanchez: *Phys. Rev. Lett.* **92** (2004) 178302.
- 4) Y. Watanabe, J. G. Bednorz, A. Bietsch, Ch. Gerber, D. Widmer, and A. Beck: *Appl. Phys. Lett.* **78** (2001) 3738.
- 5) S. R. Ovshinsky: *Phys. Rev. Lett.* **21** (1968) 1450.
- 6) D. Ielmini and Y. Zhang: *J. Appl. Phys.* **102** (2007) 054517.
- 7) S. Lavizzari, D. Ielmini, and A. L. Lacaita: *IEEE Trans. Electron Devices* **57** (2010) 3257.
- 8) D. Kau, S. Tang, I. V. Karpov, R. Dodge, B. Klehn, J. A. Kalb, J. Strand, A. Diaz, N. Leung, J. Wu, S. Lee, T. Langtry, K.-W. Chang, C. Papagianni, J. Lee, J. Hirst, S. Erra, E. Flores, N. Righos, H. Castro, and G. Spadini: *IEDM Tech. Dig.*, 2009, p. 617.
- 9) D. Ielmini, C. Cagli, and F. Nardi: *Appl. Phys. Lett.* **94** (2009) 063511.
- 10) S. Chang, S. C. Chae, S. B. Lee, C. Liu, T. W. Noh, J. S. Lee, B. Kahng, J. H. Jang, M. Y. Kim, D.-W. Kim, and C. U. Jung: *Appl. Phys. Lett.* **92** (2008) 183507.
- 11) J.-W. Park, J.-W. Park, K. Jung, M. K. Yang, and J.-K. Leeb: *J. Vac. Sci. Technol. B* **24** (2006) 2205.
- 12) S. Seo, M. J. Lee, D. H. Seo, E. J. Jeoung, D.-S. Suh, Y. S. Joung, I. K. Yoo, I. R. Hwang, S. H. Kim, I. S. Byun, J.-S. Kim, J. S. Choi, and B. H. Park: *Appl. Phys. Lett.* **85** (2004) 5655.
- 13) K. Jung, J. Choi, Y. Kim, H. Im, S. Seo, R. Jung, D. Kim, J.-S. Kim, B. H. Park, and J. P. Hong: *J. Appl. Phys.* **103** (2008) 034504.
- 14) S. H. Chang, J. S. Lee, S. C. Chae, S. B. Lee, C. Liu, B. Kahng, D.-W. Kim, and T. W. Noh: *Phys. Rev. Lett.* **102** (2009) 026801.
- 15) I. Hwang, M.-J. Lee, G.-H. Buh, J. Bae, J. Choi, J.-S. Kim, S. Hong, Y. S. Kim, I.-S. Byun, S.-W. Lee, S.-E. Ahn, B. S. Kang, S.-O. Kang, and B. H. Park: *Appl. Phys. Lett.* **97** (2010) 052106.
- 16) S. C. Puthenteradam, D. K. Schroder, and M. N. Kozicki: *Appl. Phys. A* **102** (2011) 817.
- 17) F. Campabadal, J. M. Rafí, M. Zabala, O. Beldarrain, A. Faigón, H. Castán, A. Gómez, H. García, and S. Dueñas: *J. Vac. Sci. Technol. B* **29** (2011) 01AA07.
- 18) S. B. Lee, S. H. Chang, H. K. Yoo, and B. S. Kang: *J. Phys. D* **43** (2010) 485103.
- 19) L. I. Glazman and A. V. Khaetskii: *Europhys. Lett.* **9** (1989) 263.
- 20) X. Zhu, W. Su, Y. Liu, B. Hu, L. Pan, W. Lu, J. Zhang, and R.-W. Li: *Adv. Mater.* **24** (2012) 3941.
- 21) J. Suñé and E. Miranda: *IEDM Tech. Dig.*, 2000, p. 533.
- 22) E. Miranda, C. Walczyk, C. Wenger, and T. Schroeder: *IEEE Electron Device Lett.* **31** (2010) 609.
- 23) R. Degraeve, Ph. Roussel, L. Goux, D. Wouters, J. Kittl, L. Altimime, M. Jurczak, and G. Groeseneken: *IEDM Tech. Dig.*, 2010, p. 632.
- 24) T. Yamamoto and M. Morimoto: *Appl. Phys. Lett.* **20** (1972) 269.
- 25) H. Matsuoka, T. Sataka, and S. Kimura: *VLSI Technology Symp.*, 2000, p. 30.



Contents lists available at ScienceDirect

## Microelectronics Reliability

journal homepage: [www.elsevier.com/locate/microrel](http://www.elsevier.com/locate/microrel)Field-effect control of breakdown paths in HfO<sub>2</sub> based MIM structuresX. Saura<sup>a,\*</sup>, X. Lian<sup>a</sup>, D. Jiménez<sup>a</sup>, E. Miranda<sup>a</sup>, X. Borrísé<sup>b,c</sup>, F. Campabadal<sup>b</sup>, J. Suñé<sup>a</sup><sup>a</sup> Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, Spain<sup>b</sup> Institut de Microelectrònica de Barcelona (IMB-CNM), CSIC, Bellaterra, Spain<sup>c</sup> Institut Català de Nanotecnologia, Bellaterra, Spain

## ARTICLE INFO

## Article history:

Received 24 May 2013

Received in revised form 3 July 2013

Accepted 16 July 2013

## ABSTRACT

The field-effect control of the conduction through dielectric breakdown paths is explored in lateral W/HfO<sub>2</sub>/W nanogap structures. The lateral size of the conducting filament is controlled by changing the current compliance during the voltage-ramp stress used to induce the breakdown. Partial destruction of the breakdown path is also shown to be possible by using a partial reset methodology. The results suggest that field-effect control of the breakdown path conduction is feasible. However, the capacitive coupling of the gate to the conducting filament is much smaller than that of drain and source due to unavoidable constraints associated with the considered test structures. As a consequence, extreme short channel effects limit the gate control of the filament conduction as demonstrated by simulations based on the top-of-the-barrier electrostatic model for nanowire transistors.

© 2013 Elsevier Ltd. All rights reserved.

## 1. Introduction

Voltage-controlled anti-fuse devices based on breakdown (BD) paths might be useful to implement reconfigurable computing architectures. On the other hand, metal–insulator–metal (MIM) structures are of interest for nonvolatile Resistive Random Access Memories (RRAM) because of its resistive switching (RS) properties. The principle of operation of these devices is the creation and disruption of a conduction filament (CF) similar (if not identical) to a soft BD path [1]. Application of appropriate electrical signals enables the switching of the CF between a high resistive state (HRS) and a low resistive state (LRS). These RS devices are identified with memristors and are expected to have a great impact for non-volatile memory and reconfigurable logic applications. The use of three terminal gate-controlled memristive devices might also be interesting due to its increased functionality. To enable these three terminal devices the gate voltage control of the conduction and switching properties of the CF becomes essential.

In this work, we assess the feasibility of using BD paths to implement voltage-controlled anti-fuse devices. Our basic assumption is that a BD path behaves as a nanowire and that the conduction of this nanowire can be controlled by field effect when it is capacitively coupled to a metal gate. Recently, experimental results concerning the post-BD conduction through soft and hard BD paths in thin SiO<sub>2</sub>-based and high-K gate dielectrics were shown to be well understood within a quantum point contact (QPC) model, thus

supporting our basic assumption of nanowire conduction through BD paths [2–4].

Although nanowire field-effect transistors have already received much attention in the literature, the field-effect control of the conduction through BD paths still needs to be experimentally demonstrated.

To explore this issue, we fabricated three terminal devices consisting of a (broken down or electroformed) lateral W–HfO<sub>2</sub>–W nanogap structure with a metal back-gate. With these test structures we have obtained preliminary results which indeed suggest the feasibility of field-effect control of the CF conduction.

## 2. Sample fabrication

A scanning electron microscope (SEM) image and schematic cross-sections A–A' and B–B' of the structure under study are shown in Fig. 1. The device is a transistor-like structure consisting of two metal source/drain (S/D) electrodes, with a separation of few nanometers, deposited on top of a HfO<sub>2</sub> layer grown onto a W layer that is expected to behave as a back-gate electrode (G). The structure is fabricated by a combination of conventional optical lithography and electron beam lithography (EBL) to define the critical nanogap region. Fig. 2 shows a SEM image of the critical nanogap region of one of the devices. In this particular case, the separation between the metal electrodes was approximately 8.9 nm. The fabrication process was initiated by the sputtering of the W back-gate layer. After this, the HfO<sub>2</sub> layer was deposited by ALD and the M2 and M3 layers were deposited by sputtering and lift-off processes. After device fabrication, the CF was created by applying electrical stress between the metal electrodes. Usually, this electroforming process

\* Corresponding author. Address: Universitat Autònoma de Barcelona, Departament d'Enginyeria Electrònica, Cerdanyola del Vallès, 08193 Barcelona, Spain. Tel.: +34 935813521.

E-mail address: [xavier.saura.mas@uab.cat](mailto:xavier.saura.mas@uab.cat) (X. Saura).

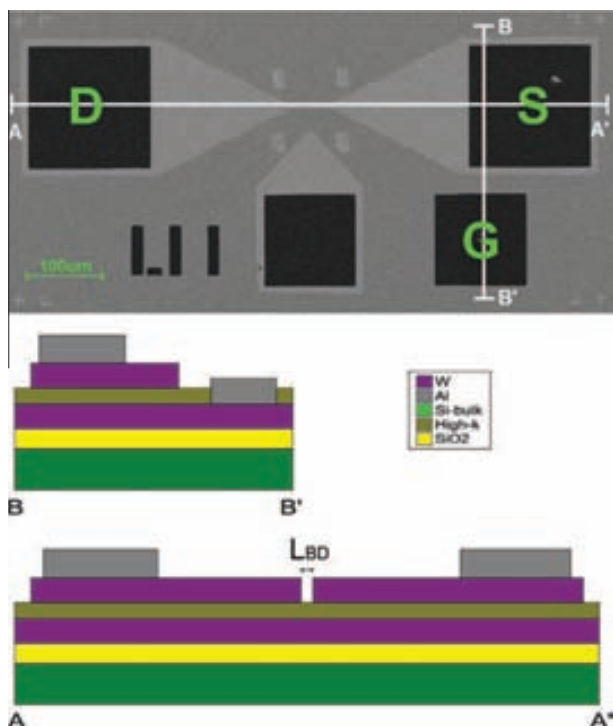


Fig. 1. SEM image of the back-gated MIM structure under test and schematic cross-sections A-A' and B-B'.

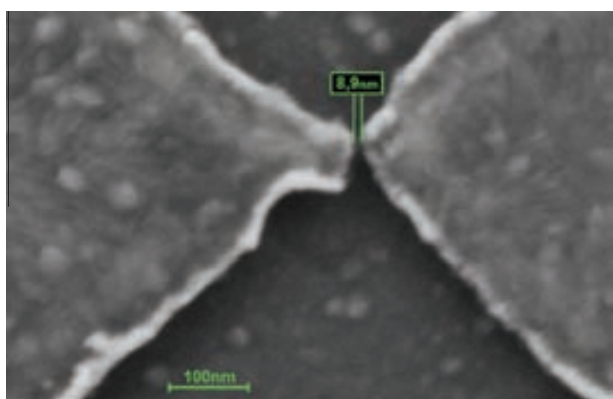


Fig. 2. SEM image of the fabricated test structure before the initial electrical measurements showing the critical region with a nanogap of  $L_{BD} = 8.9$  nm which isolates the D and S regions.

consists of applying a current limited ramped voltage stress (CL-RVS).

### 3. Experimental results

Electrical measurements were performed in the dark and inside a Faraday box with a Keithley 4200-Semiconductor Characterization System. Initial measurements were performed on structures with a 20 nm dielectric layer. In these devices, however, it was not possible to create the lateral CF in the desired nanogap region because, although the back-gate was biased at an optimum intermediate voltage during electroforming, a vertical BD-path was always generated between the back-gate and the drain or the source electrode. Because of this problem, the HfO<sub>2</sub> thickness had to be increased to a value of about 50 nm, in spite of being aware

that increasing this thickness would significantly reduce the field-effects.

The fresh device was stressed with a CL-RVS with a current compliance of 1  $\mu$ A and  $V_G = 0$  V in order to electroform the nanogap structure, i.e. to open a breakdown path between the lateral metal electrodes. The measured  $I(V)$  shows a current jump similar to a soft-breakdown event at about 2.25 V and reaches the compliance limit (see Fig. 3a). This is interpreted as an evidence of the creation of a CF in the nanogap region. Current measurements between the back-gate and the S/D electrodes discard the formation of a vertical BD path. Thus, it is assumed that a lateral BD-path was created in the underlying dielectric. Once the CF was created, another CL-RVS was applied with a higher current compliance of 50  $\mu$ A. Above 0.5 V some current instabilities appear in the  $I(V)$  and there is a progressive current growth which is interpreted as an increase of the CF width. According to the QPC model for post-BD conduction, the conductance quantum  $G_0 = 2e^2/h$  represents a boundary between two well-defined conduction regimes. If the conductance is of the order of  $G_0$  or larger, the conduction path can be considered to be continuous in the sense that extended electron states connect the electrodes. If on the contrary, the conductance is well below this value, the conduction is strongly non-linear because there is a spatial gap that introduces a potential barrier in the CF. The conductance after the first BD event in Fig. 3a was clearly under the value of  $G_0$  but, after reaching the 50  $\mu$ A current compliance during the second voltage sweep, the low-voltage conductance was clearly above the  $G_0$  limit, indicating that the CF is fully formed and that extended states are responsible for the conduction.

At this point we speculate that we are able to induce a lateral SBD event during the first CL-RVS stress, and that we transformed it into a HBD event during the second one. As shown in Fig. 3b, once the CF is fully formed, the application of successive RVS with

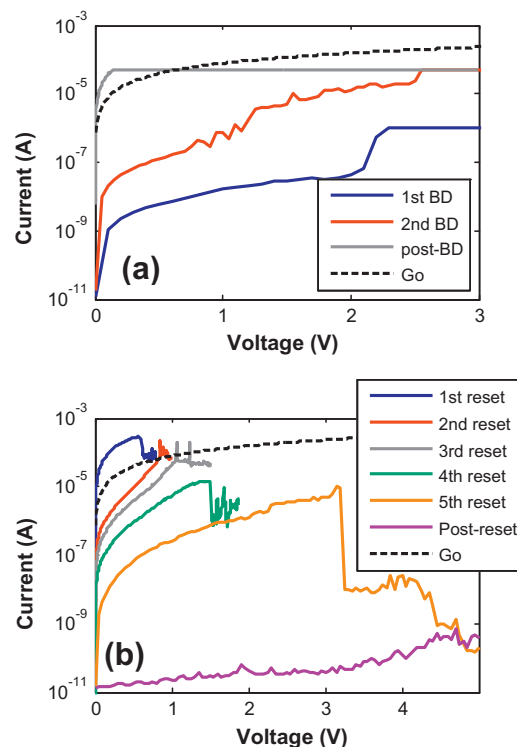


Fig. 3. (a) Formation of the CF in the nanocontact region obtained in two steps by measuring the  $I(V)$  characteristics with two different current compliances. (b) Partial reset methodology done in five steps by increasing the value of  $V_{MAX}$  in each RVS.

no current compliance and with increasing maximum voltage allows us to progressively reduce the conduction through the CF, thus showing a partial reversibility. This behavior is very similar to the partial reset reported in RRAM devices. The CF has a higher resistance after each partial reset, and a higher value of  $V_{MAX}$  is subsequently required to continue with the reset process. In our measurements, after reaching the 5th voltage ramp the CF was fully disconnected.

To support this view and to further understand the nature of the created CF, the experimental  $I(V)$  data is fitted to the QPC model. This model is based on the idea that the BD conduction in thin oxides ( $t_{ox} < 5$  nm) takes place through a CF which is narrow enough to quantize the energy in the two directions perpendicular to the electron transport, thus having a quasi-1D system. Then, if the CF is wide enough, conduction is expected to be linear because a band of extended states connects the electrodes and when the CF is narrow, a potential barrier related to the lateral quantization appears, electron transport is by tunnelling and the resulting  $I(V)$  is non-linear. Our experimental results are perfectly consistent with the QPC. In particular, the  $I(V)$  is linear in the HBD state (when the conductance is above  $G_0$ ) and the values of the conductance are of the order of  $G_0$  ( $\sim 10 G_0$  in the case of Fig. 4a). On the other hand, in the SBD, when the CF is more resistive, the  $I(V)$  is found to be non-linear (see Fig. 4b). The perfect fitting to the QPC model supports our assumption that the nanoscale CF created in the nanogap region behaves as a quantum wire. Although we believe that we have been able to induce a lateral BD in the underlying dielectric, we cannot fully discard that the CF is a metallic nanofilament related to W atom motion in the surface of the sample. In this case, the device would behave as an electrochemical cell structure rather than as an oxide-based nanofuse device. The indication of some structural changes induced in the metal electrodes at the nanogap region was found by comparing SEM images before and after the electrical measurements (see Figs. 2 and 5).

After the creation of the lateral CF between D and S in the nanogap region, exploration of the field-effect control is enabled by the

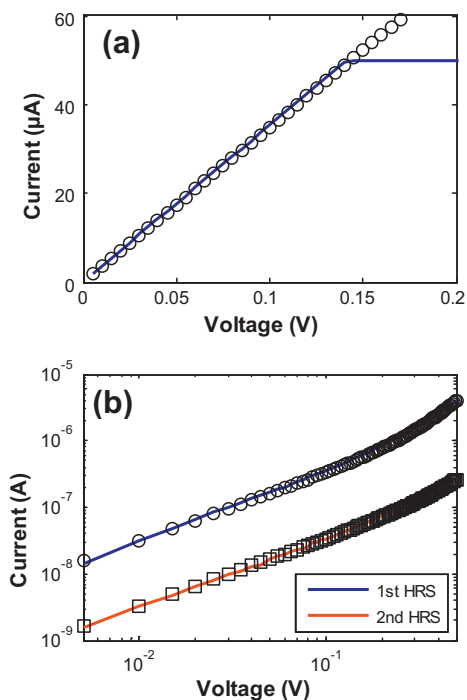


Fig. 4. Experimental  $I-V$  behavior and fitting with the QPC model: (a) in the HBD state ( $G > G_0$ ) and (b) in the SBD state ( $G \ll G_0$ ).

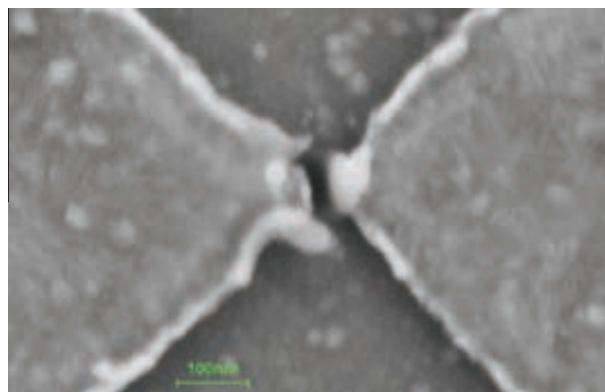


Fig. 5. SEM image of the nanogap region after the electrical measurements showing structural changes in comparison with the SEM image of the Fig. 2.

backgate. For these experiments, the voltage between source and drain was kept small (a voltage ramp between 0 and 0.5 V) while the gate voltage was changed from 0 to 10 V. Larger values are

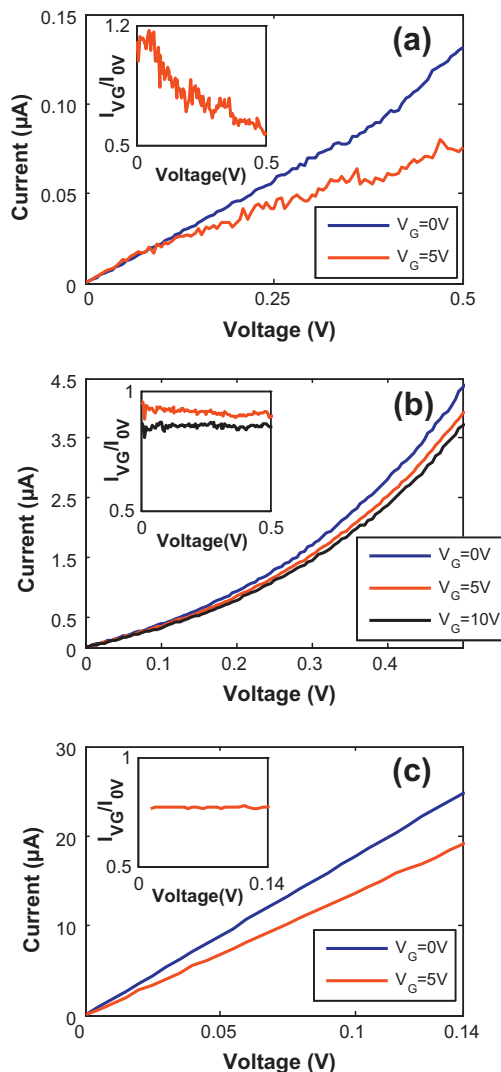


Fig. 6. Experimental  $I-V$  behavior in the linear scale for the structure in the SBD state (a) after the creation of the CF in the first CL-RVS and (b) after the 2nd partial reset and (c) in the HBD state. Inset figures present the  $I(V_G)/I(0V)$  current ratio demonstrating a pMOS-like field-effect.



avoided to impede the vertical BD of the structure. This experiment was repeated for the different states of the CF during the partial reset experiment of Fig. 3b. Fig. 6a and b, presents the field effect for a narrow CF in two different states with conductance below  $G_0$ . The field-effect is also revealed for the CF in the HBD state with a conductance well above  $G_0$ . Unfortunately, the reported field effects are very weak in all the considered cases. Moreover, the CF conduction is rather unstable so that variations of the same order of magnitude occur spontaneously without changing the value of the gate voltage. However, some systematic observations of the reported effects indicate that the gate is influencing the conduction between source and drain. Both below and above the conductance level, a positive gate voltage reduces the DS current, indicating that in our structures the CF shows a p-type conduction.

**4. Simulation results**

In order to interpret the  $I(V)$  behavior in the HBD state shown in Fig. 6c, we have used the top-of-the barrier model reported in Refs. [5–8]. In this model the relevant quantity in determining the CF current, assumed to behave as a nanowire, is the top of the barrier potential energy  $U_s$  (see Fig. 7), which is in turn controlled by the gate, drain, and source potentials through three capacitors ( $C_g$ ,  $C_s$ , and  $C_d$ ).  $U_s$  could be expressed as  $U_L + U_p$ , where  $U_L$  is the Laplace potential (assuming no mobile charge) and  $U_p$  represents the potential induced by the mobile charge  $\Delta N$

$$U_L = -q(\alpha_g V_g + \alpha_d V_d + \alpha_s V_s) \tag{1}$$

$$U_p = U_C \Delta N = q^2 \Delta N / C_{total} \tag{2}$$

where  $C_{total} = C_g + C_s + C_d$ . The amount of control by each electrode is defined by parameters  $\alpha_g (=C_g/C_{total})$ ,  $\alpha_s (=C_s/C_{total})$ , and  $\alpha_d (=C_d/C_{total})$ . For instance, the case  $\alpha_g = 1$ ,  $\alpha_s = \alpha_d = 0$  corresponds to absence of SCEs; otherwise  $\alpha_s, \alpha_d (>0)$  indicates the relevance of SCEs. The quantity  $\Delta N$  is calculated as

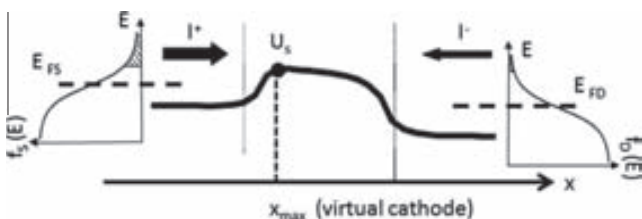
$$\Delta N(U_s) = 1/2 \int_{-\infty}^{\infty} D_{1D}(E) \{f(E + U_s - E_{Fs}) - f(E + U_s - E_{Fd})\} dE - N_0 \tag{3}$$

where the CF has a density of states corresponding to a 1D electron gas, namely

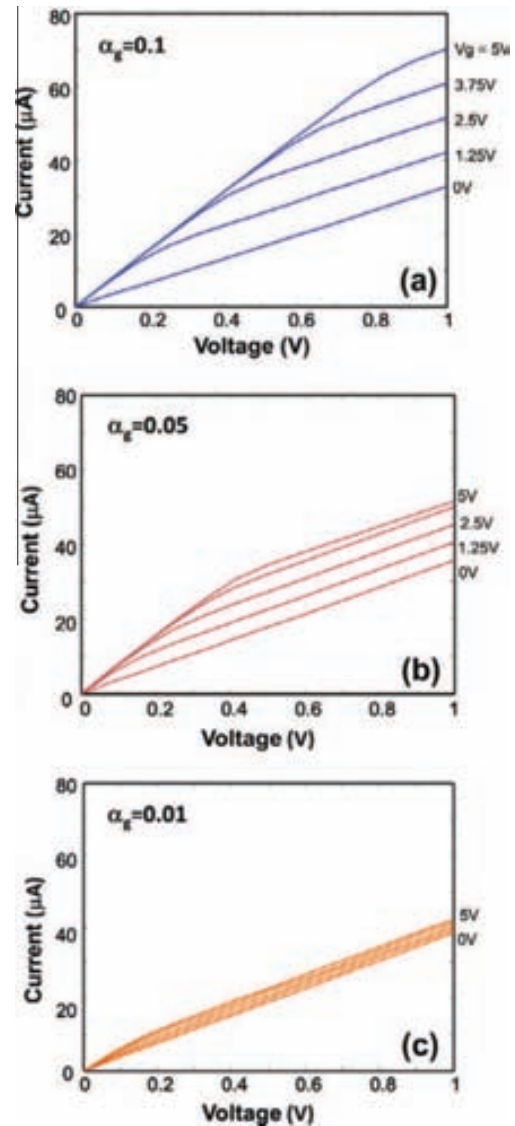
$$D_{1D}(E) = \frac{1}{\pi} \sqrt{\frac{2m_{eff}}{\hbar^2}} \sum_n \frac{1}{\sqrt{E - E_n}} H(E - E_n) \tag{4}$$

Here  $E_n$  denotes the  $n$ th-subband of the CF and  $m_{eff}$  is the effective mass. Note that  $U_p$  is a function of  $U_s$ . As a consequence,  $U_s$  has to be determined self-consistently. To calculate the CF current, a ballistic model is assumed based on the Landauer formula where the positive (negative) travelling  $k$ -states at the top of the barrier are filled by the source (drain) electrode (see Fig. 7).

Given that the fabricated nanogap length is  $\sim 10$  nm, as defined by the EBL technique, a CF length of the same order is expected. For



**Fig. 7.** Illustration of the top of the barrier electrostatic model and ballistic electronic transport model used in this work to explain the measured  $I-V$  behavior of a conductive filament (CF).



**Fig. 8.** Simulated  $I(V)$  characteristics of a nanowire, playing the role of a CF, holding a 1D electron gas, as a function of the gate coupling factor. The bottom panel shows a likely scenario consistent with the experiment.

a  $HfO_2$  oxide thickness of 50 nm, strong short-channel effects are expected for this system making difficult the observation of the field-effect. Such scenario is confirmed by playing with the coupling factor  $\alpha_g$  from the model just outlined before. The other coupling factors are selected such as  $\alpha_g + \alpha_s + \alpha_d = 1$  and  $\alpha_d = \alpha_s$ . In Fig. 8 we have shown the current held by the CF under different coupling factors. The situation more resembling the experiment is the one given by  $\alpha_g = 0.01$  (see Fig. 8c). The other two examined cases give a large separation between the current at low and high gate voltages, far from the experimental observation.

**5. Conclusions**

In this work we have explored the field-effect control of the conduction in breakdown paths. For this purpose, we used specially designed metal nano-contact test structures fabricated on top of an insulating  $HfO_2$  layer and a back-gate. The breakdown path was created in the nanogap region by applying a current limited voltage ramp. The lateral size of the CF can be controlled during the BD process by changing the current compliance limit and,

alternatively, by using a partial reset methodology consisting in voltage ramps with progressively increasing maximum voltage. To support the idea that a BD-path is created in the nanogap, the experimental data was successfully fitted to the QPC model of post-BD conduction both in the HBD state and the SBD state (above and below the quantum conductance level).

Weak field-effect control of the CF conduction has been experimentally demonstrated both in the HRS and in the LRS. Experimental results are supported by simulations based on a simple top of the barrier model. Simulations confirm the occurrence of extreme short-channel effects, which pose serious difficulties to observe an effective field-effect control of the CF conduction by the gate electrode. A careful electrostatic design of the device is thus required to minimize short channel effects, maximizing the gate to CF coupling and allowing a robust observation of the field-effect control of the BD path conduction.

### Acknowledgements

UAB and IMB-CNM authors acknowledge funding by the Spanish Ministry of Science and Technology under contracts TEC2009-0935 with EU funding under the FEDER program and TEC2011-

27292-C02-02, respectively. The Generalitat de Catalunya support under contract 2009SGR783 and J. Suñé's ICREA ACADEMIA award are also acknowledged.

### References

- [1] Waser R, Dittmann R, Staikov G, Szot K. Redox-based resistive switching memories – nanoionic mechanisms, prospects, and challenges. *Adv Mater* 2009;21:2632.
- [2] Suñé J, Miranda E, Nafria M, Aymerich A. Point contact conduction at the oxide breakdown of MOS devices. *Technol Dig IEEE Int Electron Dev Meet* 1998:191–4.
- [3] Suñé J, Miranda E. Post soft breakdown conduction in SiO<sub>2</sub> gate oxides. *Technol Dig IEEE Int Electron Dev Meet* 2000:533–6.
- [4] Miranda E, Walczyk C, Wenger C, Schroeder T. Model for the resistive switching effect in HfO<sub>2</sub> MIM structures based on the transmission properties of narrow constrictions. *IEEE Electron Dev Lett* 2010;31:609–11.
- [5] Rahman A et al. Theory of ballistic nanotransistors. *IEEE Trans Electron Dev* 2003;50(9).
- [6] Rahman A, et al. FETToy; 2009. <<http://nanohub.org/resources/fettyoy>>. (<http://dx.doi.org/10.4231/D3736M20Z>).
- [7] Jiménez D, Sáenz JJ, Iñíguez B, Suñé J, Marsal LF, Pallarès J. Unified compact model for the ballistic quantum wire and quantum well metal–oxide–semiconductor field-effect transistor. *J Appl Phys* 2003;94(2):1061–8.
- [8] Jiménez D, Sáenz JJ, Iñíguez B, Suñé J, Marsal LF, Pallarès J. Modeling of nanoscale gate-all-around MOSFETs. *IEEE Electron Dev Lett* 2004;25:314–6.





## Analysis of the breakdown spot spatial distribution in Pt/HfO<sub>2</sub>/Pt capacitors using nearest neighbor statistics

X. Saura,<sup>1</sup> J. Suñé,<sup>1</sup> S. Monaghan,<sup>2</sup> P. K. Hurley,<sup>2</sup> and E. Miranda<sup>1</sup>

<sup>1</sup>Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, 08193 Cerdanyola del Valles, Barcelona, Spain

<sup>2</sup>Tyndall National Institute, University College Cork, Cork, Ireland

(Received 20 August 2013; accepted 1 October 2013; published online 21 October 2013)

The breakdown spot spatial distribution in Pt/HfO<sub>2</sub>/Pt capacitors is investigated using nearest neighbor statistics in combination with more conventional estimation methods such as the point-event and event-event distance distributions. The spots appear as a random point pattern over the top metal electrode and arise as a consequence of significant localized thermal effects caused by the application of high-voltage ramped stress to the devices. The reported study mainly involves the statistical characterization of the distances between each failure site and the nearest, second nearest, ... *k*th nearest event and the comparison with the corresponding theoretical distributions for a complete spatial randomness (CSR) process. A method for detecting and correcting deviations from CSR based on a precise estimation of the average point intensity and the effective damaged device area is proposed. © 2013 AIP Publishing LLC. [<http://dx.doi.org/10.1063/1.4825321>]

### I. INTRODUCTION

Reliability analysis of metal-insulator-metal (MIM) and metal-insulator-semiconductor (MIS) devices typically involves electrical characterization techniques such as time-dependent dielectric breakdown (TDDB) and time-zero dielectric breakdown (TZDB) tests.<sup>1</sup> TDDB and TZDB tests consist in the application of constant and ramped electrical stress, respectively, until the detection of a sudden jump or an anomalous noise increment in the measured signal. These changes reveal the occurrence of a single or multiple breakdown (BD) events which physically correspond to the formation of filamentary-like leakage current paths across the dielectric film.<sup>2</sup> In the case of hard BD, this process is associated with important thermal effects and lateral propagation of the damage which can result in the evaporation of the metal electrode at the failure site.<sup>3</sup> Filamentary conduction has been previously reported to occur in SiO<sub>2</sub> in MIS structures<sup>4,5</sup> as well as in many other dielectric stacks in MIM structures mainly in connection with the resistive switching effect.<sup>6,7</sup> It is often assumed in reliability studies that the BD spot generation in MIM and MIS structures is well described by a 2-dimensional complete spatial randomness (CSR) process, also referred to in literature as a Poisson process.<sup>8</sup> This is well supported by the area dependence of the Weibull distribution for the time-to-first BD event in TDDB tests.<sup>9</sup> Although this spatio-temporal failure generation model is also consistent with the successive BD statistics for uncorrelated events, TDDB characterization is for practical reasons restricted to only a few breakdown events per device.<sup>10</sup> In general, both TDDB and TZDB do not provide direct information about the location of the failure sites over the device area unless special purpose structures are considered. In this regard, Alam *et al.*<sup>11</sup> were able to determine the *x* and *y* coordinates of successive BD events by tracking the evolution of the current distribution in four-terminal MIS transistors. However, because of the gate current increase after each BD event and the consequent loss of sensitivity, this Van der

Pauw-like electrical localization technique is, again, limited in practice to a few events which prevents a detailed investigation of their spatial distribution. In Ref. 11, this limitation was circumvented by considering a Monte Carlo simulation of the BD spot generation process compatible with the observed current distribution at the four device terminals. On the other hand, in recent papers, we have demonstrated that it is possible to generate a large number of BD spots in MIS and MIM structures using ramped voltage stress.<sup>12,13</sup> As the images taken through an optical microscope reveal, the damage caused to the structures can be of such magnitude that permanent marks on the top metal plates become easily perceptible as random point patterns, which makes the application of the methods of spatial statistics feasible.<sup>14</sup> In addition, we demonstrated that if the number of spots is sufficiently large, it is possible to detect departures from CSR associated with a nonuniform distribution of the failure sites.<sup>13</sup> Although these inhomogeneities can affect first order estimators like the inter-event distance distribution as well as second order estimators like the pair correlation function, a systematic approach capable of characterizing these divergences has not been developed yet. In this work, numerical and functional estimators like the intensity plot, the event-event and the point-event distributions, which help to understand the structure of BD spot patterns in Pt/HfO<sub>2</sub>/Pt capacitors, are discussed. An accurate method for assessing and correcting the average point intensity estimator based on a thorough analysis of the *k*th nearest neighbor distance distribution up to the fiftieth order is also reported. The statistical analysis presented in this paper was carried out using the Spatstat package for R language.<sup>15</sup>

### II. SAMPLE FABRICATION

The statistical study of the BD spot distribution was performed on MIM capacitors with circular area electrodes of radius  $R = 113, 282, \text{ and } 423 \mu\text{m}$ . The devices were fabricated as follows: 200 nm-thick thermal SiO<sub>2</sub> layers were

grown on n-type Si(100) substrates with resistivities of 1–4  $\Omega$  cm. MIM capacitors were formed on the insulating layers by first depositing Pt (200 nm-thick) by electron-beam evaporation. The samples were then placed in a Cambridge NanoTech Fiji atomic layer deposition (ALD) system where  $\text{HfO}_2$  (30 nm-thick) was deposited using TEMAHf precursor and  $\text{H}_2\text{O}$ . The samples were then returned to the e-beam evaporator and a Pt layer (200 nm-thick) was deposited on top of the  $\text{HfO}_2$  layer. Lithography and lift-off processes were used to form arrays of capacitors with different radius. Access to the bottom Pt metal was enabled via a dry etching technique using a mask/resist process that removes the  $\text{HfO}_2$  to the bottom Pt metal while at the same time protecting the top Pt metal of the patterned devices. In addition, the oxide extends 25  $\mu\text{m}$  beyond the perimeter edge of the top metal. The relative  $\kappa$ -value of the  $\text{HfO}_2$  film extracted from capacitance-voltage measurements is 20. The probe station camera was used to capture the BD spot patterns shown in this work.

### III. BD SPOT PATTERN GENERATION AND STATISTICAL ANALYSIS

Application of TZDB tests from 0 V to 8 V and from 0 V to 10 V to two capacitors with the same radius

( $R = 113 \mu\text{m}$ ) lead to the generation of multiple BD spots on their top metal plates as illustrated in Figs. 1(a) and 1(c), respectively. As expected, the number of spots is larger in the second case because of the higher maximum stress voltage applied. In the first case, the spot pattern consists in  $N = 77$  events with an average intensity  $\lambda = 1.92 \times 10^{-3}$  points/ $\mu\text{m}^2$ , while in the second case the pattern consists in  $N = 529$  events with  $\lambda = 1.32 \times 10^{-2}$  points/ $\mu\text{m}^2$ .  $\lambda$  is calculated as the number of points divided by the nominal area of the device. The degradation process is accompanied by a remarkable increase of the leakage currents that flow through the structures and which largely exceed the limit of our measurement unit (100 mA). In what follows, the BD spot patterns will be mathematically treated as point patterns, *i.e.*, the spot size will be disregarded. As it will be shown below, this has a major statistical consequence mainly in the short distance range. Figures 1(b) and 1(d) illustrate the interevent distance histograms corresponding to Figs. 1(a) and 1(c), respectively. The solid lines were calculated using the expression,

$$p(r) = \frac{2r}{R^2} \left[ \frac{2}{\pi} \cos^{-1} \left( \frac{r}{2R} \right) - \frac{r}{\pi R} \sqrt{1 - \frac{r^2}{4R^2}} \right] \quad 0 < r < 2R, \quad (1)$$

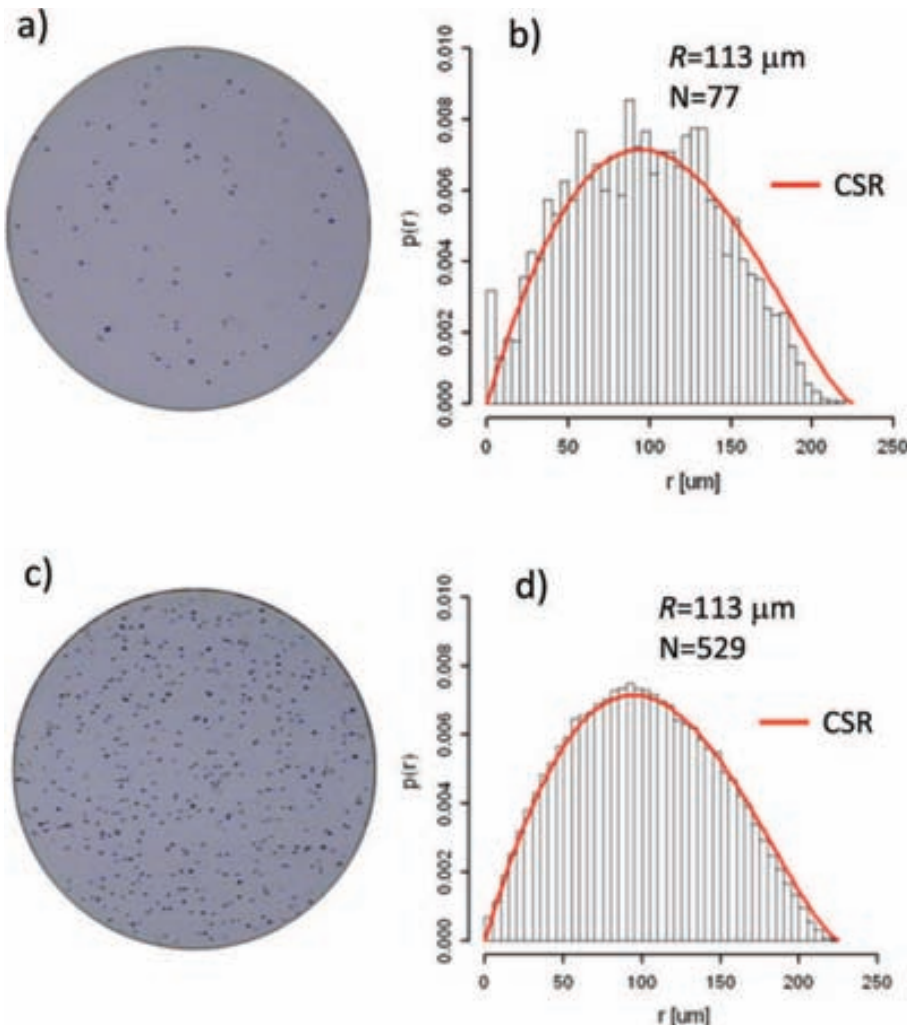


FIG. 1. (a) Breakdown spot distribution corresponding to a ramped voltage stressed device (0 V to 8 V) and (b) is the interevent distance histogram. The number of events is  $N = 77$ . (c) A similar device is stressed now from 0 V to 10 V. (d) is the corresponding interevent distance histogram. The number of events is  $N = 529$ . The solid curves were calculated using expression (1) with  $R = 113 \mu\text{m}$ .



which corresponds to the probability density function (PDF) for the distances between randomly dropped points on a circle of radius  $R$  (see Appendix A). In Spatstat, the circular capacitor is represented by a single connected closed polygon with 128 vertices. Notice that the histograms do not agree completely with a CSR process, the most significant deviations occurring at the longest distances, and it is also clear that the difference reduces for a higher density of points. However, a central problem with this kind of approach, especially in the second case ( $N=529$ ), is that the large number of distances considered  $N(N-1)/2=139656$  hinders the analysis of what is actually happening at the tails of the distribution.

In order to achieve a deeper insight into the point process characteristics, two conventional functional estimators are considered: first,  $F$ , the empty space function or point-event distance distribution and second,  $G$ , the nearest neighbor function or event-event distance distribution.<sup>14</sup>  $F$  is the cumulative distribution function (CDF) of the distance from a fixed point in the plane to the nearest point of the process and can also be interpreted as the probability that a randomly located disc of radius  $r$  contains at least one event. The estimate of  $F$  is a useful statistics summarizing the sizes of gaps in the pattern. On the other hand,  $G$  is the CDF of the distance from a typical point of the process to the nearest other point of the process. Deviations between the empirical and theoretical  $G$  curves may suggest spatial clustering or spatial regularity.  $F$  and  $G$  are estimators widely used in spatial statistics analysis. As it will be shown below,  $G$  can be generalized to higher neighbor orders. Remarkably, both  $F$  and  $G$  have the same CDF for a CSR process (see Appendix B),

$$F(r) = G(r) = 1 - \exp(-\lambda\pi r^2) \quad r > 0, \quad (2)$$

where  $\lambda$  is the average point intensity. Notice that expression (2) assumes an unbounded observation window so that edge effects can in principle introduce some biasing in the estimators and in particular can lead to an overestimation of the mean nearest neighbor distance. This is similar to censoring effects in lifetime models.<sup>8,15</sup> A variety of edge-corrected estimators for  $F$  (Kaplan-Meier, Reduced Sample, Chiu-Stoyan) and  $G$  (Kaplan-Meier, Reduced Sample, Hanisch) have been proposed in the literature and they are illustrated in Fig. 2.<sup>14</sup> As it can be seen, the edge-corrected estimators do not differ significantly among them. Moreover, it will be shown below that edge-effects do not play a critical role in our case. However, notice that while the estimated  $F$  mainly deviates at the long distance range,  $G$  departs from CSR at the short distance scale. Remarkably, the estimated  $G$  for  $N=529$  (Fig. 2(d)) indicates that there are less nearest neighbors than expected for a Poisson process with the same average point intensity. This pseudo-inhibition of nearby points is in a large extent a consequence of having disregarded the size of the spots which can be in the range from  $1\ \mu\text{m}$  to  $3\ \mu\text{m}$ . As shown in Figs. 3(a) and 3(b), the metal electrode is completely molten at the failure sites and the modification of the metal electrode extends over a range of around  $1.5\ \mu\text{m}$ . As a consequence, the resulting structures are far more complicated than simple points. These micro-scale explosions, which in some cases exhibit a surrounding halo (see Fig. 3(b)), are consistent with early reports on the surface generation of BD spots in thick-oxide MOS devices<sup>4</sup> as well as with more recent gate oxide integrity studies.<sup>5</sup> Nevertheless,

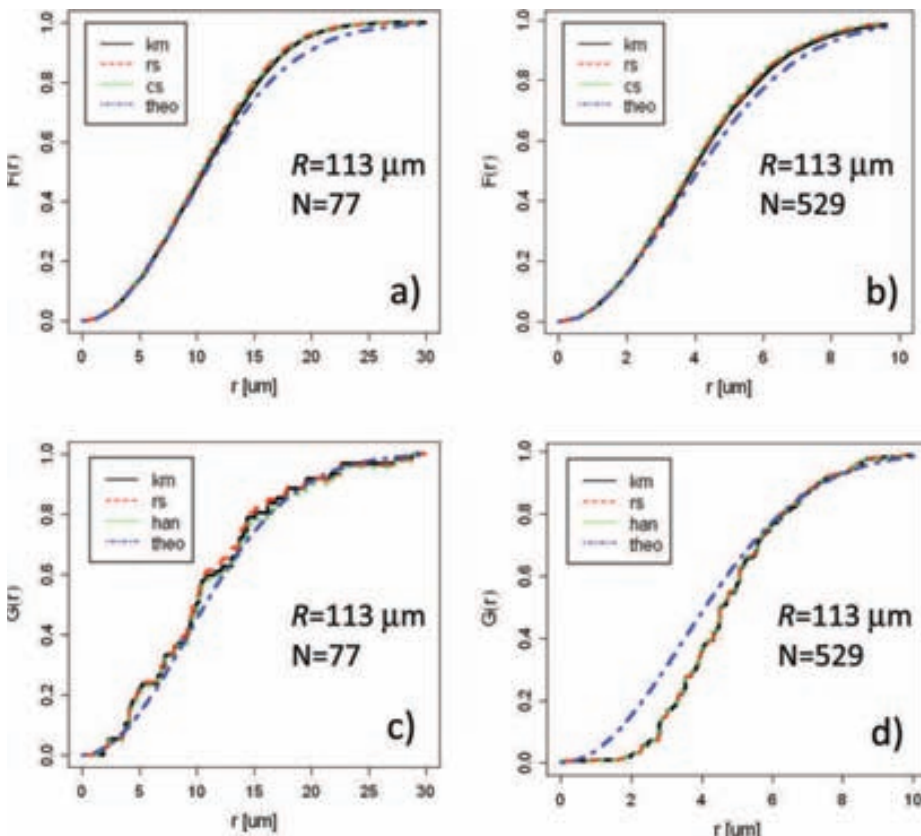


FIG. 2. (a) and (b) correspond to the point-event distance distribution  $F$  with  $N=77$  and  $N=529$  events, respectively. The point patterns are shown in Figs. 1(a) and 1(c). *km* refers to Kaplan-Meier, *rs* to Reduced Sample, *cs* to Chiu-Stoyan corrections, and *theo* to expression (2). (c) and (d) correspond to the event-event distance distribution  $G$  with  $N=77$  and  $N=529$  events, respectively. *han* refers to Hanisch correction.

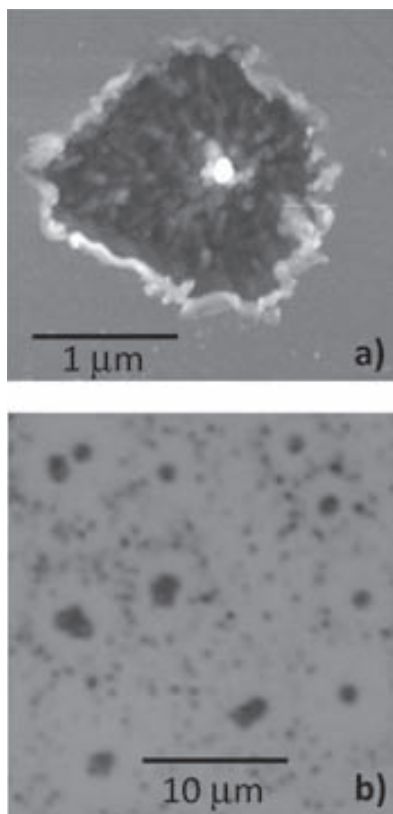


FIG. 3. (a) AFM image of a breakdown spot. (b) Distribution of BD spots as observed through an optical microscope.

a clear limitation of both the  $F$  and  $G$  estimators is the range of distances that can be analyzed, which for understandable reasons decreases as the number of point increases. In order to overcome this restriction, exploration of the distances to second nearest-neighbor, third nearest-neighbor, and even farther neighbors has been suggested as a way to investigate patterns at different scales.<sup>16</sup> As an illustrative example, Fig. 4 shows the  $k$ th-nearest neighbor distances for  $k = 1$  to  $k = 5$  for a typical BD spot pattern. Notice how the average distance between the joined points increases with the neighbor order. This multiscale approach will be used next to detect inhomogeneities in the spot pattern.

The CDF for the  $k$ th-nearest neighbor distance is given by the expression (see Appendix C),

$$G_k(r) = \frac{1}{(k-1)!} \Gamma(k, \pi\lambda r^2) \quad k = 1, 2, 3, \dots, \quad (3)$$

where  $\Gamma$  is the incomplete gamma function of order  $k$ . For  $k = 1$ , the event-event distribution  $G$  given by expression (1) is recovered. To illustrate the effects of considering very dissimilar patterns on the  $G_k$  estimator, two cases are analyzed in detail. In this example, a device with radius  $R = 282 \mu\text{m}$  has been stressed twice in order to increase the number of BD spots. Figures 5(a) and 5(b) show the corresponding intensity plot and the CDF  $G_k$  ( $k$  from 1 to 5) after the first stress ( $N = 182$ ,  $\lambda = 7.3 \times 10^{-4}$  points/ $\mu\text{m}^2$ ), respectively. Notice that in this case, the nearest neighbor distances (solid lines) are shorter than expected for a CSR process with the same intensity (dashed lines), which is seemingly, although

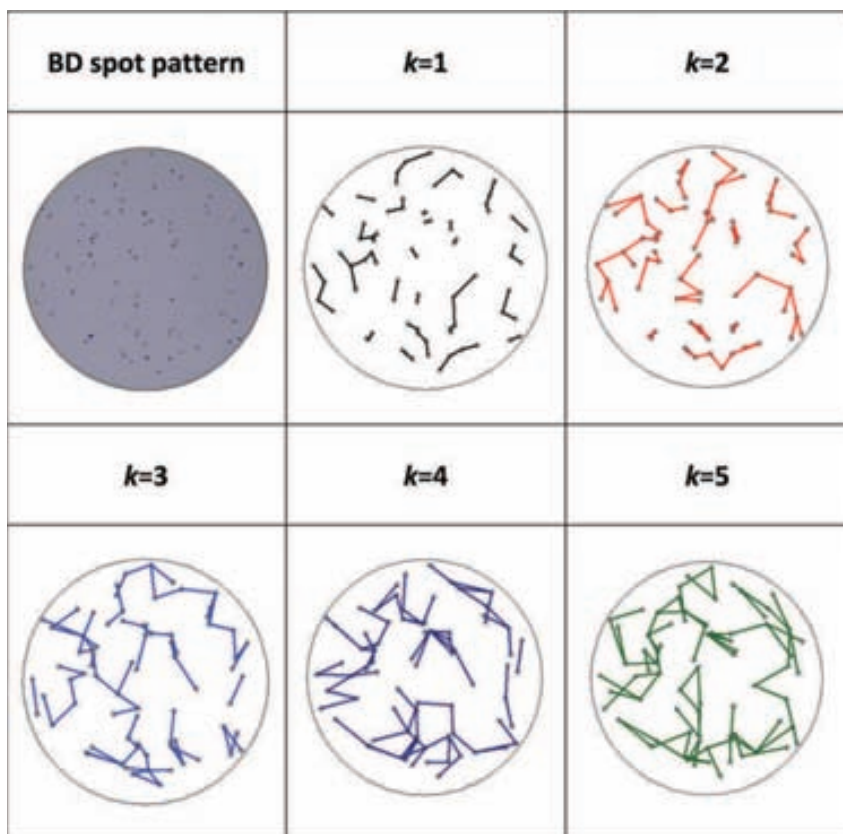


FIG. 4. Typical breakdown spot distribution and its  $k$ th nearest event map ( $k$  from 1 to 5).



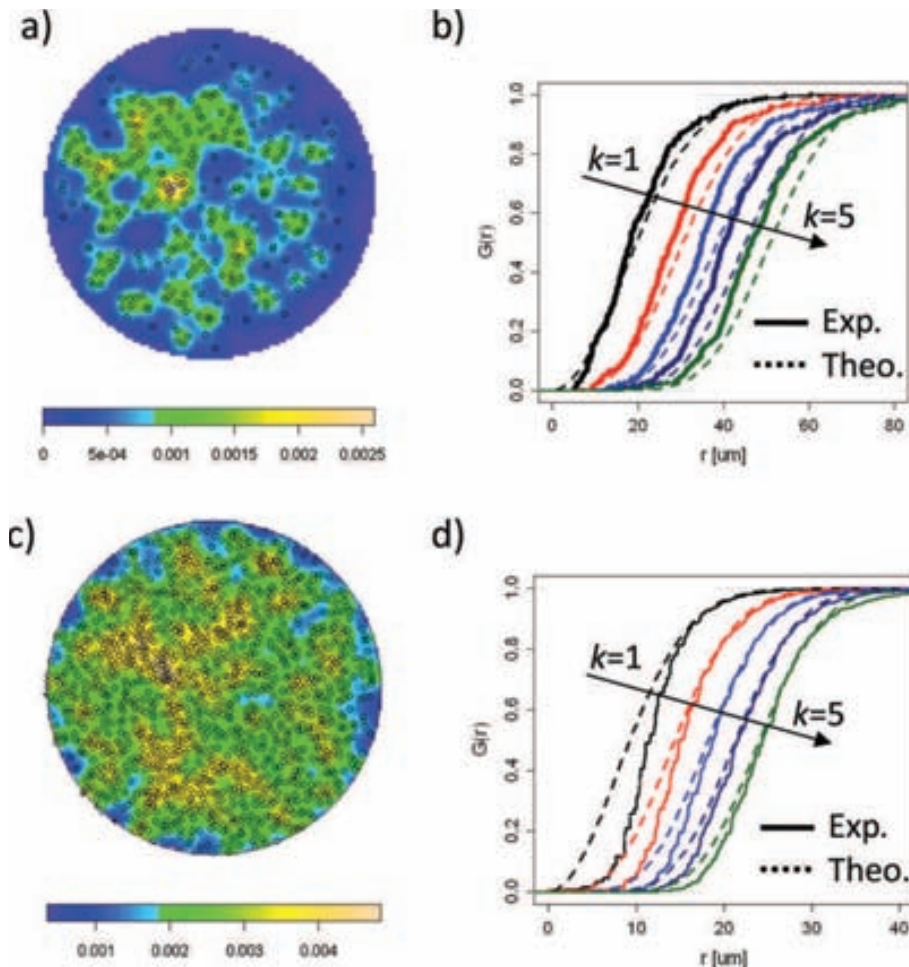


FIG. 5. (a) and (b) correspond to the intensity plot and the  $G_k$  ( $k$  from 1 to 5) distributions, respectively, for a device with  $R=282\ \mu\text{m}$  and  $N=182$  events. (c) and (d) correspond to the same device after a second ramped voltage stress. In this case  $N=969$  events.

not conclusive, an indication of clustering. The difference between the empirical and theoretical curves increases for higher neighbor order. In fact, this is not a consequence of a genuine attraction process but a result of the low density of spots close to the periphery of the device. This observation is consistent with the larger than unity pair correlation function values reported in Ref. 9 for the same devices. In the case of Figs. 5(c) and 5(d), the point intensity is higher ( $N=969$ ,  $\lambda=3.9\times 10^{-3}$  points/ $\mu\text{m}^2$ ) and the empirical distances are longer than those for a CSR process. Again, this is because the size of the spots was neglected. As expected, this deviation reduces as the neighbor order increases and thus as the distance range under test increases. In order to show that the observed features do not arise because of a bounded observation window but as a consequence of the absence of points close to the periphery of the device and because of the finite size of the spots, Figs. 6(a) and 6(b) show  $G_k$  plots for two simulated point processes with  $N=200$ . In the first case, the spots are generated just within an inner circle with a radius shorter ( $0.9R$ ) than the actual device radius (see Fig. 6(a)). Notice that this particular distribution yields a parallel shift of the empirical  $G_k$  estimators toward the longer distance range. In the case of Fig. 6(b), the events are strictly mathematical points. No significant difference can be detected between the empirical and theoretical distributions for the typical device size and point number considered in this work.

Since a nonuniform BD spot distribution is apparently detected in our samples (see for example Fig. 5(c)), an immediate question arises concerning the significance of the average spot density calculated simply as the observed number of events over the area of the device: in what extent is this value a reliable measure of the process intensity given that the periphery of the devices exhibits such a peculiar behavior? In order to answer this question and to give a quantitative measure of this deviation, the following property of the estimator  $G_k$  is invoked:

$$r_k = \sqrt{\frac{k - \frac{1}{2}}{\lambda\pi}}, \quad (4)$$

where  $r_k$  is the distance corresponding to the mode (maximum of the PDF  $g_k$ ) of the distribution for the  $k$ th-order event-event distribution (see Appendix C). Expression (4) can be rearranged as

$$A_k = \pi r_k^2 = \frac{1}{\lambda} \left( k - \frac{1}{2} \right), \quad (5)$$

where now,  $A_k$  is the area of the disc associated with the most frequent observed event-event distance at the order  $k$ . We call  $A_k$  the  $k$ th nearest neighbor disc area. Notice the linear relationship with slope  $1/\lambda$  between  $A_k$  and  $k-0.5$  expressed by Eq. (5). In this connection, Fig. 7 illustrates

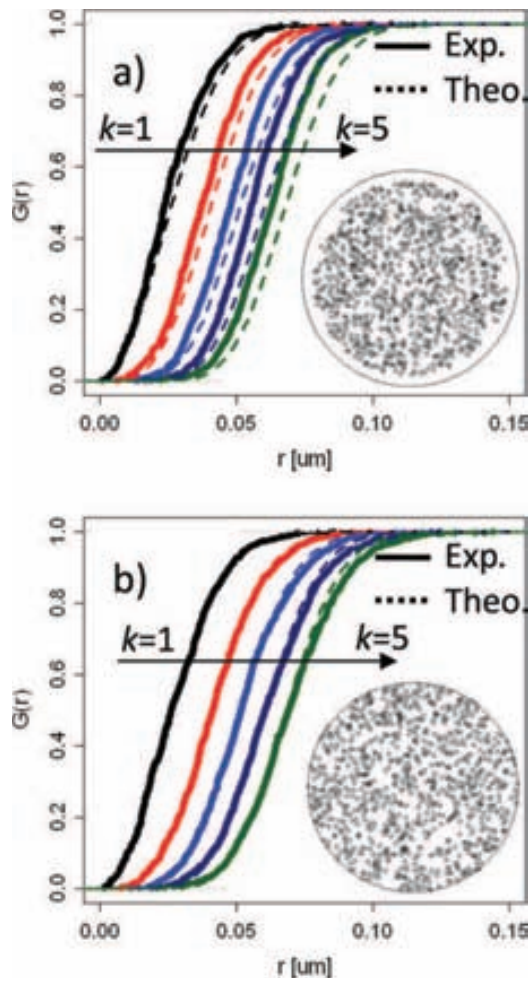


FIG. 6. Analysis of a simulated random point process with  $N=200$ . (a) shows the  $G_k$  ( $k$  from 1 to 5) theoretical and empirical distributions for a process without points close to the periphery of the device. In (b), the points follow a spatial random process. Notice that no edge effect is observable.

three cases of interest (two of them revisited): (a)  $R = 113 \mu\text{m}$  with  $N = 77$  and  $N = 529$  events, (b)  $R = 282 \mu\text{m}$  with  $N = 182$  and  $N = 969$  events, and (c)  $R = 423 \mu\text{m}$  with  $N = 322$  and  $N = 1440$  events. The circles correspond to the cases with the lowest density of spots, while the squares correspond to the highest density cases. The maximum order considered is  $k=50$  in order to avoid edge effects. The dashed lines are the theoretical values for  $A_k$  considering  $\lambda = N/A$ , where  $N$  is the number of events and  $A$  the area of the device. The solid lines in either case are linear fits to the experimental data from which the effective value  $\lambda_{\text{eff}}$  is calculated using Eq. (5). Table I summarizes the obtained results for the three samples with different damage levels investigated. Notice that  $\lambda_{\text{eff}} > \lambda$  in all the cases. From  $\lambda_{\text{eff}}$ , and assuming for simplicity that the number of points remains unchanged, it is possible to estimate the effective radius  $R_{\text{eff}}$  of the most damaged device area. In Fig. 8, the experimental and theoretical lines corresponding to the highest density of spots are illustrated for comparison. In all the cases analyzed,  $R_{\text{eff}} < R$  is obtained, which indicates a higher concentration of events towards the center of the structures. It is worth mentioning that the occurrence of a low-density

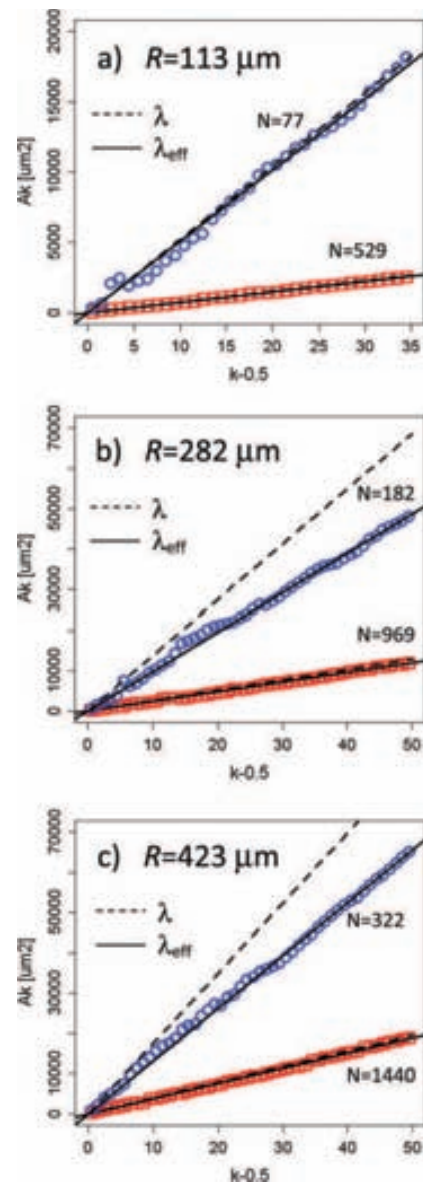


FIG. 7. Evaluation of the area of the disc corresponding to the  $k$ th nearest neighbor for devices with different radius and number of points: (a)  $R = 113 \mu\text{m}$  with  $N = 77$  and  $N = 529$  points, (b)  $R = 282 \mu\text{m}$  with  $N = 182$  and  $N = 969$  points, and (c)  $R = 423 \mu\text{m}$  with  $N = 322$  and  $N = 1440$  events. The circles correspond to the lowest number of events while the squares correspond to the highest number. The solid lines were obtained using expression (5) with  $\lambda_{\text{eff}}$  whereas the dashed lines were obtained with the same equation using  $\lambda = N/A$ , where  $N$  is the number of points and  $A$  the area of the device (see Table I for the parameter values).

BD spot region, which approximately consists in an outer annulus  $10 \mu\text{m}$  width, can only be observed in the two largest area devices ( $R = 282 \mu\text{m}$  and  $R = 423 \mu\text{m}$ ) analyzed. Even though there is no clear explanation yet on what causes this anomaly, it has been observed that severely stressed devices exhibit a huge accumulation of marks toward the center of the structure regardless of their shape, circular or rectangular. These results require further investigation but local dielectric constant deviations, thickness nonuniformities, or strain effects associated with the lift-off process could be behind the observed phenomenon. In principle, as reported in Ref. 9, the spatial scale of the fringing electric field at the

TABLE I. Summary of the obtained results.  $R$  is the nominal device radius,  $N$  the number of events detected,  $\lambda$  the average point intensity,  $\lambda_{\text{eff}}$  the effective average point intensity, and  $R_{\text{eff}}$  the effective radius of the damaged device area.

$R$ [ $\mu\text{m}$ ]	$N$	$\lambda$ [ $\mu\text{m}^{-2}$ ] = $N/\pi R^2$	$\lambda_{\text{eff}}$ [ $\mu\text{m}^{-2}$ ] from Eq. (5)	$R_{\text{eff}}$ [ $\mu\text{m}$ ] = $(N/\pi\lambda_{\text{eff}})^{0.5}$
113	77	$1.92 \times 10^{-3}$	$1.97 \times 10^{-3}$	111.52
	529	$1.32 \times 10^{-2}$	$1.35 \times 10^{-2}$	111.49
282	182	$7.28 \times 10^{-4}$	$1.02 \times 10^{-3}$	237.45
	969	$3.88 \times 10^{-3}$	$4.19 \times 10^{-3}$	271.10
423	322	$5.73 \times 10^{-4}$	$7.63 \times 10^{-4}$	366.54
	1440	$2.56 \times 10^{-3}$	$2.66 \times 10^{-3}$	414.63

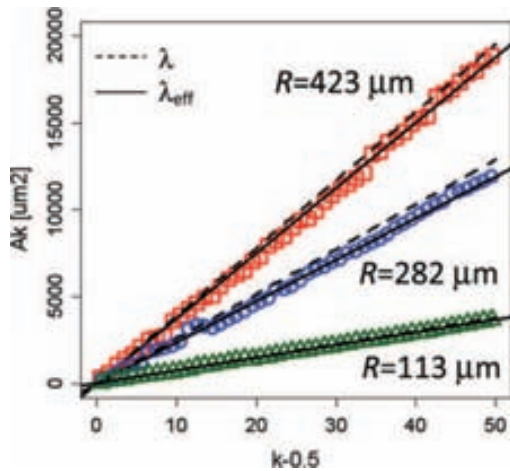


FIG. 8. Comparison of the area of the disc corresponding to the  $k$ th nearest neighbor for devices with different radius and the maximum number of points achieved. The solid lines were obtained using expression (5) with  $\lambda_{\text{eff}}$ , whereas the dashed lines were obtained with the same equation using  $\lambda = N/A$  (see Table I for the parameter values).

edge of the capacitors does not seem to correlate to the spatial scale of the low BD spot density region.

#### IV. CONCLUSIONS

In this paper, it is has been shown that the assumption of a 2D homogeneous Poisson process for the breakdown spot spatial distribution in MIM structures does not always hold true. In order to demonstrate that deviations can indeed occur in such structures, a number of numerical and functional estimators like the event-event and point-event distributions were investigated. A novel methodology based on the analysis of the  $k$ th nearest neighbor disc area was shown to be useful to quantify the observed departures from complete spatial randomness. Finally, it is worth emphasizing that the method reported here is general and can be applied to any other system or structure exhibiting similar distribution of events.

#### ACKNOWLEDGMENTS

This work is funded in part by the Spanish Ministry of Science and Technology under contract number TEC2012-

32305 and the DURSI of the Generalitat de Catalunya under contract number 2009SGR783. The authors also acknowledge I. M. Povey, E. O'Connor, and K. Cherkaoui from Tyndall National Institute, Cork, Ireland for their assistance during the oxide deposition and electrical characterization of the samples.

#### APPENDIX A: EVENT-EVENT DISTANCE DISTRIBUTION

The PDF of the distance  $r$  between two points randomly dropped on a circle of radius  $R$  is derived here using Crofton's theorem.<sup>17</sup> If  $P$  is the probability that the two points are separated by a distance between  $r$  and  $r + \Delta r$  and  $P_1$  is the same probability when one of the points is on the circumference of the circle then,

$$AdP = 2(P_1 - P)dA, \quad (\text{A1})$$

where  $A = \pi R^2$  is the area of the circle and  $dA = 2\pi R dR$  the differential area. Since the area of the annulus section in Fig. 9 is

$$S = 2\arccos\left(\frac{r}{(2R)}\right)r\Delta r \quad (\text{A2})$$

the probability  $P_1$  is given by

$$P_1 = \frac{S}{\pi R^2} = \frac{2r\Delta r\cos^{-1}(r/(2R))}{\pi R^2}. \quad (\text{A3})$$

Substituting expression (A3) into Crofton's formula (A1) and rearranging terms we get

$$R^4 dP + 4R^3 P dR = \frac{8r\Delta r R \cos^{-1}(r/(2R))}{\pi}, \quad (\text{A4})$$

which after integrating and using the zero-probability event  $p = 0$  for  $r = 2R$  yields

$$p(r) = \frac{2r}{R^2} \left[ \frac{2}{\pi} \cos^{-1}\left(\frac{r}{2R}\right) - \frac{r}{\pi R} \sqrt{1 - \frac{r^2}{4R^2}} \right] \quad 0 < r < 2R. \quad (\text{A5})$$

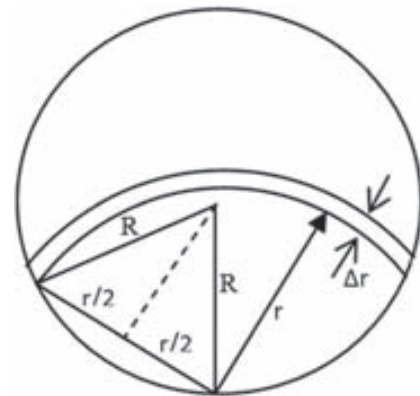


FIG. 9. Scheme for the calculation of the interevent distance distribution of randomly dropped points on a circle of radius  $R$ .



Integrating Eq. (A5), we can also calculate the CDF  $P(r)$

$$P(r) = 1 + \frac{2}{\pi} \left( \frac{r^2}{R^2} - 1 \right) \cos^{-1} \left( \frac{r}{2R} \right) - \frac{r}{\pi R} \left( 1 + \frac{r^2}{2R^2} \right) \sqrt{1 - \frac{r^2}{4R^2}} \quad 0 < r < 2R. \quad (\text{A6})$$

**APPENDIX B: CONTACT DISTRIBUTION**

Let  $P(r)$  be the probability of finding no points within a distance  $r$  of some fixed point (see Fig. 10). For a CSR process with intensity  $\lambda$ , the probability that there will be a point in an infinitesimal annulus between the distances  $r$  and  $r + \Delta r$  is  $2\pi\lambda r\Delta r$ . The probability that there are no points within  $r + \Delta r$  is by independence the probability that there are no points within  $r$  times the probability that no point occurs in the region between  $r$  and  $r + \Delta r$ , that is,

$$P(r + \Delta r) = P(r)(1 - 2\pi\lambda r\Delta r). \quad (\text{B1})$$

Considering  $\Delta r \rightarrow 0$ , we arrive at the differential equation

$$\frac{dP(r)}{dr} = -2\pi\lambda rP(r), \quad (\text{B2})$$

which, under the condition  $P(r = 0) = 1$ , gives

$$P(r) = \exp(-\pi\lambda r^2). \quad (\text{B3})$$

The empty space function or point-event distribution is defined as  $F(r) = 1 - P(r)$ , that is,

$$F(r) = 1 - \exp(-\pi\lambda r^2). \quad (\text{B4})$$

Therefore, the PDF for the contact distribution is given by the expression

$$f(r) = 2\pi\lambda r \exp(-\pi\lambda r^2). \quad (\text{B5})$$

**APPENDIX C:  $k$ th NEAREST NEIGHBOUR DISTRIBUTION**

For a CSR process with intensity  $\lambda$ , the probability of having at least  $k$  points in a circle of area  $A = \pi R^2$  is given by

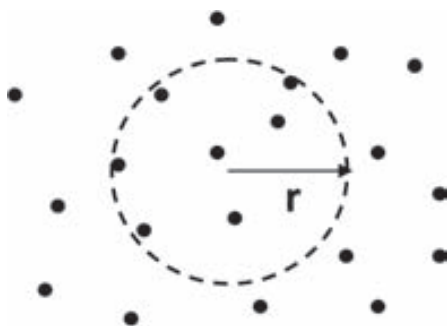


FIG. 10. Scheme for the calculation of the point-event distance distribution  $F$ .  $r$  is the distance from an arbitrary point of the plane (which does not necessarily coincide with a point of the process) to another arbitrary point of the plane.

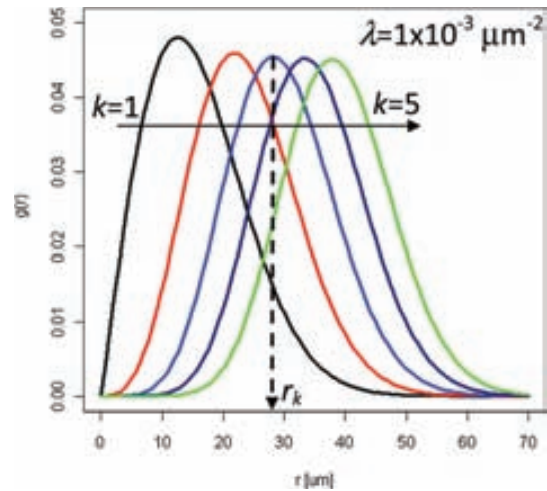


FIG. 11. Plot of the theoretical PDF distribution  $g$  (Eq. (C3)) for the nearest neighbor event ( $k$  from 1 to 5).  $r_k$  is the maximum of the distribution.

$$P(n, A) = 1 - \sum_{i=0}^{k-1} \frac{(\lambda A)^i}{i!} \exp(-\lambda A). \quad (\text{C1})$$

The probability that the  $k$ th nearest point is found in the interval  $r + \Delta r$  equals to the probability that this point is located in the annulus with inner and outer radius  $r$  and  $r + \Delta r$ , respectively. Assuming  $\Delta r \rightarrow 0$ , we get

$$P(k, k \in \Delta A) = P(k, \pi(r + \Delta r)^2) - P(k, \pi r^2), \quad (\text{C2})$$

which after differentiating with respect to  $r$  yields

$$g_k(r) = \frac{2(\pi\lambda)^k}{(k-1)!} r^{2k-1} \exp(-\pi\lambda r^2) \quad k = 1, 2, 3, \dots \quad (\text{C3})$$

Equation (C3) gives the PDF of the distance from an arbitrarily chosen point to its  $k$ th nearest neighbor (see Fig. 11).  $r_k$  is the maximum of  $g_k$  and is given by expression (4). Remarkably, substituting  $m = \pi\lambda r^2$  in Eq. (C3) yields

$$g_k(r) = \frac{m^{k-1}}{(k-1)!} \exp(-m) \quad k = 1, 2, 3, \dots, \quad (\text{C4})$$

which corresponds to the Erlang distribution of order  $k$ . Finally, the CDF reads

$$G_k(r) = \frac{1}{(k-1)!} \Gamma(k, \pi\lambda r^2) \quad k = 1, 2, 3, \dots, \quad (\text{C5})$$

where  $\Gamma(k, t) = \int_0^t x^{k-1} e^{-x} dx$  is the lower incomplete gamma function of order  $k$ . For  $k = 1$ , we obtain the event-event CDF

$$G(r) = 1 - \exp(-\lambda\pi r^2). \quad (\text{C6})$$

<sup>1</sup>A. Oates, "Reliability issues for high-K gate dielectrics" in *IEEE International Electron Devices Meeting, 2003. IEDM '03 Technical Digest* (IEEE, 2003), pp. 38.2.1–38.2.4.

<sup>2</sup>E. Miranda and J. Suñé, "Electron transport through broken down ultra-thin SiO<sub>2</sub> layers in MOS devices," *Microelectron. Reliab.* **44**, 1–23 (2004).

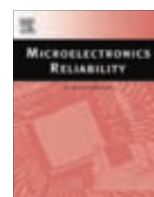
- <sup>3</sup>S. Lombardo, J. Stathis, B. Linder, K. Leon Pey, F. Palumbo, and C. H. Tung, "Dielectric breakdown mechanisms in gate oxides," *J. Appl. Phys.* **98**, 121301 (2005).
- <sup>4</sup>N. Klein and H. Gafni, "The maximum dielectric strength of thin silicon oxide films," *IEEE Trans. Electron. Devices* **13**, 281–289 (1966).
- <sup>5</sup>S. Huth, O. Breitsenstein, A. Huber, and U. Lambert, "Localization of gate oxide integrity defects in silicon metal-oxide-semiconductor structures with lock-in IR thermography," *J. Appl. Phys.* **88**, 4000–4003 (2000).
- <sup>6</sup>X. Zhu, W. Su, Y. Liu, B. Hu, L. Pan, W. Lu, J. Zhang, and R. Li, "Observation of conductance quantization in oxide-based resistive switching memory," *Adv. Mater.* **24**, 3941 (2012).
- <sup>7</sup>K. Kim, D. Jeong, and C. Hwang, "Nanofilamentary resistive switching in binary oxide system: a review on the present status and outlook," *Nanotechnology* **22**, 254002 (2011).
- <sup>8</sup>P. Diggle, in *Statistical Analysis of Spatial Point Patterns* (Arnold, 2003).
- <sup>9</sup>E. Wu, J. Stathis, and L. Han, "Ultra-thin oxide reliability for ULSI applications," *Semicond. Sci. Technol.* **15**, 425 (2000).
- <sup>10</sup>J. Suñé and E. Wu, "Statistics of successive breakdown events in gate oxides," *IEEE Electron. Devices Lett.* **24**, 272 (2003).
- <sup>11</sup>M. Alam, D. Varghese, and B. Kaczer, "Theory of breakdown position determination by voltage- and current-ratio methods," *IEEE Trans. Electron. Devices* **55**, 3150 (2008).
- <sup>12</sup>E. Miranda, E. O'Connor, and P. K. Hurley, "Analysis of the breakdown spots spatial distribution in large area MOS structures," in *IEEE International Reliability Physics Symposium (IRPS)* (IEEE, 2010), pp. 775–777.
- <sup>13</sup>E. Miranda, D. Jiménez, J. Suñé, E. O'Connor, S. Monaghan, I. Povey, K. Cherkaoui and P. K. Hurley, "Nonhomogeneous spatial distribution of filamentary leakage paths in circular area Pt/HfO<sub>2</sub>/Pt capacitors," *J. Vac. Sci. Technol. B* **31**, 01A107 (2013).
- <sup>14</sup>J. Illian, A. Penttinen, H. Soyan, and D. Stoyan, in *Statistical Analysis and Modelling of Spatial Point Patterns* (Wiley, 2008).
- <sup>15</sup>A. Baddeley and R. Turner, "Spatstat: an R package for analyzing spatial point patterns," *J. Stat. Software* **12**, 1 (2005). Available at <http://www.jstatsoft.org/v12/i06/>.
- <sup>16</sup>P. Dixon, "Nearest neighbor methods," in *Encyclopedia of Environmetrics* (John Wiley & Sons, 2013), doi: 10.1002/9780470057339.van007.pub2.
- <sup>17</sup>H. Solomon, in *Geometric probability*, CBMS-NSF Regional Conference Series in Applied Mathematics Vol. 28 (Siam, 1978).





Contents lists available at ScienceDirect

# Microelectronics Reliability

journal homepage: [www.elsevier.com/locate/microrel](http://www.elsevier.com/locate/microrel)

## Direct observation of the generation of breakdown spots in MIM structures under constant voltage stress

X. Saura<sup>a,\*</sup>, D. Moix<sup>a</sup>, J. Suñé<sup>a</sup>, P.K. Hurley<sup>b</sup>, E. Miranda<sup>a</sup><sup>a</sup> *Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, Cerdanyola del Vallès, 08193 Barcelona, Spain*<sup>b</sup> *Tyndall National Institute, University College Cork, Cork, Ireland*

### ARTICLE INFO

#### Article history:

Received 22 May 2013

Received in revised form 17 June 2013

Accepted 16 July 2013

### ABSTRACT

Oxide reliability analysis in metal–insulator–metal and metal–insulator–semiconductor structures relies on electrical characterization methods like time-dependent dielectric breakdown (TDDB) tests. It has been demonstrated in previous studies that during a constant voltage TDDB test it is possible to detect the generation of multiple breakdown events in a single device. As we show in this paper, in some occasions, not only the time-to-breakdown but also the spatial location of each failure event over the device area can be recorded. This latest feature adds a new dimension to standard oxide reliability analysis since spatio-temporal statistics can be applied. A simple method for determining the generation rate and location of the breakdown spots in Pt/HfO<sub>2</sub>(30 nm)/Pt structures based on image subtraction and thresholding is reported.

© 2013 Elsevier Ltd. All rights reserved.

### 1. Introduction

Standard reliability analysis of metal–insulator–metal (MIM) and metal–insulator–semiconductor (MIS) structures often involves the application of constant electrical stress (current or voltage) and the detection of the time-to-breakdown (BD) [1]. This is the so-called time-dependent dielectric breakdown (TDDB) test. In thick oxides the BD event is recognized by a sudden current increase, whereas in thin oxides, the BD event is associated with an anomalous increment in the leakage current noise. The TDDB test is not limited to the observation of the first BD event since many BD events can be detected in a single device as well [2]. Physically, the breakdown of the oxide layer takes place when a critical density of defects is locally reached and a filamentary conduction path is formed across the dielectric [3]. This event generates a short and a sudden discharge between the capacitor electrodes which can be energetic enough to leave its fingerprint on the top metal plate. This is the case reported and analyzed in this paper. It is shown here that using well-known image processing techniques, such as subtraction and thresholding, it is possible to obtain direct information not only about the failure time but also about the spatial location of every perceptible BD spot. This opens the path to the application of spatio-temporal analysis in MIM and MIS reliability studies. Of course this additional tool does not replace standard TDDB tests since its application is strictly restricted to cases in which a BD spot pattern is observed.

### 2. Samples and stress conditions

The devices investigated in this work were MIM capacitors fabricated as follows: 200 nm-thick thermal SiO<sub>2</sub> layers were grown on n-type Si(100) substrates with resistivities of 1–4 Ω cm. Capacitors were formed on the insulating layers by first depositing Pt (200 nm) by electron-beam evaporation. The samples were then placed in a Cambridge NanoTech Fiji atomic layer deposition (ALD) system where HfO<sub>2</sub> (30 nm) was deposited using TEMA/Hf precursor and H<sub>2</sub>O. The samples were then returned to the e-beam evaporator and a Pt layer (200 nm) was deposited on top of the HfO<sub>2</sub>. Lithography and a lift-off process were used to form arrays of circular area capacitors of radius 112 μm. Access to the bottom Pt metal was enabled via a dry etching technique using a mask/resist process that removes the HfO<sub>2</sub> to the bottom Pt metal while at the same time protecting the top Pt metal of the patterned devices. In addition, the oxide extends 25 μm beyond the perimeter edge of the top metal. Constant voltage stress (CVS) was performed with the bottom electrode grounded. The probe station camera was used to capture the capacitor degradation images using a resolution of 640 × 480 pixels. A typical evolution of the BD spot pattern is illustrated in Fig. 1.

### 3. Detection and image processing technique

In order to achieve accurate information about the temporal occurrence and spatial location of each failure event under CVS, a custom software using the Open Source Computer Vision Library (OpenCV) was developed (see Fig. 2a) [4]. This is a library of programming functions aimed at real-time computer vision and image

\* Corresponding author. Tel.: +34 935813521

E-mail address: [xavier.saura.mas@uab.cat](mailto:xavier.saura.mas@uab.cat) (X. Saura).



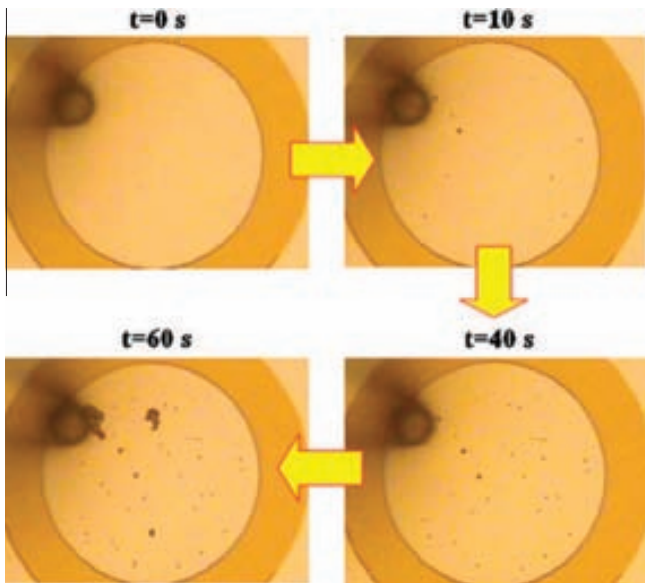
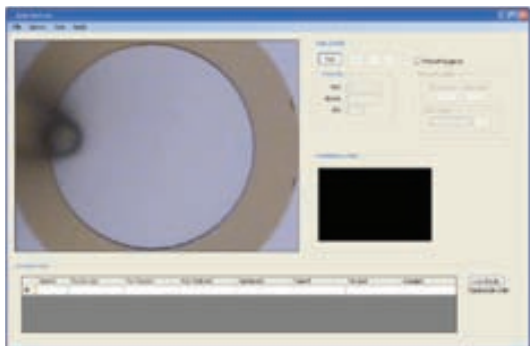


Fig. 1. Generation of BD spots in a MIM structure as a function of time. The applied voltage to the gate is  $-9$  V.



Fig. 3. Detected spots viewer. The table below indicates the temporal and spatial location of the detected events. The voltage probe is located in the second quadrant.

(a)



(b)  $t-1$



(c)  $t-1$

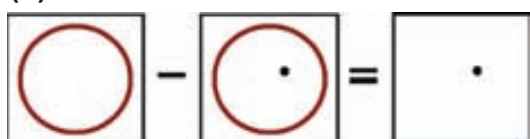


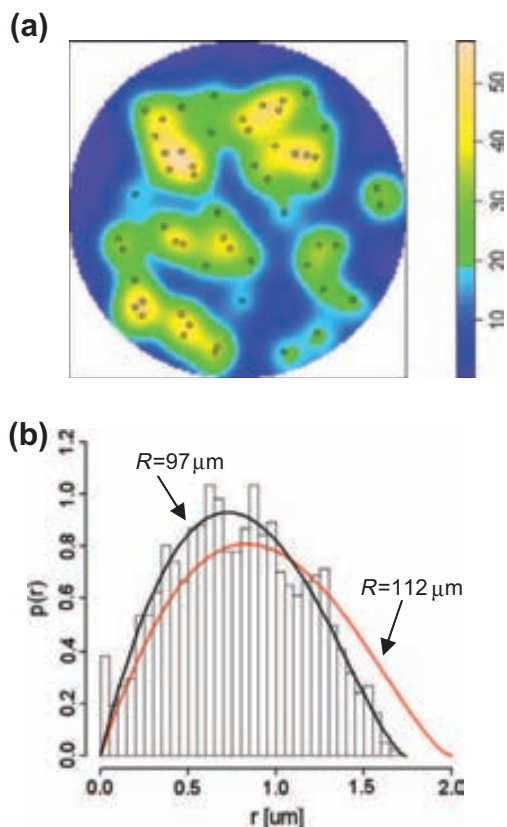
Fig. 2. (a) Main screen of the spot detection software. The black rectangle corresponds to the detection mask (DM). Difference of frames ( $t$  and  $t-1$ ) and detection mask (DM) corresponding to (b) no event detection and (c) single event detection.

processing. The temporal occurrence of a BD event is determined by the image subtraction method: as illustrated in Fig. 2b, if no event takes place in between the frames  $t$  and  $t-1$ , the detection mask shown in Fig. 2a (black box) remains unaltered. However, if

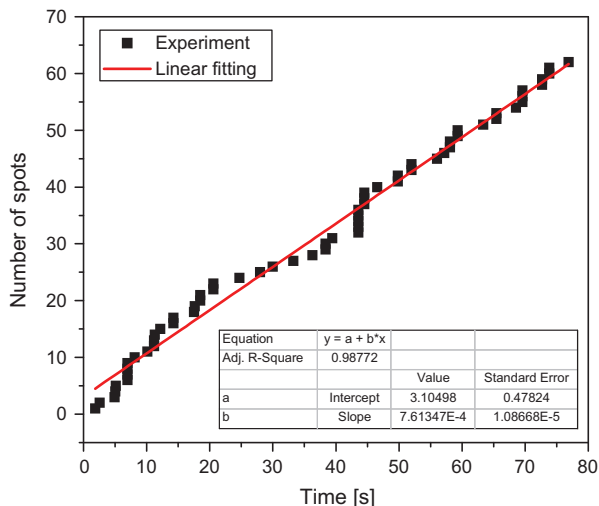
there is a change within the same time period, the pixel matrix representing the detection mask changes the corresponding elements (see Fig. 2c). This determines the BD time. In order to spatially locate the BD event a boundary detection function (*FindContours*) included in OpenCV is applied to the detection mask. Minimum and maximum feature areas for detection can be defined by the user as well. In addition, thresholding is used to set the detection level in grey-scale images (minimum change in color needed to represent a BD event). The final outcome is illustrated in Fig. 3. Each spot or surface feature detected is identified by a sequential number for later edition. The software allows working with dimensions in pixels or in any other unit length.

#### 4. Results and analysis

After the detection of the BD spot pattern, the stored information can be used to carry out spatio-temporal analysis. As a basic example, we will consider the pattern illustrated in Figs. 1 and 3. In this case, a CVS at  $-9$  V was applied to the device for 80 s. Fig. 4a shows the corresponding intensity plot. The color scale in this plot is an indication of the density of points per unit area (with the radius normalized to unity) and is calculated using an isotropic Gaussian kernel with bandwidth of 0.9. Previous studies based on similar static pictures, obtained at the end of stress, revealed that the spots are spatially uncorrelated [5]. In addition, it was found that the points are not uniformly distributed, contrary to what is often assumed in oxide reliability analysis. This is particularly important in the largest area devices, where the number of spots is also larger than in the present case. The absence of points close to the periphery of the device can be quantified using the inter-event distance histogram shown in Fig. 4b. It can be seen that the BD spots do not follow a complete spatial randomness (CSR) process in the whole device area ( $R = 112 \mu\text{m}$ ) but the pattern is consistent with CSR in a smaller effective device area ( $R_{\text{eff}} = 97 \mu\text{m}$ ). The solid lines in Fig. 4b were calculated using the probability distribution function for points randomly dropped on a circle of radius  $R$  [5]:



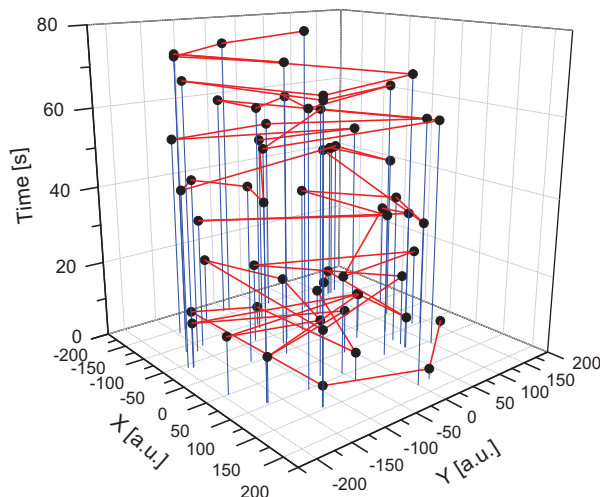
**Fig. 4.** (a) Intensity plot for the BD spot pattern at the end of the CVS. The radius of the device is normalized to unity. (b) Intervent distance histogram for the data shown in Fig. 4 a. The black and red lines correspond to CSR processes (Eq. (1)) with  $R = 112 \mu\text{m}$  and a effective radius  $R = 97 \mu\text{m}$ , respectively.



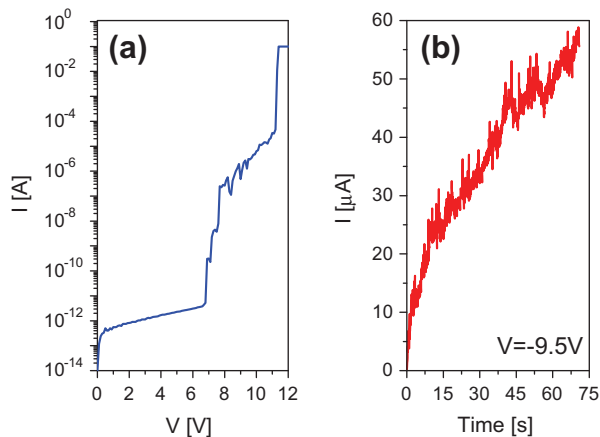
**Fig. 5.** Generation of BD spots as a function of stress time. The symbols are the experimental data and the solid line is a linear fitting.

$$p(r) = \frac{2r}{R^2} \left[ \frac{2}{\pi} \cos^{-1} \left( \frac{r}{2R} \right) - \frac{r}{\pi R} \sqrt{1 - \frac{r^2}{4R^2}} \right] \quad 0 < r < 2R \quad (1)$$

The BD spots generation rate can be assessed from Fig. 5. In this case, it was found an approximate linear growing rate of about 0.76 spots/s (see the solid line obtained by a least square fitting method). This indicates that the generation of new spots is not affected



**Fig. 6.** Breakdown trajectory under CVS. The dots represent the occurrence of BD spots.



**Fig. 7.** (a) Typical current–voltage characteristic showing the effects of degradation and (b) evolution of the current during a CVS at  $-9.5 \text{ V}$ .

by the already generated ones, i.e. there is no temporal correlation. This observation coincides with the results of the electrical characterization of MIS devices reported in [6] and is consistent with a homogeneous Poisson process (HPP) in time. The data shown in Figs. 4 and 5 can be merged in a single 3D plot so as to have the BD trajectory. This plot is illustrated in Fig. 6.

Finally, Fig. 7a and b show the evolution of the leakage current that flows through the device during the generation of the spots as a function of the applied voltage and stress time, respectively. In the first case, the current exhibits a sudden jump after the occurrence of the first BD event (approximately at  $-7 \text{ V}$  for this particular device). The large jump at the end of the measurement in Fig. 7a, around  $-11 \text{ V}$ , indicates a catastrophic BD of the device. Fig. 7b illustrates the evolution of the current under CVS. No clear feature can be detected in this plot except a current increase associated with the continuous degradation of the oxide layer.

**5. Conclusions**

A simple method to detect the occurrence time and location of breakdown spots in MIM capacitors based on image processing techniques was discussed. The method can be exclusively applied to such cases in which the spots become visible over the top plate of the device. The marks are a consequence of the local evaporation

of the metal electrode. The obtained information can be used to carry out spatio-temporal statistical analysis thus expanding the limits of conventional oxide reliability analysis.

### Acknowledgements

E.M. and J.S. acknowledge the funding of the Spanish Ministry of Science and Innovation (TEC2013), and the DURSI of the Generalitat de Catalunya (2009SGR783). J.S. also acknowledges the funding support of the ICREA ACADEMIA award. P.H. acknowledges the financial support of Science Foundation Ireland (09/IN.1/12633). E. O'Connor, S. Monaghan, I. Povey and K. Cherkaoui are also acknowledged for the experimental support.

### References

- [1] Rosenbaum E, King J, Hu C. Accelerated testing of SiO<sub>2</sub> reliability. *IEEE Trans Electron Dev* 1996;43:70–80.
- [2] Suñé J, Wu E. Statistics of successive breakdown events in gate oxides. *IEEE Electron Dev Lett* 2003;24:272.
- [3] Miranda E, Suñé J. Electron transport through broken down ultra-thin SiO<sub>2</sub> layers in MOS devices. *Microelectron Reliab* 2004;44:1–23.
- [4] <<http://opencv.org/>>.
- [5] Miranda E, Jiménez D, Suñé J, O'Connor E, Monaghan S, Povey I, Cherkaoui K, Hurley PK. Nonhomogeneous spatial distribution of filamentary leakage paths in circular area Pt/HfO<sub>2</sub>/Pt capacitors. *Journal Vacuum Science Technol B* 2013;31:01A107.
- [6] Alam M, Smith R. A phenomenological theory of correlated multiple soft-breakdown events in ultra-thin gate dielectrics. In: *Proc. international reliability physics, symposium IRPS*; 2003. p. 406.

## **Anexo B. Artículo pendiente de publicación**



# Failure Analysis of MIM and MIS Structures Using Point-to-Event Distance and Angular Probability Distributions

X. Saura, S. Monaghan, *Senior Member, IEEE*, P. K. Hurley, *Member, IEEE*, J. Suñé, *Fellow, IEEE*, and E. Miranda, *Senior Member, IEEE*

**Abstract**—Multiple breakdown (BD) spots are generated in large ( $>10^{-4}$  cm<sup>2</sup>) circular and square area metal-insulator-metal and metal-insulator-semiconductor devices using ramped and constant voltage electrical stresses. Due to the important local thermal effects that take place at the very moment of the formation of the conductive paths spanning the insulating layer, the failure events become visible on the top metal electrode of the structures as a point pattern. The resulting point-to-event distance and angular histograms are compared with the theoretical distributions corresponding to a complete spatial randomness (CSR) process. The location of the voltage probe tip over the top electrode is considered here as the singular point from which the positions of the breakdown spots are referred to. In this way we are able to assess the influence of the probe point on the final BD spot distribution. In most of the cases this distribution is consistent with CSR but after prolonged electrical stress a deviation is detected. This departure from CSR is ascribed to the concentration of the current lines in the top electrode toward the center of the structure. The methods reported here are general and can be used for analyzing the generation of similar point patterns occurring in other structures or material systems.

**Index Terms**— MIS, MIM, Oxide breakdown, Oxide reliability, Spatial Statistics

## I. INTRODUCTION

Failure analysis of metal-insulator-metal (MIM) and metal-insulator-semiconductor (MIS) structures often relies on electrical measurements such as ramped and constant current/voltage stresses, which provide useful information on the breakdown strength and time-to-breakdown (BD) of the devices, respectively [1]. When these tests are performed on a large number of devices, statistical plots reveal the stochastic nature of dielectric BD both in time and spatial location over the device area. In most of the cases the experimental time-to-BD distribution is well described by a straight line in the Gumbel plot with slope independent of the device area [2]. This indicates that the failure events follow a complete spatial randomness (CSR) process, *i.e.* a Poisson point process in two

dimensions (2D) [3]. This analysis is often carried out in small area devices and therefore is limited to a single failure site per device. Physically, the occurrence of a BD event corresponds to the local accumulation of defects and the formation of a percolation path spanning the oxide film. In large area capacitors these events are sometimes discernible as a mark pattern on the top metal electrode which arises as a consequence of the important thermal effects that take place during the discharge transients [4,5]. These crater-like structures, which are often referred to as hard BDs with lateral propagation, are the result of micro-explosions that can be easily seen even through an optical microscope. Although the marks correspond to the local melting and evaporation of the metal electrode, thermal lock-in images reveal that many of the failure sites remain conducting after the occurrence of the events [5]. On the other hand, other BD events just leave their fingerprints on the electrode remaining inactive throughout the experiment. This behaviour is typical of the self-healing process occurring in metallized film capacitors [6].

In recent papers, we showed that the methods of spatial statistics are suitable to investigate the distribution of BD spots in large area MIM and MIS structures [7,8]. This kind of study can involve intensity plots, quadrat count analysis, event-to-event distance distribution, nearest neighbour statistics as well as more sophisticated tests like the Ripley's  $K$  function and the pair correlation function analysis [9]. One central objective of spatial statistics is to detect the departure of a point process from homogeneity by comparing the experimental data with the numerical and functional estimators corresponding to a CSR [10]. In our previous studies the possible role played by the voltage probe tip responsible for the generation of the events was totally disregarded. Here, this problem is revisited with the aim of analyzing the distribution of the spots but with respect to a singular location chosen as the reference point. In our case, the reference point coincides with the voltage probe tip but it can be any other point of interest within the observation window such as, for example, the center of the structure. In this paper, two important distributions are assessed: the point-to-event distance and the point-to-event angular probability distributions. It is clear that for CSR processes these latest distributions carry no more information than the standard tests, however we have chosen to include these cases as well for

X. Saura, J. Suñé, and E. Miranda are with the Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona, 08193, Cerdanyola del Vallés, Barcelona, Spain. (e-mail: xavier.saura.mas@uab.cat).

S. Monaghan and P.K. Hurley are with the Tyndall National Institute, University College Cork, Cork, Ireland. (e-mail: paul.hurley@tyndall.ie).



completeness and not exclusively the deviations. Notice that the methods reported here are not only applicable to optically detectable BD spot patterns but would also be suitable for electrically localized BD spots in four terminal submicron devices [11]. The implications of locating BD spots in 2D for reliability projections of thin gate oxides have been extensively discussed in [12-14] so this issue will not be covered here. Notice also that the distributions provided in this work can be of interest in the field of solar cells [15].

## II. SAMPLE FABRICATION AND MEASUREMENTS

Two kinds of devices, Pt/HfO<sub>2</sub>/Pt and NiSi/MgO/InP capacitors, were investigated. Pt/HfO<sub>2</sub>/Pt capacitors were fabricated onto a 200 nm-thick thermal SiO<sub>2</sub> layer grown on n-type Si (100) substrates with resistivities of 1-4 Ω·cm. First, a 200 nm thick Pt layer was deposited by electron-beam evaporation. A 30 nm-thick HfO<sub>2</sub> layer was then deposited by a Cambridge NanoTech Fiji atomic layer deposition (ALD) system using TEMAHF precursor and H<sub>2</sub>O. After this, a 200 nm-thick Pt layer was deposited on top of the HfO<sub>2</sub> layer. Lithography and lift-off processes were used to form arrays of capacitors with different geometries. The access to the bottom Pt electrode was enabled via dry etching technique using a mask/resist process that removes the HfO<sub>2</sub> to the bottom Pt metal while at the same time protecting the top Pt electrode of the patterned devices. In these devices, the oxide layer extends 25 μm beyond the perimeter edge of the top metal. The NiSi/MgO/InP capacitors investigated in this study consists of a MgO film with nominal thickness 20 nm which is deposited by e-beam evaporation on top of a n-type InP substrate. The samples were capped in situ with 100 nm of amorphous silicon (a-Si) using a second e-beam source. For the NiSi gate process, nickel was deposited by e-beam evaporation (~80 nm) through a patterned resist mask followed by a lift-off process. Finally, the Ni/Si/MgO/InP samples received a one-step rapid thermal anneal (RTA) process at 500 °C for 30s in N<sub>2</sub> to form a NiSi top electrode. Constant and voltage-ramped electrical stresses were used to generate the spot distribution on the top metal electrodes. The location of both the BD spots and the contacting probe tip were registered and the information was processed using the Spatstat package for R language [16]. For simplicity the BD spot size distribution was totally neglected.

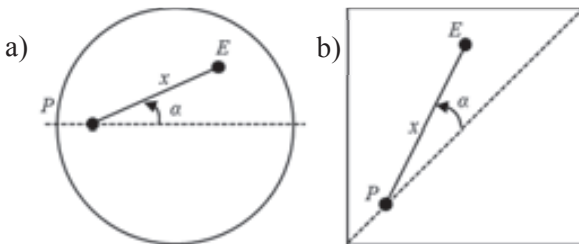


Fig. 1. Schematic representation of the random variables investigated: the angle  $\alpha$ , and the distance  $x$  between the reference point  $P$  and the event  $E$ . a) Case of a circular device area. b) Case of a square device area.

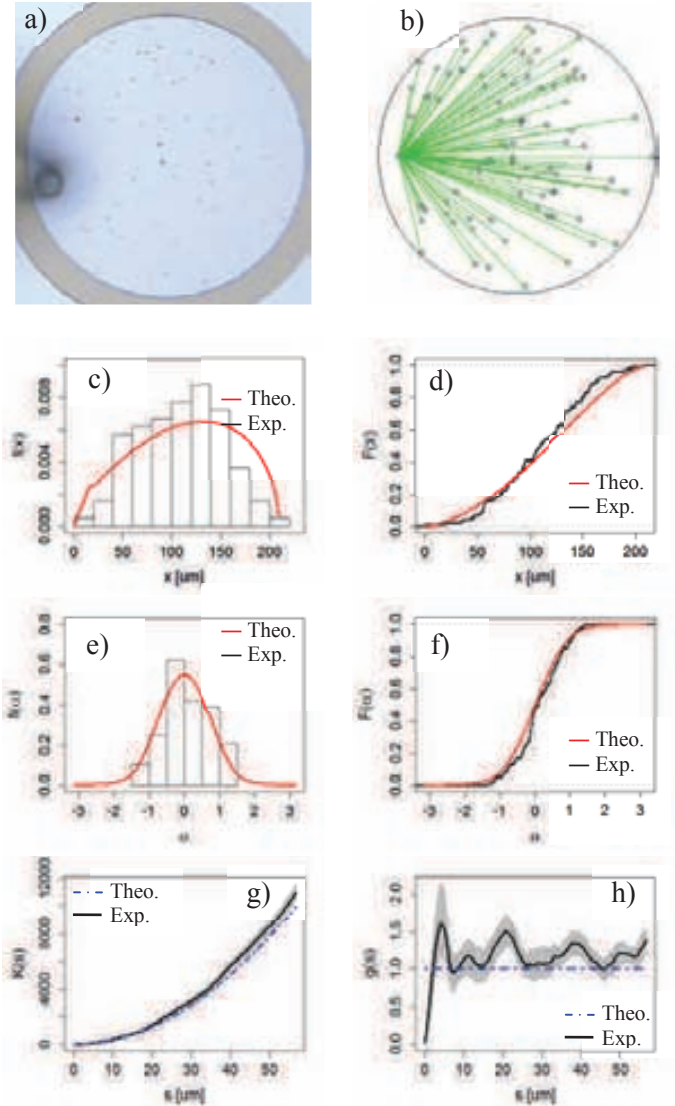


Fig. 2. a) Multiple BD spot distribution in a circular area capacitor with radius  $r=113 \mu\text{m}$  (case study *A.1*). The shadow on the left side of the image is the voltage probe tip. b) Location of the points in the capacitor area. The green lines indicate the distances from the probe tip position to every BD spot. c) Experimental point-to-event distance histogram (black line) and PDF for the corresponding CSR process (red line). d) Experimental (black line) and theoretical (red line) curves for the point-to-event distance CDF. e) Experimental point-to-event angular histogram (black line) and PDF for the corresponding CSR process (red line). f) Experimental (black line) and theoretical (red line) curves for the point-to-event angular CDF. g) Ripley's  $K$  estimator as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the isotropic  $K$  estimator calculated from the experimental data and to the theoretical curve for a CSR process, respectively. h) Pair correlation function  $g$  as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the empirical estimator using edge correction and to the theoretical curve for a CSR process, respectively.

## III. ANALYSIS OF THE POINT-TO-EVENT DISTANCE AND ANGULAR PROBABILITY DISTRIBUTIONS

In this Section, the point-to-event methods that can be used to characterize the spatial distribution of BD spots in circular and square area MIM and MIS structures are discussed. The objective of this study is to detect possible deviations from a CSR process and therefore to determine whether or not the



location of the chosen reference point (the probe tip) has some influence on the final distribution of the events. As it is demonstrated below, this is sometimes not straightforward because the conclusions drawn, as in any other branch of statistics, can largely depend on the number of observed events. In spatial statistics there is an additional concern which is related to the size and shape of the observation window. In this regard, it has been reported that the error determination is strongly linked to the assumed correction method for the boundary effects [9]. In general, the functional estimators are often accompanied by confidence intervals that indicate the amount of agreement between data and simulations from a reference model (like *CSR*). In order to quantify the errors in the estimates a recently developed method based on nonparametric spatial bootstrap will be used [17]. The bootstrap method is applied here to the Ripley's  $K$  function, which is related to the expected number of other points of the process within a distance  $s$  of a typical point of the process, and to the pair correlation function  $g$ , which is the probability of observing a pair of points separated by a distance  $s$  divided by the corresponding probability for a *CSR* process.

The BD spot locations can be characterized by two random variables (see Fig. 1): *a*) the distance  $x$  between the reference point  $P$  and the event  $E$  and, *b*) the angle  $\alpha$  subtended by the line connecting  $P$  with  $E$  and a reference axis (horizontal diameter in the circle and diagonal in the square). Any other reference point outside the diagonal of the square is possible but this only increases the number of cases to be analyzed. The variable  $x$  defines the point-to-event distance probability distribution function (PDF)  $f(x)$ , while  $\alpha$  defines the point-to-event angular probability distribution function  $f(\alpha)$ .  $F(x)$  and  $F(\alpha)$  denote the corresponding cumulative distribution functions (CDF). For the sake of simplicity, we use the same notation  $f$  and  $F$  for both variables though their explicit forms are different.

### A. Circular area capacitors

For circular area devices, the PDF and CDF of the distance  $x$  between a fixed reference point and a randomly chosen point, both located within a circle of radius  $r$  (see Fig. 1.a), are given by expressions (2), (3), (5) and (6) in the Appendix A.1. The theoretical PDF and CDF of the angle  $\alpha$  are given by expressions (8) and (9) in the Appendix A.2. In what follows, two cases of particular interest, in which the number of events (96 and 692) plays a central role, are analyzed.

#### A.1 Case study: constant voltage stressed MIM capacitor

First, the case of a circular area Pt/HfO<sub>2</sub>/Pt capacitor with a radius of 113  $\mu\text{m}$  is discussed (see Fig. 2.a). This particular BD spot distribution is the result of a constant voltage stress (CVS) performed at -9 V applied to the top electrode for 60 s. 96 BD spots were registered with an average intensity  $\lambda=2.39 \times 10^{-3}$  points/ $\mu\text{m}^2$ . The solid lines in Fig. 2.b indicate the distances from the reference point to each BD spot. In Figs. 2.c and 2.d, the empirical point-to-event distance data are compared with the theoretical PDF and CDF, respectively. For this particular point pattern, the BD spots seem to be closer to

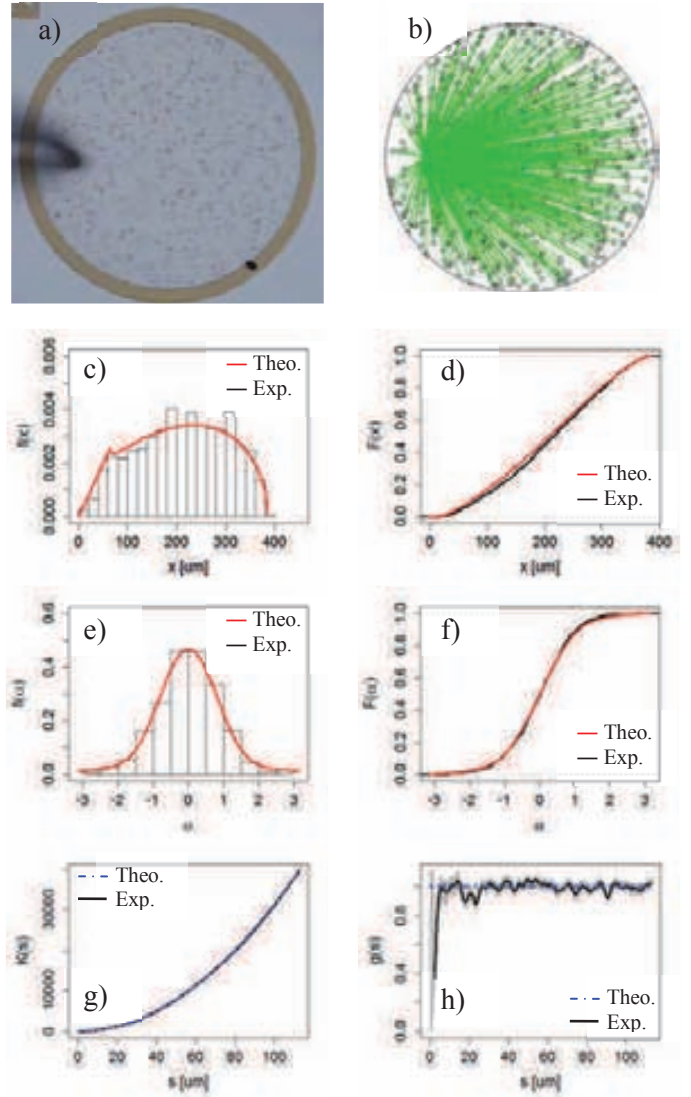


Fig. 3. *a*) Multiple BD spot distribution in a circular area capacitor with a radius of 225 $\mu\text{m}$  (case study *A.2*). *b*) Location of points in the capacitor area. The green lines indicate the distances from the tip position to each BD spot. *c*) Experimental point-to-event distance histogram (black line) and PDF for a *CSR* process (red line). *d*) Experimental (black line) and theoretical (red line) point-to-event distance CDF. *e*) Experimental point-to-event angle histogram (black line) and PDF for a *CSR* process (red line). *f*) Experimental (black line) and theoretical (red line) point-to-event angular CDF for a *CSR* process. *g*) Ripley's  $K$  estimator as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the isotropic  $K$  estimator calculated from the experimental data and to the theoretical curve for a *CSR* process, respectively. *h*) Pair correlation function  $g$  as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the empirical estimator using edge correction and to the theoretical curve for a *CSR* process, respectively.

the contacting probe tip than expected for a *CSR* process. From a descriptive viewpoint, the absence of spots far from the tip is detected as a shift of the empirical CDF toward the short distance range (see Fig. 2.d). Figures 2.e and 2.f compare the experimental and theoretical angular PDF and CDF, respectively. In this case, the point distribution is isotropic within the observation window. No preferential direction for the generation of spots is detected. In Fig. 2.g the Ripley's  $K$  function estimator is illustrated. Notice that the empirical

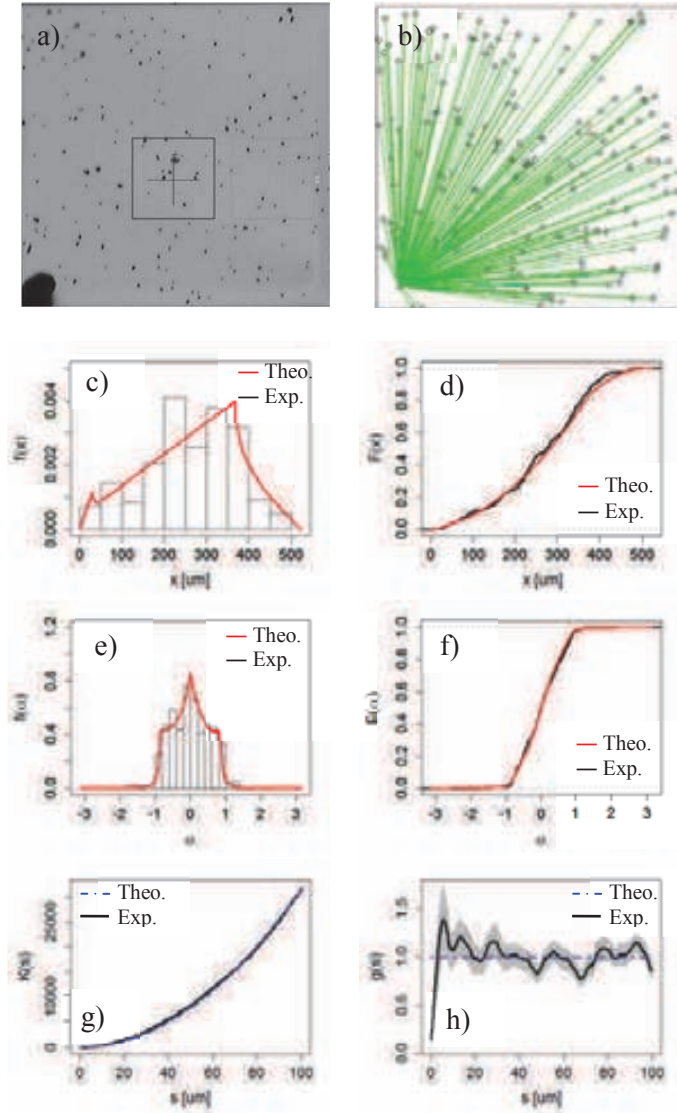


Fig. 4. *a)* Multiple BD spot distribution in a square area capacitor with 400 $\mu\text{m}$  lateral size (case study *B.1*). *b)* Location of points over the capacitor area. The green lines indicate the distances from the tip position to each BD spot. *c)* Experimental point-to-event distance histogram (black line) and PDF for a *CSR* process (red line). *d)* Experimental (black line) and theoretical (red line) point-to-event distance CDF. *e)* Experimental point-to-event angular histogram (black line) and PDF for a *CSR* process (red line). *f)* Experimental (black line) and theoretical (red line) point-to-event angular CDF. *g)* Ripley's *K* estimator as a function of the generic distance *s*. *Exp* and *Theo* correspond to the isotropic *K* estimator calculated from the experimental data and to the theoretical curve for a *CSR* process, respectively. *h)* Pair correlation function *g* as a function of the generic distance *s*. *Exp* and *Theo* correspond to the empirical estimator using edge correction and to the theoretical curve for a *CSR* process, respectively.

curve deviates from the parabola  $K_{CSR}(s)=\pi s^2$  in the whole distance range suggesting that some clustering is present in this particular realisation. This is also supported by the pair correlation function shown in Fig. 2.h. In this case, *g* fluctuates above the unit value in the whole distance range. Notice that the 95% confidence interval (shaded area) does not include the theoretical curve  $g_{CSR}(s)=1$ . We can conclude that the analyzed point pattern is not fully consistent with *CSR*.

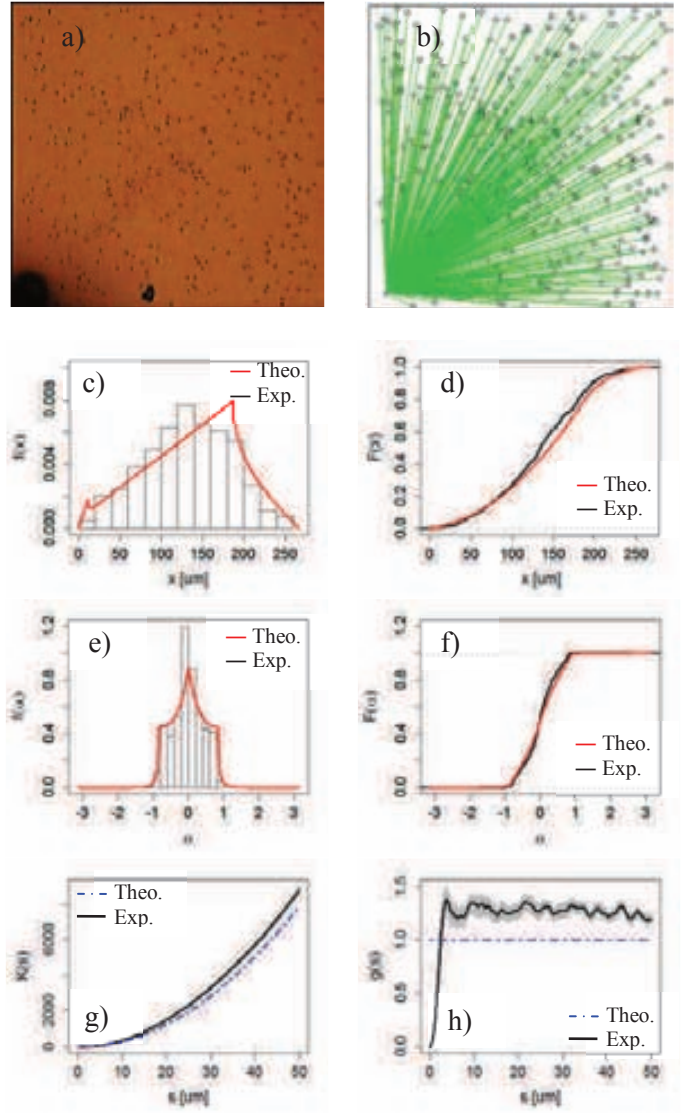


Fig. 5. *a)* Multiple BD spot distribution in a square area capacitor with 200 $\mu\text{m}$  lateral size (case study *B.2*). *b)* Location of points in the capacitor area. The green lines indicate the distances from the tip position to each BD spot. *c)* Experimental point-to-event distance histogram (black line) and, PDF for a *CSR* process (red line). *d)* Experimental (black line) and theoretical (red line) point-to-event distance CDF. *e)* Experimental point-to-event angle histogram (black line) and PDF for a *CSR* process (red line). *f)* Experimental (black line) and theoretical (red line) point-to-event angular CDF. *g)* Ripley's *K* estimator as a function of the generic distance *s*. *Exp* and *Theo* correspond to the isotropic *K* estimator calculated from the experimental data and to the theoretical curve for a *CSR* process, respectively. *h)* Pair correlation function *g* as a function of the generic distance *s*. *Exp* and *Theo* correspond to the empirical estimator using edge correction and to the theoretical curve for a *CSR* process, respectively.

Nevertheless, a clear correlation of the BD spot distribution and the voltage probe location cannot be firmly established.

#### A.2 Case study: ramped voltage stressed MIM capacitor

Contrary to the previous example, in the case of Fig. 3.a, the BD spots were generated using ramped voltage stress from 0 V to -11 V. The radius of the MIM capacitor is 225  $\mu\text{m}$  and 692 BD spots were recorded with an average intensity



$\lambda=4.35 \times 10^{-3}$  points/ $\mu\text{m}^2$ . Notice that the number of events is large compared with case *A.1*. In this case the BD spot generation rate cannot be time resolved by our experimental setup. As a general comment, it is worth mentioning that the number of spots generated in this way is usually higher than using a CVS. Fig. 3.b shows the distance lines from the reference point to each BD event. The empirical and theoretical curves for the point-to-event distance and angular distributions are illustrated in Figs. 3.c to 3.f, respectively. The agreement is good in both cases. The spatial distribution of the BD spots in Fig. 3.a is clearly consistent with a homogeneous Poisson process, *i.e.* the particular location of the contacting probe tip does not seem to affect the final distribution of failure events. These results are confirmed by the Ripley's  $K$  function and the pair correlation function  $g$  (see Figs. 3.g and 3.h). Notice that the 95% confidence intervals have significantly reduced in the  $K(s)$  plot and that  $g(s)$  fluctuates around the unity value as expected for a *CSR* process.

### B. Square Area Capacitors

In this Section, the BD spot distributions in square area MIM and MIS capacitors are analyzed. As in the case of circular area devices, analytical expressions for the PDF and CDF of the distance  $x$  and angle  $\alpha$  corresponding to a *CSR* process can be obtained (see the Appendices A.3 and A.4). For the sake of simplicity, the reference point is assumed to be located over one diagonal of the square. Under this assumption, the number of cases that needs to be analytically covered is remarkably lower.

#### B.1 Case study: ramped voltage stressed MIS capacitor

In this case, the study corresponds to a MIS square area capacitor with size  $400 \mu\text{m} \times 400 \mu\text{m}$ . The device was ramped voltage stressed from 0V to 10 V applied to the top electrode. Fig. 4.a shows a photograph of a capacitor with 182 spots and with an average intensity  $\lambda=1.14 \times 10^{-3}$  points/ $\mu\text{m}^2$ . The BD spot distribution for this particular device has been analyzed in [7] using the Ripley's  $K$  function and the pair correlation function  $g$ . Now we include the 95% confidence intervals for these estimators. Fig. 4.b shows the distance lines from the reference point to each BD spot. As illustrated by the statistical plots in Figs. 4.c to 4.f, the BD spot distribution is

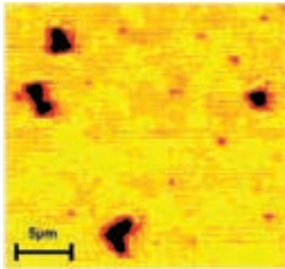


Fig 6. Image showing the difference between weak and strong spots considered in the analysis done in the case *B.2*.

compatible with a *CSR* process. This indicates that the presence of a semiconductor electrode does not significantly modify the previous observations. Moreover, this conclusion is in total agreement with the results obtained using the current-ratio method in four terminal MIS transistors [11]. Figures 4.g and 4.h illustrate the Ripley's  $K$  function and the pair correlation function  $g$ , respectively. These plots indicate that the point process under consideration can be considered as *CSR*.

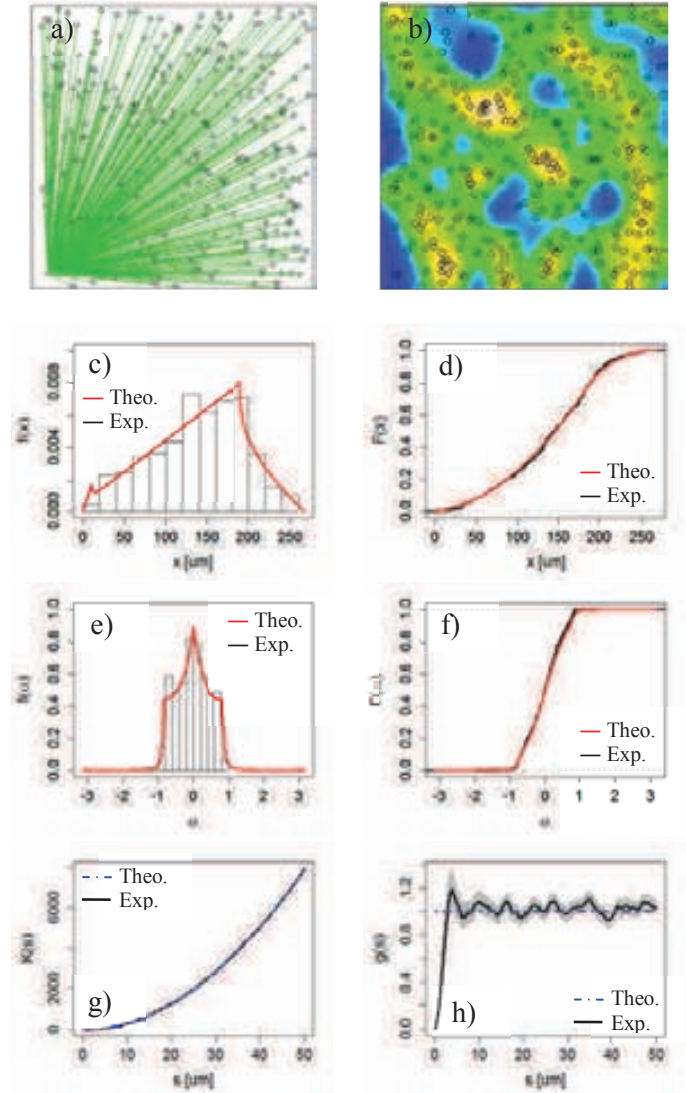


Fig. 7. Detailed analysis of the BD spot distribution shown in Fig. 5a in the case of strong BD spots. Location of *a)* strong spots over the capacitor area. The green lines indicate the distances from the tip position to each BD spot. *b)* Intensity plot in the case of strong spots over the capacitor. *c)* Experimental point-to-event distance histogram (black line) for strong spots and the PDF for a *CSR* process (red line). *d)* Experimental (black line) and theoretical (red line) point-to-event CDF for strong spots. *e)* Experimental point-to-event angle histogram (black line) and PDF for a *CSR* process (red line) for strong spots. *f)* Experimental (black line) and theoretical (red line) point-to-event angular CDF for strong spots. *g)* Ripley's  $K$  estimator as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the isotropic  $K$  estimator calculated from the experimental data and to the theoretical curve for a *CSR* process, respectively. *h)* Pair correlation function  $g$  as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the empirical estimator using edge correction and to the theoretical curve for a *CSR* process, respectively.

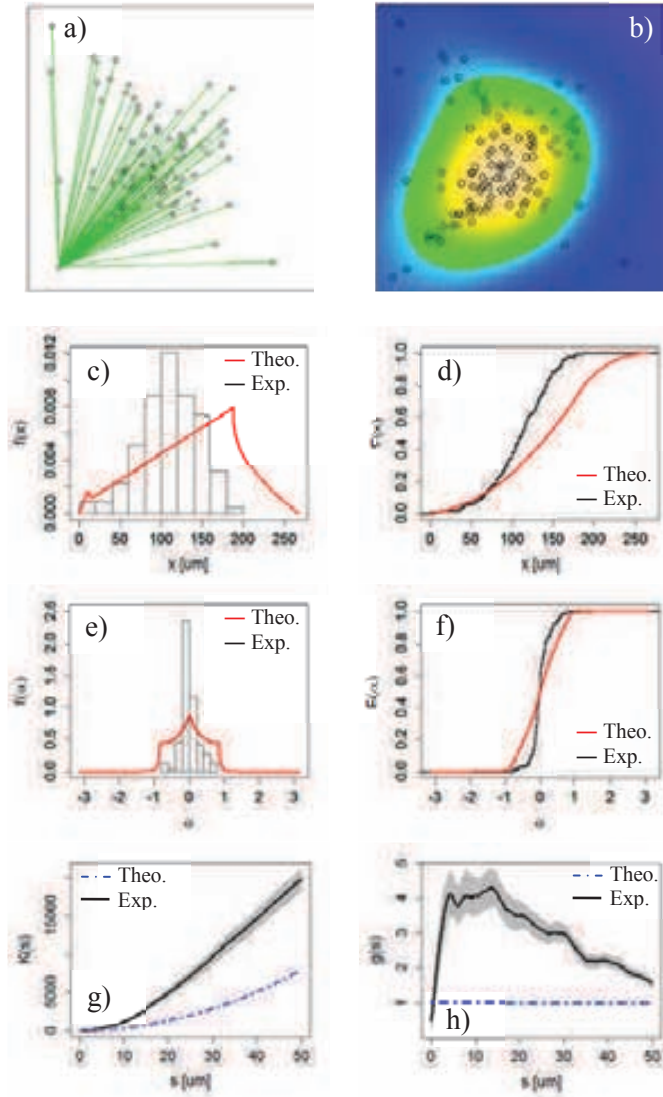


Fig 8. Detailed analysis of the BD spot distribution shown in Fig. 5a in the case of weak BD spots. Location of *a)* weak spots over the capacitor area. The green lines indicate the distances from the tip position to each BD spot. *b)* Intensity plot in the case of strong spots over the capacitor. *c)* Experimental point-to-event distance histogram (black line) for weak spots and the PDF for a CSR process (red line). *d)* Experimental (black line) and theoretical (red line) point-to-event distance CDF for weak spots. *e)* Experimental point-to-event angle histogram (black line) and PDF for a CSR process (red line) for weak spots. *f)* Experimental (black line) and theoretical (red line) point-to-event angular CDF for weak spots. *g)* Ripley's  $K$  estimator as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the isotropic  $K$  estimator calculated from the experimental data and to the theoretical curve for a CSR process, respectively. *h)* Pair correlation function  $g$  as a function of the generic distance  $s$ . *Exp* and *Theo* correspond to the empirical estimator using edge correction and to the theoretical curve for a CSR process, respectively.

### B.2 Case study: constant voltage stressed MIM capacitor

The last case study is more complex and corresponds to a BD spot distribution in a  $200\ \mu\text{m} \times 200\ \mu\text{m}$  MIM capacitor (see Fig. 5.a). The device was CVS at  $-10\ \text{V}$  for approximately 120 s. Figure 5.a shows a photograph of the capacitor with 448 BD spots and with an average intensity  $\lambda=11.2 \times 10^{-3}$  points/ $\mu\text{m}^2$ . Interestingly, two types of failure events are detected which are referred to as weak and strong BD spots in

connection with the damage observed on the top metal electrode. While the strong spots are of the same type as those described in the previous case studies, the weak spots become visible only after prolonged electrical stress ( $>60\ \text{s}$ ). Figure 6 shows how the strong and weak spots look like when photographed through the optical microscope. While the strong spots appear bigger and darker in the treated image, the weak spots are remarkably smaller with typical sizes  $<1\ \mu\text{m}$ . One interesting feature is that the weak spots are mostly distributed around the line that connects the contacting probe tip with the center of the structure. We assume that both types of spots have the same origin, the difference being the magnitude of the damage which causes a more or less visible mark. For an in-depth analysis, three separate cases are considered: *a)* the whole BD spot distribution (including both the weak and strong BD spots), *b)* the distribution of strong BD spots solely and, *c)* the distribution of weak BD spots solely. The distance lines for the whole BD spot pattern (case *a)*) are illustrated in Fig. 5.b. The empirical PDF and CDF reveal that the point-to-event distance distribution is not consistent with a CSR process (Figs. 5.c and 5.d). Moreover, as anticipated above, the angular PDF and CDF (Figs. 5.e and 5.f) indicate that the points are largely concentrated around the diagonal of the square ( $\alpha=0$ ). These significant deviations are also supported by the Ripley's  $K$  function and the pair correlation function  $g$  (Figs. 5.g and 5.h). The origin of these deviations can be straightforwardly attributed to the inhomogeneous population of weak BD spots. In order to check whether this is certainly the case, the strong BD spot distribution (case *b)*) and the weak BD spot distribution (case *c)*) are analyzed separately. Distance lines corresponding to either case are illustrated in Figs 7.a and 8.a. While Fig 7.b shows an almost uniform distribution of strong spots, Fig. 8.b shows a concentration of weak spots orientated toward the center of the device. In addition, the statistical plots in Figs. 7.c to 7.h and Figs. 8.c to 8.h reveal that while the strong BD spots are CSR distributed, the weak BD spots cannot be described by a simple 2D Poisson process.

The origin of this anomalous distribution of weak spots in highly stressed devices seems to be related to the concentration of current lines on the top electrode directed toward the center of the structure. According to a preliminary analysis carried out using the 2D finite element method, the current distribution exhibits a peak coincident with the diagonal of the structure. For the simulation, the voltage probe is located at one corner of the device and set at  $10\ \text{V}$ . The BD spot voltages are set at  $0\ \text{V}$ , representing a perfect short with the bottom electrode (see Fig. 9.a). The boundary condition required to solve Poisson equation is  $J_n=0$ , where  $J_n$  is the normal component of the current with respect to the boundary of the observation window. The resistivity of the metal layer is  $10^{-7}\ \Omega\text{m}$  [18]. The concentration of the current lines in that particular direction and therefore the anisotropic dissipated power could be the main reasons behind the observed large population of weak spots. The potential distribution over the top electrode shows a similar anisotropy.

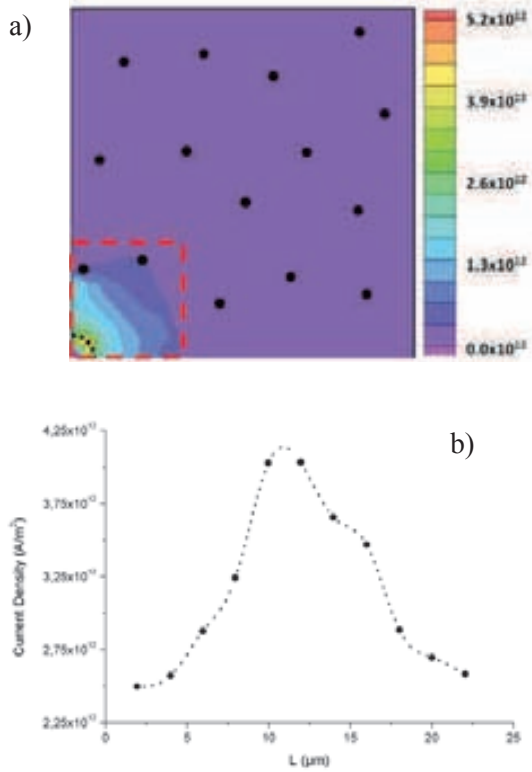


Fig.9. *a)* Current density map obtained after a finite element method simulation in a 200  $\mu\text{m}$  side square capacitor as the one of case *B.2*. The points are the BD spots (15 BD spots). The voltage probe is located at one corner of the device. *b)* Current density profile along the dashed black line showed in the lower left corner of the square. The peak corresponds to the diagonal of the square.

#### IV. GENERATION OF BD SPOTS AS A FUNCTION OF TIME

Following the approach reported in [19], the location of the individual BD spots can be recorded as a function of time and this information can be used to investigate the evolution of the point-to-event distance and angular distributions. This experiment is not exempt of practical limitations [19]. Figure 10 shows the case of a circular area MIM capacitor with radius 112  $\mu\text{m}$  (see the inset of Fig. 10.a) which CVS at -9 V for 90 s. The linear relationship between the number of spots and the stress time shown in Fig. 10.a reveals that the generation of BD spots is uncorrelated. For this particular stress condition, 78 spots were recorded with a generation rate of about 0.88 spots/s. This behaviour is consistent with a homogeneous Poisson process (HPP) in time [20]. The point-to-event distance and angular values of the individual spots as a function of the stress time are illustrated in Figs. 10.b and 10.c, respectively. In both cases, no temporal dependence can be observed as the experimental data randomly fluctuate around the expected average values.

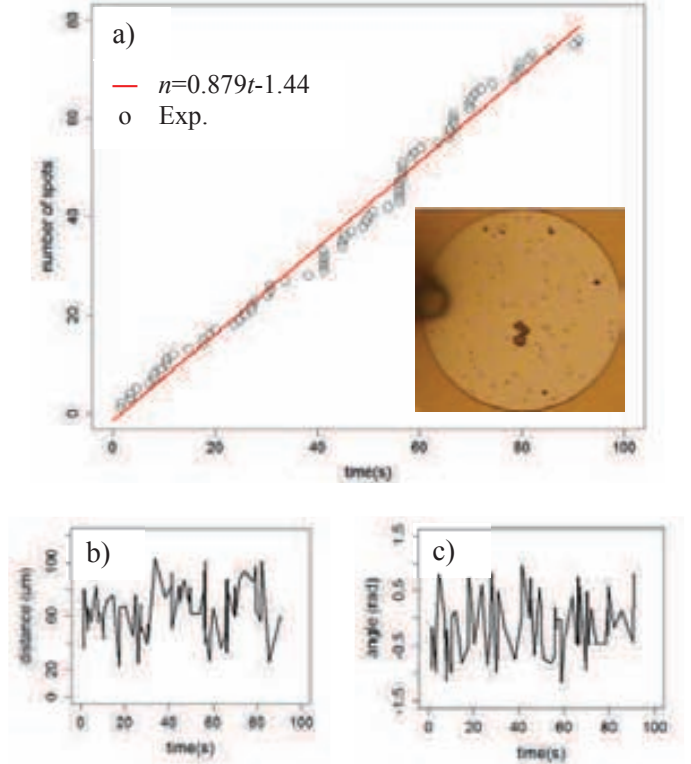


Fig. 10. *a)* Generation of BD spots as a function of stress time at a constant voltage (-11 V). The symbols represent the experimental data and the solid line represents the trend line.  $n$  and  $t$  are the number of spots and the time, respectively. The inset shows the circular MIM capacitor considered for this test. *b)* Distance point-to-event of the generated BD spots as a function of stress time. *c)* Angle of the generated spots as a function of the stress time.

In order to further analyze this temporal dependence in connection with the spatial distribution, the smoothed residual field (residual=observed-simulated) for the BD spot pattern shown in Fig. 10 was investigated. Four time intervals (0-23 s (17 spots), 23-36 s (20 spots), 46-69 s (27 spots), 69-91 s (15 spots)) are considered to check whether the BD spots are spatially uncorrelated regardless of the time period. The results of this analysis are illustrated using quantile-quantile plots (q-q plots) of the residual field as recently proposed by Baddeley *et al.* [21]. Figure 11 shows the four q-q plots. In these figures, the empirical quantiles of the smoothed residual field are compared to the corresponding quantiles expected for the fitted model. This is carried out by means of 100 Monte Carlo simulations of the point process under investigation (assuming a Poisson process with same average intensity). The analysis can be used to assess whether the residuals are normally distributed or not. In all the cases, the data (symbols) are within the point-wise 95% confidence intervals (dashed lines), which indicates that for each time period the BD spot generation model is *CSR*.



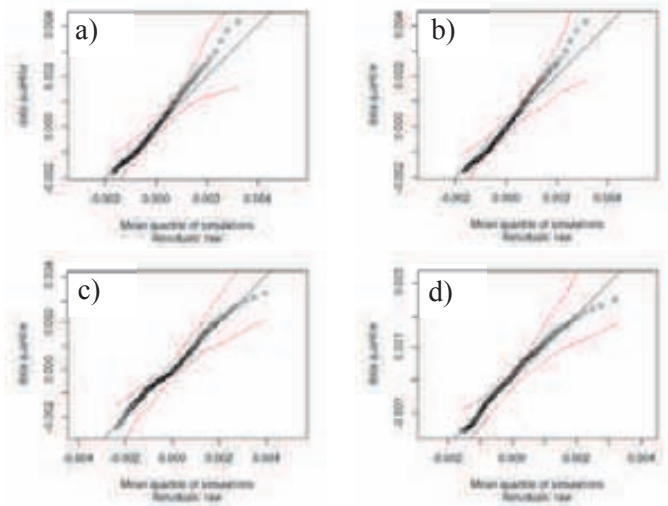


Fig. 11. q-q plot for the residual field after fitting a 2D homogeneous Poisson model in the intervals a) T=0-23 s (17 spots), b) T=23-36 s (20 spots), c) T=46-69 s (27 spots), and d) T=69-91 s (15 spots).

## V. CONCLUSION

Statistical tools for the characterization of BD spot patterns in MIM and MIS devices with circular and square area electrodes were reported. The attention was focused on the distribution of the spots with respect to a singular point, in our case, the contacting probe tip. Any other reference point within the selected observation window is also possible. The proposed method relies on a comparison between the empirical point-to-event distance and angular probability distributions and their corresponding theoretical expressions for a complete spatial randomness process. The method was applied to ramped and constant voltage stressed MIM and MIS capacitors in which the BD spot patterns become visible on the top electrode thanks to the important localized thermal effects occurring during the degradation phase. Although we provided direct evidence that in the majority of the cases the BD spots are spatially uncorrelated, we showed that some departures from homogeneity can also occur, mainly for severely damaged structures. This has to be considered as a serious reliability concern in large area devices.

### APPENDIX A.1

In this Appendix, the probability distribution function (PDF) and the cumulative distribution function (CDF) of the distance  $x$  between one fixed point  $P$  located inside a circle of radius  $r$  and another point  $E$  randomly located inside the same circle (see Fig. 12) are obtained. The CDF of the distance  $x$  is obtained as [22]:

$$F(x) = \frac{A_{IC}}{A_{TC}} \quad (1)$$

where  $A_{IC}$  is the area of the intersection between the circle of radius  $x$  and the circle of radius  $r$ , and  $A_{TC} = \pi r^2$  is the area of the observation window. In the range  $0 < x < r - d$ , the intersection area is  $A_{IC} = \pi x^2$  so that the CDF is expressed by:

$$F(x) = \frac{x^2}{r^2} \quad (2)$$

The PDF is obtained by deriving (2):

$$f(x) = \frac{2x}{r^2} \quad (3)$$

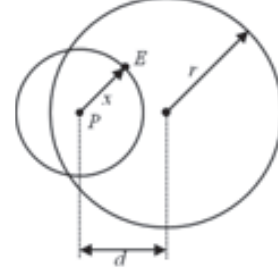


Fig. 12. Scheme for the calculation of the PDF and CDF for the distance  $x$  between one point  $P$  located inside a circumference of radius  $r$  and another point  $E$  located inside the same circle.  $d$  is the distance between  $P$  and the center of the circle.

In the case of distances in the range  $r - d < x < r$ , in order to obtain the CDF, first it is necessary to calculate the area of the intersection between the two circles [23]:

$$A_{IC}(x) = x^2 \cos^{-1}\left(\frac{d^2 + x^2 - r^2}{2dx}\right) + r^2 \cos^{-1}\left(\frac{d^2 - x^2 + r^2}{2dr}\right) - \sqrt{(-d+x+r)(d+x-r)(d-x+r)(d+x+r)} \quad (4)$$

Then, the CDF is given by:

$$F(x) = \frac{A_{IC}}{\pi r^2} \quad (5)$$

The PDF can be explicitly obtained by deriving (5):

$$f(x) = \frac{1}{\pi r^2} \left( \frac{-x(d^2 - x^2 + r^2)}{\sqrt{(-d+x+r)(d+x-r)(d-x+r)(d+x+r)}} + \frac{2r^2x}{\sqrt{1 - (d^2 - x^2 + r^2)}} + 2x \cos^{-1}\left(\frac{d^2 + x^2 - r^2}{2dx}\right) + \frac{x(d^2 - x^2 - r^2)}{\sqrt{-(d^4 - 2d^2(x^2 + r^2) + (-x^2 + r^2)^2)}} \right) \quad (6)$$

### APPENDIX A.2

The CDF of the angle  $\alpha$  between the segment PQ and the diameter of the circle (see Fig. 13) can be obtained as the ratio of the area between the segment PQ and the diameter of the circle ( $A_{aC}$ ), and the total area of the circle ( $A_{TC}$ ):

$$F(\alpha) = \frac{A_{aC}}{A_{TC}} = \frac{A_1 + A_2 + \frac{\pi r^2}{2}}{\pi r^2} \quad (7)$$

where  $A_1$  is the area defined by the triangle PQT and  $A_2$  is the area defined by the circular sector QNT. Using trigonometrics, (7) results in:

$$F(\alpha) = \frac{1}{2\pi} \left( \pi + \alpha - \sin^{-1}\left(\frac{d}{r} \sin(\alpha)\right) + \frac{d}{r} \sin\left(\alpha - \sin^{-1}\left(\frac{d}{r} \sin(\alpha)\right)\right) \right) \quad (8)$$

The PDF is calculated by deriving (8):

$$f(\alpha) = \frac{d \cos\left(\sin^{-1}\left(\frac{d \sin(\alpha)}{r}\right) + \alpha\right)}{2\pi r} \left(1 + \frac{d \cos(\alpha)}{\sqrt{r^2 - d^2 \sin^2(\alpha)}}\right) \quad (9)$$

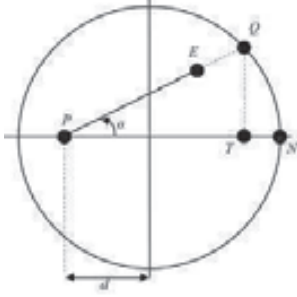


Fig. 13. Scheme for the calculation PDF and CDF of the angle  $\alpha$  between one point  $P$  located inside a circumference of radius  $r$  and another point  $E$  located inside the same circle.

### APPENDIX A.3

For an square of side  $a$ , the point-to-event PDF and its CDF when the reference point  $P$  is located on the diagonal of the square and the point  $E$  is randomly chosen inside the square, can be obtained using the scheme shown in Fig. 14.  $x$  is the distance between the reference point  $P$  and the event  $E$ .  $d$  is the distance of  $P$  from the two nearest sides.

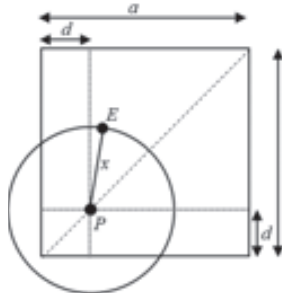


Fig. 14. Scheme for the calculation PDF and CDF of the distance  $x$  between one point  $P$  located inside a circumference of radius  $r$  and another point  $E$  located inside the same circle.

The expression of the CDF is obtained from the ratio of the area of the circle with radius  $x$  centered at point  $P$  ( $A_{SQ-C}$ ) and the area of the square of side  $a$  ( $A_{SQ} = a^2$ ):

$$F(x) = \frac{A_{SQ-C}}{A_{SQ}} \quad (10)$$

$A_{SQ-C}$  depends on the considered range of distances and needs to be analyzed in two separate cases depending on whether the value of  $d$  is larger or smaller than the value  $a/(1+\sqrt{2})$ . First, the case  $d > a/(1+\sqrt{2})$  is assessed, so it is necessary to define the next five intervals as follows: in the range  $0 < x < d$ ,  $A_{SQ-C}$  is defined as:

$$A_{SQ-C}(x) = \pi x^2 \quad (11)$$

In the range  $d < x < d\sqrt{2}$ ,  $A_{SQ-C}$  is given by:

$$A_{SQ-C}(x) = \left(1 - \frac{2 \cos^{-1}\left(\frac{d}{x}\right)}{\pi} + \frac{2d\sqrt{x^2 - d^2}}{\pi x^2}\right) \pi x^2 \quad (12)$$

In the range  $d\sqrt{2} < x < (a-d)$ , the area  $A_{SQ-C}$  is calculated as:

$$A_{SQ-C}(x) = d^2 + d\sqrt{x^2 - d^2} + x^2 \left(\frac{3\pi}{4} - \tan^{-1}\left(\frac{\sqrt{x^2 - d^2}}{d}\right)\right) \quad (13)$$

In the range  $(a-d) < x < \sqrt{(a-d)^2 + d^2}$  the area is defined as:

$$A_{SQ-C}(x) = d^2 + 2(a-d)\sqrt{x^2 - (a-d)^2} + d\sqrt{x^2 - d^2} + x^2 \left(\frac{3\pi}{4} - 2 \tan^{-1}\left(\frac{\sqrt{x^2 - (a-d)^2}}{a\sqrt{d}}\right) - \tan^{-1}\left(\frac{\sqrt{x^2 - d^2}}{d\sqrt{d}}\right)\right) \quad (14)$$

Finally in the range  $\sqrt{(a-d)^2 + d^2} < x < (a-d)\sqrt{2}$ ,  $A_{SQ-C}$  is given by the expression:

$$A_{SQ-C}(x) = d^2 + 2d(a-d) + (a-d)\sqrt{x^2 - (a-d)^2} + x^2 \left(\frac{\pi}{4} - \tan^{-1}\left(\frac{\sqrt{x^2 - (a-d)^2}}{(a-d)}\right)\right) \quad (15)$$

Then, the PDF can be obtained in this group of intervals for  $d > a/(1+\sqrt{2})$  by deriving the expression of the CDF in each range:

$$f(x) = \frac{2\pi x}{a^2} \quad (16)$$

$$f(x) = \frac{x}{a^2} \left(\frac{1}{2} + \frac{d\sqrt{x^2 - d^2}}{x^2} - \cos^{-1}\left(\frac{d}{x}\right) - \frac{\sqrt{x^2 - d^2}}{x}\right) \quad (17)$$

$$f(x) = \frac{x}{a^2} \left(\frac{3\pi}{2} - 2 \tan^{-1}\left(\frac{\sqrt{x^2 - x^2}}{d}\right)\right) \quad (18)$$

$$f(x) = \frac{x}{a^2} \left(\frac{3\pi}{2} - 2 \tan^{-1}\left(\frac{\sqrt{x^2 - d^2}}{d}\right) - 4 \tan^{-1}\left(\frac{\sqrt{x^2 - (a-d)^2}}{(a-d)}\right)\right) \quad (19)$$

$$f(x) = \frac{x}{a^2} \left(\frac{\pi}{2} - 2 \tan^{-1}\left(\frac{\sqrt{x^2 - (a-d)^2}}{2a^2}\right)\right) \quad (20)$$

In the second case, when  $d < a/(1+\sqrt{2})$  another set of intervals is required. The first range defined is  $0 < x < d$ . Like in the previous case,  $A_{SQ-C}$  is defined by (11) and the PDF is given by (16). The second interval is  $d < x < (a-d)$  with  $A_{SQ-C}$  defined by (12). The PDF is given by (17). In the third range  $(a-d) < x < d\sqrt{2}$ , the value of  $A_{SQ-C}$  is calculated using (21). The corresponding PDF is given by (22).



$$A_{SQ-C} = \left( 2(a-d)\sqrt{x^2 - (a-d)^2} + 2d\sqrt{x^2 - d^2} \right. \\ \left. + x^2 \left( \pi - 2 \tan^{-1} \left( \frac{\sqrt{x^2 - (a-d)^2}}{(a-d)\sqrt{d}} \right) \right) \right. \\ \left. - 2 \tan^{-1} \left( \frac{\sqrt{x^2 - d^2}}{d} \right) \right) \sqrt{\quad} \quad (21)$$

$$f(x) = \frac{2x}{a^2} \left( \pi - 2 \tan^{-1} \left( \frac{\sqrt{x^2 - (a-d)^2}}{(a-d)\sqrt{d}} \right) \right. \\ \left. - 2 \tan^{-1} \left( \frac{\sqrt{x^2 - d^2}}{d} \right) \right) \quad (22)$$

The next interval corresponds to  $d\sqrt{2} < x < \sqrt{(a-d)^2 + d^2}$ .  $A_{SQ-C}$  and the PDF are found from (14) and (19), respectively. Finally, the last interval is given by  $\sqrt{(a-d)^2 + d^2} < x < (a-d)\sqrt{2}$ . The area  $A_{SQ-C}$  and the PDF are found from (15) and (20).

#### APPENDIX A.4

Expressions for the PDF and the CDF of the angle  $\alpha$  (see Fig. 15), between one fixed point at the diagonal of the square  $P$  and any other point inside the square  $E$  are calculated using four different regions.

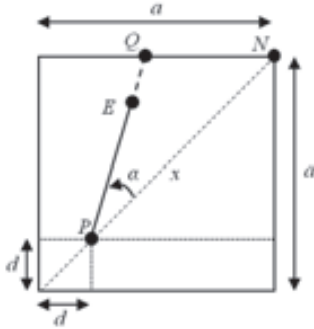


Fig. 15. Scheme for the calculation of the PDF and CDF of the angle  $\alpha$  between one point  $P$  located inside a square of side  $a$  and another point  $E$  located inside the square taking as the diagonal of the square as the reference.

In all cases, the CDF is obtained from the ratio of the area of the square defined between the segment  $PQ$  and the diagonal of the square ( $A_{\alpha SQ}$ ), and the area of the square ( $A_{SQ} = a^2$ ):

$$F(\alpha) = \frac{A_{\alpha SQ}}{A_{SQ}} \quad (23)$$

where  $A_{\alpha SQ}$  is calculated for each region. Notice that  $\alpha$  is measured from the diagonal of the square. In the first range  $0 < \alpha < \pi/4 + \tan^{-1}(d/(a-d))$ ,  $A_{\alpha SQ}$  is defined as follows:

$$A_{\alpha SQ}(\alpha) = \frac{a^2}{2} + \frac{(a-d)^2}{2} \left( 1 - \tan \left( \frac{\pi}{4} - \alpha \right) \right) \quad (24)$$

In the second region  $\pi/4 + \tan^{-1}(d/(a-d)) < \alpha < \pi$ ,  $A_{\alpha SQ}$  is defined as:

$$A_{\alpha SQ}(\alpha) = \frac{a^2}{2} + \left( \frac{(a-d)^2}{2} + a(a-d) + \frac{d^2}{2} \tan \left( \frac{\pi}{4} + \alpha \right) \right) \quad (25)$$

In the range  $-\pi/4 - \tan^{-1}(d/(a-d)) < \alpha < 0$ , the area  $A_{\alpha SQ}$  is defined by:

$$A_{\alpha SQ}(\alpha) = \frac{a^2}{2} - \frac{(a-d)^2}{2} \left( 1 - \tan \left( \frac{\pi}{4} + \alpha \right) \right) \quad (26)$$

Finally, in the range  $-\pi < \alpha < -\pi/4 - \tan^{-1}(d/(a-d))$ , the area  $A_{\alpha SQ}$  is given by the expression:

$$A_{\alpha SQ}(\alpha) = \frac{a^2}{2} - \left( \frac{(a-d)^2}{2} + a(a-d) + \frac{d^2}{2} \tan \left( \frac{\pi}{4} - \alpha \right) \right) \quad (27)$$

Then, the PDF can be obtained by deriving the expression for the CDF in each region as:

$$f(\alpha) = \frac{(a-d)^2}{a^2(\cos(x) + \sin(x))^2} \quad (28)$$

$$f(\alpha) = \frac{d^2}{a^2(\cos(x) - \sin(x))^2} \quad (29)$$

$$f(\alpha) = \frac{(a-d)^2}{a^2(\cos(x) - \sin(x))^2} \quad (30)$$

$$f(\alpha) = \frac{d^2}{a^2(\cos(x) + \sin(x))^2} \quad (31)$$

#### ACKNOWLEDGMENT

This work is funded in part by the Spanish Ministry of Science and Technology under contract number TEC2012-32305 and the DURSI of the Generalitat de Catalunya under contract number 2009SGR783. The authors also acknowledge I. M. Povey, É. O'Connor and K. Cherkaoui from Tyndall National Institute, University College Cork, Cork, Ireland for their assistance during the oxide deposition and electrical characterization of the samples.

#### REFERENCES

- [1] A. Oates, "Reliability issues for high-K gate dielectrics", in *IEDM Tech. Dig.*, 2003, pp. 923-926.
- [2] E. Wu, J. Stathis, and L. Han, "Ultra-thin oxide reliability for ULSI applications", *Semicond. Sci. Technol.*, vol. 15, p. 425, 2000.
- [3] P. Diggle, in *Statistical analysis of spatial point patterns*, Arnold, 2003.
- [4] S. Lombardo, J. Stathis, B. Linder, Kin Leon Pey, F. Palumbo, and Chih Hang Tung, "Dielectric breakdown mechanisms in gate oxides", *J. Appl. Phys.*, vol. 98, 121301, 2005.
- [5] S. Huth *et al.*, "Localization of gate oxide integrity defects in silicon metal-oxide-semiconductor structures with lock-in IR thermography", *J. Appl. Phys.*, vol. 88, pp. 4000-4003, 2000.
- [6] J. B. Ennis, F. W. MacDougall, R. A. Cooper, and J. Bates, "Repetitive pulse application of self-healing high voltage capacitors", in *Power Modulator Symposium, 2002 and 2002 High-Voltage Workshop. Conference Record of the Twenty-Fifth International*, 2002, pp. 634-638.
- [7] E. Miranda, E. O'Connor, and P.K. Hurley, "Analysis of the breakdown spots spatial distribution in large area MOS structures", in *IEEE Int. Rel. Phys. Simp.*, 2010, pp. 775-777.

- [8] E. Miranda, D. Jiménez, J. Suñé, E. O'Connor, S. Monaghan, I. Povey, K. Cherkaoui, and P.K. Hurley, "Nonhomogeneous spatial distribution of filamentary leakage paths in circular area Pt/HfO<sub>2</sub>/Pt capacitors", *J. Vac. Sci. & Tech. B*, vol. 31, 01A107, 2013.
- [9] J. Illian, A. Penttinen, H. Soyan, D. Stoyan, in *Statistical analysis and modelling of spatial point patterns*, Wiley, 2008.
- [10] X. Saura, J. Suñé, S. Monaghan, P.K. Hurley, and E. Miranda, "Analysis of the breakdown spot spatial distribution in Pt/HfO<sub>2</sub>/Pt capacitors using nearest neighbor statistics", *J. Appl. Phys.*, vol. 114, 154112, 2013.
- [11] M. Alam, D. Varghese, and B. Kaczer, "Theory of breakdown position determination by voltage- and current-ratio methods", *IEEE Trans. Elec. Dev.*, vol. 55, pp. 3150-3158, 2008.
- [12] M. Alam, R. Smith, B. Weir, and P. Silverman, "Thin dielectric films: Uncorrelated breakdown of silicon integrated circuits", *Nature*, vol. 420, p. 378, 2002.
- [13] M. Alam and K. Smith, "A phenomenological theory of correlated multiple weak-breakdown events in ultra-thin gate dielectrics", in *Proc. Int. Rel. Phys Symp.*, 2003, pp. 406-411.
- [14] M. Alam, R. Smith, B. Weir, and P. Silverman, "Statistically independent weak breakdowns redefine oxide reliability specifications", in *IEDM Tech. Dig.*, 2002, pp. 151-154.
- [15] O. Breitenstein, J. Bauer, J. Wagner, H. Blumtritt, N. Zakharov, and A. Lotnyk, "Failure analysis of breakdown sites in silicon solar cells", ISTFA 2009, Conference Proceedings from the 35<sup>th</sup> International Symposium for Testing and Failure Analysis, November 15-19, 2009, San Jose, California, USA pp. 162-165.
- [16] A. Baddeley and R. Turner, "Spatstat: An R Package for Analyzing Spatial Point Patterns," *J. Stat. Weakware*, vol. 12, p.1, 2005.
- [17] J. Loh, "A valid and fast spatial bootstrap for correlation functions", *The astrophysical journal* 681, pp. 726-734 (2008).
- [18] H. Van Bui, A. Kovalgin, R. Wolters, "On the difference between optically and electrically determined resistivity of ultra-thin titanium nitride films", *App Surf Sci* 269, pp. 45-49 (2013).
- [19] X. Saura, D. Moix, J. Suñé, P.K. Hurley, and E. Miranda, "Direct observation of the generation of breakdown spots in MIM structures under constant voltage stress", *Mic. Rel.*, vol. 53, pp. 1257-1260, 2013.
- [20] B. Nelson, in *Stochastic Modeling, Analysis and Simulation*, McGraw-Hill, Singapore, 1995.
- [21] A. Baddeley, R. Turner, J. Moller, and M. Hazelton, "Residual analysis for spatial point processes", *J. R. Statist. Soc. B* 67, 617 (2005).
- [22] S. Chiu and R. Larson, "Bertrand's paradox revisited: More lessons about that ambiguous word, *Random*", *J. Ind. Sys. Eng.*, vol. 3, pp. 1-26, 2009.
- [23] E. Weisstein, "Circle-Circle Intersection", *MathWorld-A Wolfram Web Resource*. <http://mathworld.wolfram.com/Circle-CircleIntersection.html>.

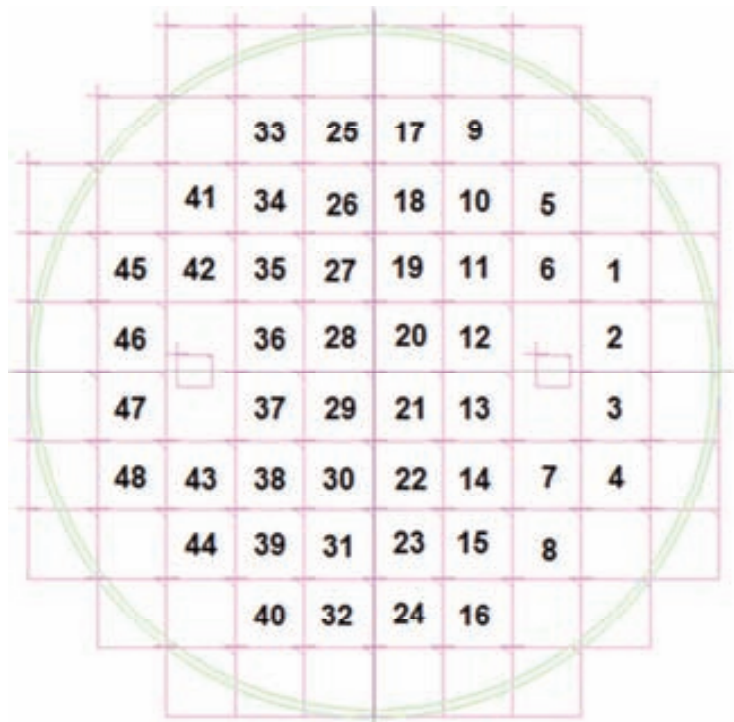


## **Anexo C. Detalles de los procesos de fabricación**



## Anexo C.1. Proceso de fabricación NANOFUSE1

El objetivo de este anexo es el de presentar las etapas del primer proceso de fabricación requerido para la obtención de los resultados mostrados en el capítulo 3. Este primer proceso fue definido con el fin de implementar las estructuras BD-NW-AF y las MIM Si-*backgated* que han sido descritas en el apartado 3.2.1. En el momento que se definió este primer proceso fue necesario dibujar *layouts* para poder realizar las máscaras físicas necesarias para la fabricación. Para ello, se tuvieron en cuenta las dimensiones definidas para las estructuras así como las reglas de diseño de la tecnología CMOS CNM25 (tecnología de 2,5µm del IMB-CNM) para tener unos solapamientos mínimos requeridos para asegurar que el proceso de fabricación pudiera realizarse correctamente. Así, para el proceso de fabricación se diseñaron un total de 5 máscaras de cuarzo para procesos fotolitográficos y por otro lado se diseñaron otras 2 máscaras más de tipo software para los motivos de las etapas de litografía por haz de electrones (EBL).



**Fig. C.1.** Distribución chips en la oblea diseñada.

La oblea sobre la que se han fabricado y diseñado las estructuras se dividió en 48 chips cuadrados idénticos de 10mm de costado (ver distribución de los chips en la oblea en la Fig. C.1a). En la Tabla C.1 se muestran las etapas requeridas para el proceso de



fabricación NANOFUSE1 y a continuación se describe en mayor detalle algunos de los aspectos a tener en cuenta en las distintas etapas.

#	ETAPA	BD-NW-AF	MIM	
			Si-backgated	Si-backgated con puerta superior
0	PRE-FAB	X	X	X
1	ALIGN	X	X	X
2	TRENCH	X		
3	EBL1	X		
4	RIE	X		
5	ALD	X	X	X
6	WINDOW	X	X	X
7	METAL1-THIN		X	X
8	METAL2-THICK	X	X	X
9	EBL2		X	X
10	LIFT-OFF W		X	X

Tabla C.1. Resumen de las etapas tecnológicas requeridas en el proceso de fabricación.

#### Etapa 0. Dopaje, corte de las obleas y proceso de prueba. Etapa PRE-FAB.

Como punto de partida en el diseño del proceso de fabricación de los dispositivos BD-NW-AF y MIM Si-backgated, se deben tener en cuenta las obleas sobre las que se van a fabricar los dispositivos. En concreto se partió de obleas SOI de 300mm de diámetro con un espesor de silicio tipo P de 20nm y con una resistividad, según especificaciones del fabricante SOITEC de las obleas, de 9-15  $\Omega \cdot \text{cm}$ . El primer paso fue el corte de una oblea de 300mm en varias obleas de 100mm para que pudieran ser procesadas por el IMB-CNM. El proceso de corte de las obleas se realizó siguiendo las especificaciones SEMI (*Semiconductor Equipment and Materials International*) para obleas de Si. Así, una vez cortadas las obleas de 300mm se obtuvieron cuatro obleas de 100mm según la representación esquemática de la Fig. C.2.

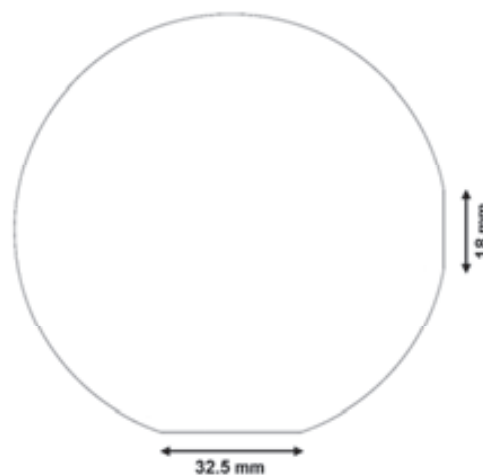


Fig. C.2. Obleas de 100mm de diámetro una vez cortadas.

Por otro lado, teniendo en cuenta que se desea trabajar sobre un sustrato de tipo  $N^+$ , con  $N_A = 10^{19} \text{ cm}^{-3}$  y que la movilidad para este dopaje es muy baja ( $\mu = 114,8 \text{ cm}^2/\text{V}\cdot\text{s}$ ), la resistividad deseada del sustrato debe de ser de unos  $5,4 \cdot 10^{-3} \Omega \cdot \text{cm}$  equivalente a una resistencia cuadro de  $2700 \Omega/\text{cuadro}$  para el espesor de silicio utilizado. Para las estructuras BD-NW-AF resulta imprescindible tener un dopaje adecuado del sustrato, aunque no es así en el caso de las estructuras MIM. Pese a que en el IMB-CNM se tiene mucha experiencia en dopaje de obleas SOI, este proceso de dopaje no resultó nada sencillo ya que en el IMB-CNM no se tenía experiencia en el dopaje de obleas SOI con un espesor de la capa de silicio tan reducido ( $T_{Si} = 20 \text{ nm}$ ). Por este motivo, se realizaron varias simulaciones de dopaje que fueron incluidas en [103] para la definición de parámetros iniciales y posteriormente se realizaron varias pruebas de dopaje sobre varios trozos sobrantes del corte de la oblea de 300mm inicial. Finalmente, la resistencia cuadro media obtenida fue de  $8440 \Omega/\text{cuadro}$  que resulta en una resistividad de  $1,69 \cdot 10^{-2} \Omega \cdot \text{cm}$  para el grosor deseado de Si de 20nm (unos 3 veces superior a la deseada). Los pasos del proceso definido por el IMB-CNM para el dopaje de las obleas fue el siguiente:

- 0.1. Depósito de una capa de óxido PSG (*phosphosilicate glass*) de 100nm.
- 0.2. Limpieza general simple
- 0.3. Recocido (Drive-in) en  $N_2$  a  $950^\circ\text{C}$  durante 30 min.
- 0.4. Eliminación del óxido utilizando SiOEtch.

Por otro lado, debido a que algunas de las etapas del proceso de fabricación (descritas a continuación) resultan críticas para la obtención de las estructuras BD-NW-AF. Se realizó también un primer proceso de prueba para determinar algunos de los parámetros de algunas de ellas utilizando  $Al_2O_3$  como material dieléctrico en lugar del  $HfO_2$ . Los resultados de este proceso de prueba se describieron en [103].

### **Etapas 1. Realización de las marcas en el silicio del dorso que se utilizarán como marcas de alineamiento para las siguientes etapas fotolitográficas. Etapa ALIGN.**

La etapa número uno que se observa en la Tabla C.1 tiene como objetivo poder alinear posteriormente las distintas máscaras utilizadas en el proceso tecnológico. Así, en esta etapa número uno se desea grabar el silicio del dorso de la oblea con la finalidad de crear unas marcas (a las que llamamos motivos de alineamiento) definidas mediante una máscara de cuarzo (máscara #1), con las que alinear las máscaras de las siguientes etapas del proceso que así lo requieran. A continuación, se describen los pasos involucrados en esta etapa:

- 1.1. Fotolitografía en la cara dorso con resina de protección en la cara componentes.
- 1.2. Grabado RIE del silicio de profundidad  $1 \mu\text{m}$ .
- 1.3. Eliminación de la resina con disolvente.

### **Etapas 2. Realización de las islas de silicio en la cara de los componentes. Etapa TRENCH.**

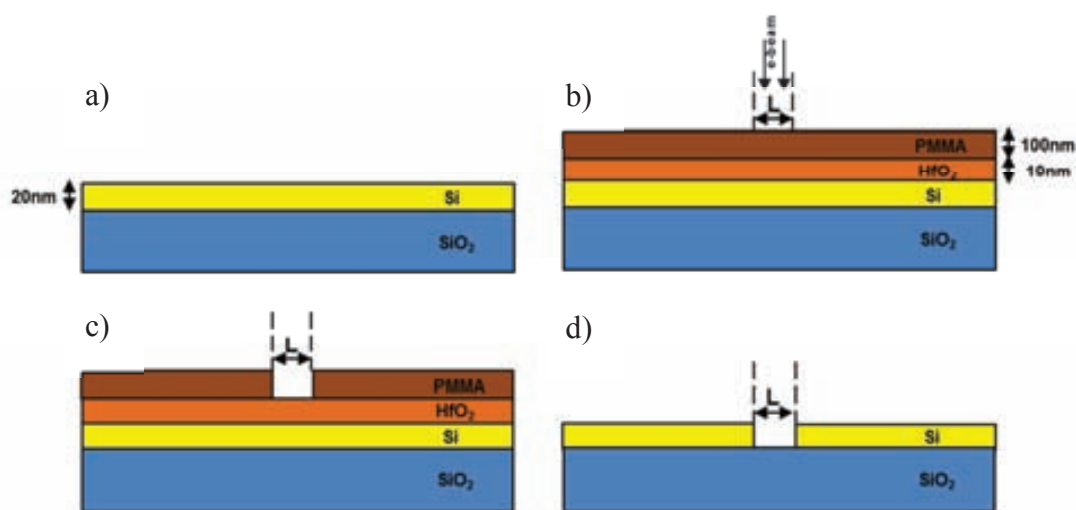
El objetivo de esta etapa número dos, es el eliminar el de Si del sustrato llegando hasta la capa de  $SiO_2$  en ciertas zonas de las estructuras, con el fin de aislar las zonas activas del BD-NW-AF del resto del sustrato  $N^+$ . Así, en esta etapa se realiza un proceso fotolitográfico, mediante una máscara de cuarzo (máscara #2), para definir los motivos

deseados en una fotoresina para posteriormente, realizar un grabado del silicio que permitan aislar la estructura del resto de silicio. Es determinante que se grave totalmente el Si en estas zonas para tener un buen aislamiento de la zona activa de los dispositivos BD-NW-AF con el resto del sustrato. Se trata de uno de los procesos críticos de este proceso ya que el grabado de 20nm de Si no es un proceso estándar en el IMB-CNM, de modo que no se puede evaluar los resultados del grabado en el momento en que se está realizando. La evaluación de los resultados de este proceso se realizó por medio de inspecciones ópticas y medidas AFM una vez acabada esta etapa. Los pasos en este proceso son:

- 2.1. Fotolitografía doble cara, en la cara componentes y sin resina de protección en el dorso.
- 2.2. Grabado RIE del silicio: grosor a grabar de 20nm.
- 2.3. Eliminación de la resina con disolvente.

### Etapa 3. Definición de las zonas manométricas del canal. Etapa EBL1.

En esta etapa se desea realizar un proceso de EBL para definir unos motivos sobre una resina de tipo PMMA950 (*Polymethyl methacrylate 950*), que posteriormente, en la etapa 4 se grabarán a través de un proceso de grabado RIE para la eliminación del silicio en esa zona. Se trata de otro proceso crítico en el cual se definen los motivos de las líneas (trincheras) de aislamiento con un ancho  $L_{EBL}$  de dimensiones entre 20nm y 100nm. El objetivo de este proceso es el de eliminar el Si de la zona en que se debe producir la ruptura dieléctrica.



**Fig. C.3.** Vista en corte transversal de a) muestra virgen previa al depósito de la resina; b) después del depósito de la resina y la capa de  $\text{HfO}_2$ , en el momento de utilizar el haz de electrones para insolar la resina; c) después de la eliminación de la resina expuesta por EBL; d) después del grabado RIE del Si y de la eliminación de la resina no expuesta.

Después de pruebas preliminares se determinó que la adherencia de la resina utilizada sobre el Si altamente dopado era muy mala, por lo que se depositó por ALD una capa previa de 10nm de  $\text{HfO}_2$  sobre el sustrato. En la Fig. C.3a, b, y c se muestran esquemáticamente los distintos pasos en la realización de este proceso, los cuales se describen a continuación:

- 3.1. Definición de los motivos en un editor de *layouts*.
- 3.2. Depósito de una capa *buffer* de 10nm de  $\text{HfO}_2$  por ALD.
- 3.3. Depósito de 100nm de resina PMMA950.
- 3.4. Litografía por haz de electrones.
- 3.5. Eliminación de la resina expuesta.

Para este proceso no se necesita una máscara física para realizar la litografía: se podría decir que en este caso la máscara es de tipo software ya que se definen los motivos por ordenador. Esta etapa, se describe con mayor detalle en el anexo C.4 de este trabajo.

#### **Etapa 4. RIE del silicio de profundidad 20nm. Etapa RIE.**

En la cuarta etapa, se realizará un grabado seco por iones reactivos (RIE) de los motivos definidos en la etapa 3. Los pasos necesarios en esta etapa son los siguientes:

- 4.1. RIE del silicio de profundidad 20nm y de la capa *buffer* de 10nm de  $\text{HfO}_2$ .
- 4.2. Eliminación del PMMA.

El resultado de esta etapa se muestra de manera esquemática en la Fig. C.3d.

#### **Etapa 5. Depósito de la capa de *high-k* por ALD. Etapa ALD.**

En esta etapa se realiza un depósito de capas atómicas (ALD) de dieléctrico *high-k* en toda la superficie de la oblea sin la utilización de máscaras de modo que no debe definirse ningún motivo. Para esta etapa se deben seguir los siguientes pasos:

- 5.1. Limpieza general.
- 5.2. Depósito de  $\text{HfO}_2$  por ALD de 20nm de grosor.

#### **Etapa 6. Apertura de contactos. Etapa WINDOW.**

En la etapa número seis se hace necesario atacar el dieléctrico en aquellas zonas en las que se quiera contactar con el Si para caracterizar eléctricamente los dispositivos. Así, en esta etapa se desean abrir unas regiones en el óxido depositado previamente por ALD hasta llegar a la capa de Si para que, en la etapa ocho, se deposite el contacto de metal directamente sobre el Si. Para ello, se realiza un proceso fotolitográfico a través de una máscara física (máscara #3) y un grabado del óxido hasta la capa de Si. Es muy difícil realizar un grabado húmedo del  $\text{HfO}_2$  ya que es muy lento y la resina protectora no aguanta fácilmente este ataque. Por este motivo, se decide realizar un grabado seco por iones reactivos (RIE) en esta etapa resultando en un punto crítico del proceso. Los pasos a seguir para abrir las ventanas para el depósito del metal son:

- 6.1. Fotolitografía doble cara, en la cara componentes y sin resina de protección en la cara dorso.
- 6.2. Grabado seco de la capa de  $\text{HfO}_2$ .
- 6.3. Eliminación de la resina con disolvente.

#### **Etapa 7. Definición y depósito de metal delgado (W). Etapa METAL1-THIN.**

En esta etapa número siete se desea depositar utilizando la técnica de *lift-off* el metal elegido (Wolframio, W) para los dispositivos MIM Si-*backgated* fuera de su región central. El depósito de metal de la región central de estos dispositivos se realizará en las etapas nueve y diez, utilizando litografía EBL para definir los motivos con mayor resolución. En esta séptima etapa se define un proceso fotolitográfico utilizando una

máscara física (máscara #4) que descubre la zona en la que se quiere realizar el depósito del metal. Los pasos necesarios en esta etapa son los siguientes:

- 7.1. Fotolitografía doble cara, en la cara componentes y sin resina de protección en la cara dorso.
- 7.2. Metalización por *sputtering* de 40nm de W.
- 7.3. *Lift-off* de metal.

#### **Etapa 8. Definición y depósito de metal grueso (Al). Etapa METAL2-THICK.**

En esta etapa se deposita metal de contacto (Aluminio, Al) en las zonas del dispositivo a través del cual se accederá a la estructura para su caracterización eléctrica. Para ello se usa la técnica de *lift-off*, realizando un proceso fotolitográfico y utilizando una máscara física (máscara #5) que descubra la zona en que se va a depositar el metal. Al realizarse un *lift-off* de una capa gruesa de metal la fotolitografía se ha realizado incorporando una capa de LOR (*Lift-Off-Resist*) que se elimina al final de esta misma etapa. Para ello, deben seguirse los siguientes pasos:

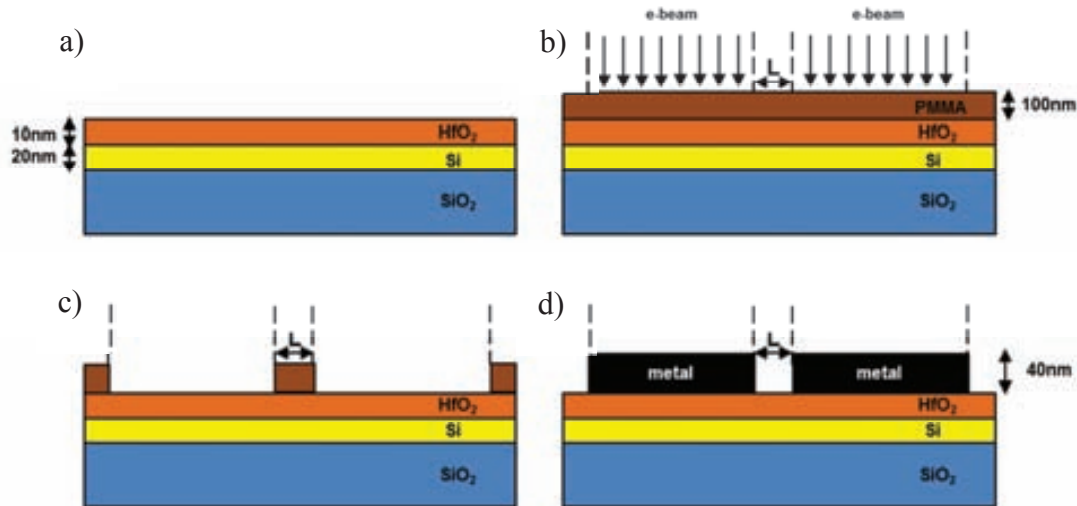
- 8.1. Fotolitografía doble cara, con capa LOR en la cara componentes y sin resina de protección en la cara dorso.
- 8.2. Metalización por *sputtering* de 0.40 $\mu$ m de Al/Cu.
- 8.3. *Lift-off* de metal.
- 8.4. Eliminación de la capa de LOR.

#### **Etapa 9. Definición de zonas nanométricas de metal delgado. Etapa EBL2.**

La finalidad de esta etapa es la de definir la región central de las estructuras MIM Si-*backgated* con la resolución nanométrica deseada para que en la etapa siguiente se deposite W por *lift-off*. Para ello, como paso previo a las distintas etapas que implican la definición de la zona crítica de cada estructura (etapas 9 y 10), se cortaron los chips de la oblea para poder ser procesados individualmente, realizando así distintas pruebas para la optimización de los distintos parámetros requeridos para la EBL. Una vez cortados los chips, se deben seguir los mismos pasos que se han descrito en la etapa tres. Estos son:

- 9.1. Definición de los motivos en un editor de *layouts*.
- 9.2. Limpieza con Acetona e Isopropanol.
- 9.3. Depósito de 100nm de PMMA950.
- 9.4. Definición de motivos mediante EBL.
- 9.5. Revelado de la resina expuesta.

La resolución deseada para la dimensión  $L_{EBL}$  entre los 20nm y los 100nm de separación entre las dos zonas metálicas de las estructuras MIM. Las etapas 9 y 10 se representan esquemáticamente en la Fig. C.4a, b, y c. Como en la etapa anterior de EBL, en este proceso la máscara utilizada es de tipo software. Esta etapa, también se describe con mayor detalle en el anexo C.4.



**Fig. C.4.** Sección transversal de a) muestra virgen previa al depósito de la resina; b) después del depósito de la resina y en el momento de utilizar el haz de electrones para insolar la resina; c) después de la eliminación de la resina expuesta por EBL; d) después del depósito de metal y la eliminación de la resina no expuesta.

### Etapa 10. Metalización con capa delgada de W. Etapa LIFT-OFF W.

En esta etapa se deposita metal (W) en la zona central de las estructuras MIM de cada chip por *lift-off* según los motivos definidos en la etapa anterior. Combinando la técnica EBL y el depósito *lift-off* se consigue tener la resolución deseada en la región central de estas estructuras. El resultado final de dicho proceso se muestra en la Fig. C.4d.

Los pasos de esta etapa son:

- 10.1. Metalización por *sputtering* de 20nm de W en las primeras muestras (posteriormente 40nm).
- 10.2. *Lift-off* de metal.





## Anexo C.2. Proceso de fabricación NANOFUSE2

Una vez caracterizado el proceso NANOFUSE1 se definió un segundo proceso de fabricación para la implementación de las estructuras tipo MIM *backgated* definidas en el apartado 3.2.2. Así, en este apartado se definen los detalles del proceso de fabricación requerido su fabricación. Para la definición de este segundo proceso es importante tener en cuenta que el tipo de sustrato de la oblea utilizada no tiene importancia alguna siempre y cuando se tenga una capa de aislamiento de SiO<sub>2</sub> suficientemente gruesa como para aislar las estructuras definidas con respecto del sustrato. Las etapas de este proceso de fabricación se describen en la Tabla C.2.

#	ETAPA	MIM <i>backgated</i>
0	PRE-FAB	X
1	ISOLATE	X
2	ALIGN	X
3	METALL1	X
4	ALD	X
5	WINDOW	X
6	METAL1-THIN	X
7	METAL2-THICK	X
8	EBL2	X
9	LIFT-OFF W	X

**Tabla C.2.** Resumen de las etapas tecnológicas requeridas en el proceso de fabricación NANOFUSE2.

Resulta importante destacar que este proceso de fabricación se ha definido a partir de las máscaras físicas definidas anteriormente en el proceso NANOFUSE1. A continuación, se describe en mayor detalle algunos de los aspectos a tener en cuenta en las distintas etapas del proceso NANOFUSE2.

### **Etapa 0. Consideraciones iniciales. Etapa PRE-FAB.**

Se parte de una oblea *bulk* de tipo P con 100nm de diámetro, y 525 $\mu$ m de grosor. En este proceso, el alineamiento se hizo por la cara componentes ya que solo estaba pulida por esta cara.

### **Etapa 1. Depósito de óxido de aislamiento en el sustrato. Etapa ISOLATE.**

El objetivo de esta primera etapa es el de tener un aislamiento suficientemente alto con el sustrato como para soportar la tensión máxima a aplicar en las estructuras (aproximadamente 25V). Así, teniendo en cuenta que el campo de ruptura en el SiO<sub>2</sub> es de aproximadamente 10MV/cm = 1V/nm, con un grosor de 50nm se podrían soportar 50V por lo que debería ser más que suficiente. Aun con esto, para evitar posibles

problemas y para asegurar un total aislamiento, se definió un grosor de óxido de unos 500nm.

- 1.1. Limpieza de las obleas.
- 1.2. Oxidación térmica para crecer 500nm de SiO<sub>2</sub>.

## **Etapa 2. Realización de las marcas de alineamiento en el óxido de aislamiento. Etapa ALIGN.**

En esta etapa se quiere grabar unos motivos sobre el óxido de aislamiento (cara componentes) para poder alinear los siguientes niveles de máscaras que requieren de un proceso fotolitográfico. Así, en esta etapa se graba el SiO<sub>2</sub> según los motivos definidos en la máscara física #1. Los pasos a seguir en esta etapa son:

- 2.1. Fotolitografía para definir los motivos de alineamiento con la máscara ALIGN en la cara componentes.
- 2.2. Grabado del SiO<sub>2</sub> con la profundidad necesaria para ver las marcas.
- 2.3. Eliminación de la resina.

En este proceso se necesita una máscara física (máscara #1) para la fotolitografía.

## **Etapa 3. Depósito de una capa de metal en toda la oblea. Etapa METALL1.**

En esta etapa se desea realizar un depósito conforme de metal para el electrodo de *backgate* en toda la oblea por lo que no se requiere ninguna máscara física. El metal utilizado (W) se escogió en función de los metales que acepta el equipo utilizado para el depósito por ALD del óxido *high-k* en el IMB-CNM. Para esta capa, se definió un grosor de W de 100nm. El único paso involucrado en esta etapa, fue:

- 3.1. Depósito por *sputtering* de 100nm de W para obleas A y B.

## **Etapa 4. Depósito de la capa de *high-k* por ALD. Etapa ALD.**

En esta etapa se realiza un depósito ALD de dieléctrico *high-k* en toda la oblea por igual sin la utilización de máscaras de modo que no debe definirse ningún motivo. El grosor del óxido definido fue de 50nm. Para esta etapa se deben seguir los siguientes pasos:

- 4.1. Limpieza general.
- 4.2. Depósito de HfO<sub>2</sub> por ALD de 50nm de grosor.

## **Etapa 5. Apertura de contactos. Etapa WINDOW.**

Como en la etapa seis del proceso NANOFUSE1, en esta etapa se desea abrir unas regiones (según los motivos de la máscara física #3) a través del óxido *high-k* depositado en la etapa anterior para contactar con el metal de sustrato de la capa M1. Los pasos a seguir en esta etapa son:

- 5.1. Fotolitografía en la cara componentes con la máscara WINDOW.
- 5.2. Grabado seco de la capa de HfO<sub>2</sub>.
- 5.3. Eliminación de la resina con disolvente.

## **Etapa 6. Definición y depósito de metal delgado (W). Etapa METAL1-THIN.**

En esta etapa, como ya se ha descrito en la etapa número siete del proceso NANOFUSE1, se desea depositar W en la zona de contacto de las estructuras mediante la técnica de *lift-off*. Como en el caso de las estructuras MIM Si-*backgated*, la región central se depositará en etapas posteriores mediante el uso de la técnica de EBL para

obtener así una mayor resolución. Este proceso se realiza según la máscara física #4. Así, los pasos necesarios en esta etapa son los siguientes:

- 6.1. Fotolitografía en la cara componentes con la máscara de nivel METAL1-THIN.
- 6.2. Metalización por *sputtering* de 40nm de W.
- 6.3. *Lift-off* de metal.

#### **Etapa 7. Definición y depósito de metal grueso (Al). Etapa METAL2-THICK.**

De manera análoga al proceso NANOFUSE1, en esta etapa se desea depositar Al, mediante la técnica de *lift-off* con capa LOR, en las zonas del dispositivo a través del cual se accederá a la estructura para su caracterización eléctrica. En esta etapa se utiliza la máscara #5 y los pasos requeridos para la realización de la misma son:

- 7.1. Fotolitografía con capa LOR en la cara componentes con máscara METAL2-THICK.
- 7.2. Metalización por *sputtering* de 0.40 $\mu$ m de Al/Cu.
- 7.3. *Lift-off* de metal.
- 7.4. Eliminación de la capa de LOR.

#### **Etapa 8. Definición de zonas nanométricas de metal delgado. Etapa EBL2.**

En esta etapa se siguen los mismos pasos en la etapa EBL2 del proceso NANOFUSE1 utilizando una máscara software para la definición de motivos. En este caso también se cortó la oblea en varios chips para poder realizar múltiples pruebas. Así, para cada uno de ellos se siguieron los siguientes pasos:

- 8.1. Definición de los motivos en un editor de *layouts*.
- 8.2. Limpieza con Acetona e Isopropanol.
- 8.3. Depósito de 100nm de PMMA950.
- 8.4. Definición de motivos mediante litografía *EBL*.
- 8.5. Revelado de la resina expuesta.

#### **Etapa 9. Metalización con capa delgada de W. Etapa LIFT-OFF W.**

Como en el proceso NANOFUSE1, el objetivo de esta etapa es depositar el metal en la región crítica de los dispositivos por la técnica de *lift-off*. Los pasos de la presente etapa son:

- 9.1. Metalización por *sputtering* de 40nm de W.
- 9.2. *Lift-off* de metal.



## Anexo C.3. Proceso de fabricación NANOFUSE3

Después de caracterizar los dispositivos implementados en el proceso NANOFUSE2 y con el objetivo de mejorar los resultados eléctricos obtenidos, se definió un último proceso de fabricación llamado NANOFUSE3 para la fabricación de las estructuras MIM *gated* definidas en el apartado 3.2.3. Como en el caso del proceso NANOFUSE2, el tipo de sustrato de la oblea no tiene trascendencia ya que se utiliza una capa gruesa de SiO<sub>2</sub> como aislamiento entre los dispositivos y el sustrato. Este proceso de fabricación se define en dos subconjuntos de etapas separados por una etapa de estrés eléctrico requerido para la formación del camino de ruptura dieléctrica entre los contactos D y S. El primer conjunto de etapas, de la 0 a la 9, son necesarias para definir la estructura MIM planar, mientras que las etapas número 11 y 12 son necesarias para la definición del electrodo de puerta. Los detalles de este proceso de fabricación se describen en la Tabla C.3.

#	ETAPA	MIM <i>gated</i>
0	PRE-FAB	X
1	ISOLATE	X
2	ALIGN	X
3	ALD1	X
4	METAL1-THIN	X
5	EBL2	X
6	LIFT-OFF W	X
7	ALD2	X
8	WINDOW	X
9	METAL2-THICK	X
10	FORMING-BD	X
11	EBL-GATE	X
12	METAL-GATE	X

**Tabla C.3.** Resumen de las etapas tecnológicas requeridas en el proceso de fabricación NANOFUSE3.

Este proceso de fabricación también se ha definido partiendo de las máscaras físicas definidas en el proceso NANOFUSE1. A continuación se describe en mayor detalle las etapas del nuevo proceso:

### **Etapas 0. Consideraciones iniciales. Etapa PRE-FAB.**

Se parte de una oblea similar a la utilizada en el proceso NANOFUSE2: una oblea con sustrato de tipo P de 100nm de diámetro, y 525µm de grosor, en la que el alineamiento



se deberá realizar por la cara componentes ya que es la única cara de la oblea que esta pulida.

### **Etapa 1. Depósito de óxido de aislamiento en el sustrato. Etapa ISOLATE.**

De manera idéntica a lo realizado en el anterior proceso, se define una capa de SiO<sub>2</sub> de unos 500nm para asegurar un total aislamiento de las estructuras con el sustrato.

- 1.1. Limpieza de las obleas.
- 1.2. Oxidación térmica para crecer 500nm de SiO<sub>2</sub>.

### **Etapa 2. Realización de las marcas de alineamiento en el óxido de aislamiento. Etapa ALIGN.**

En esta etapa se quiere grabar unos motivos sobre el óxido de aislamiento (cara componentes) para poder alinear los siguientes niveles de máscaras que requieren de procesos fotolitográficos. Para ello, se ha utilizado la máscara #1. Los pasos seguidos son:

- 2.1. Fotolitografía para definir los motivos de alineamiento con la máscara ALIGN en la cara componentes.
- 2.2. Grabado del SiO<sub>2</sub> con la profundidad necesaria para ver las marcas.
- 2.3. Eliminación de la resina.

### **Etapa 3. Depósito de una capa de 20nm de *high-k* por ALD. Etapa ALD1.**

En esta etapa se realiza un depósito ALD de dieléctrico *high-k* sobre el SiO<sub>2</sub> en toda la oblea por igual. El grosor definido en esta etapa es de 20nm de grosor. Para esta etapa se deben seguir los siguientes pasos:

- 3.1. Limpieza general.
- 3.2. Depósito de HfO<sub>2</sub> por ALD de 20nm grosor.

### **Etapa 4. Definición y depósito de metal delgado (W). Etapa METAL1-THIN.**

En esta etapa, se desea depositar W en la zona de contacto de las estructuras mediante la técnica de *lift-off*. Como en los procesos anteriores, la región central será depositada más adelante mediante EBL. En esta etapa se utiliza la máscara física #4, y los pasos definidos para su realización son los siguientes:

- 4.1. Fotolitografía en la cara componentes con la máscara de nivel METAL1-THIN.
- 4.2. Metalización por *sputtering* de 40nm de W.
- 4.3. *Lift-off* de metal.

### **Etapa 5. Definición de zonas nanométricas de metal delgado. Etapa EBL2.**

De manera similar a como se ha hecho en los dos procesos anteriores, en esta etapa se realiza una etapa de EBL para la definición de la región central de las estructuras MIM. La diferencia principal es que en este proceso, se realiza la litografía de la región crítica sobre toda la oblea en lugar de individualmente chip a chip. Por este motivo, se definen varias separaciones  $L_{EBL}$  a lo largo de toda la oblea. Como en todas las etapas que requieren de EBL, la máscara utilizada es software. Los pasos a seguir en esta etapa son:

- 5.1. Definición de los motivos en un editor de *layouts*.
- 5.2. Limpieza con Acetona e Isopropanol.
- 5.3. Depósito de 100nm de PMMA950.

- 5.4. Definición de motivos mediante litografía *EBL*.
- 5.5. Revelado de la resina expuesta.

#### **Etapa 6. Metalización con capa delgada de W. Etapa LIFT-OFF W.**

Esta etapa, se depositan 40nm de W por la técnica de *lift-off* en la región crítica de los dispositivos de todos los chips de la oblea según los motivos definidos en la etapa anterior.

- 6.1. Metalización por *sputtering* de 40nm de W.
- 6.2. *Lift-off* de metal.

#### **Etapa 7. Depósito de una capa de 10nm de *high-k* por ALD. Etapa ALD2.**

En esta etapa se realiza un depósito ALD de dieléctrico *high-k* sobre toda la oblea cubriendo incluso la región central de las estructuras. Para esta etapa se deben seguir los siguientes pasos:

- 7.1. Limpieza general.
- 7.2. Depósito de HfO<sub>2</sub> por ALD de 10nm de grosor.

#### **Etapa 8. Apertura de contactos. Etapa WINDOW.**

Una vez más se define una etapa para abrir unas regiones a través del óxido *high-k* depositado para poder caracterizar eléctricamente los dispositivos. Cabe notar, que los motivos se definen mediante la máscara #5 del proceso NANOFUSE1 en lugar de utilizar la máscara #3 como se realizaba para la apertura de ventanas a través del óxido en los procesos anteriores. Esto es debido a que en la máscara #3 se define un contacto con el sustrato que se desea evitar. Los pasos de esta etapa son:

- 8.1. Fotolitografía en la cara componentes con la máscara WINDOW.
- 8.2. Grabado seco de la capa de HfO<sub>2</sub>.
- 8.3. Eliminación de la resina con disolvente.

#### **Etapa 9. Definición y depósito de metal grueso (Al). Etapa METAL2-THICK.**

Para depositar el metal del contacto eléctrico en las estructuras de ambas obleas (según los motivos definidos en la máscara #5), en esta etapa se deposita Al mediante la técnica de *lift-off* utilizando una capa LOR. Los pasos requeridos son:

- 9.1. Fotolitografía con capa LOR en la cara componentes con máscara METAL2-THICK.
- 9.2. Metalización por *sputtering* de 0.40μm de Al/Cu.
- 9.3. *Lift-off* de metal.
- 9.4. Eliminación de la capa de LOR.

#### **Etapa 10. Creación del camino de ruptura dieléctrica. Etapa FORMING-BD.**

En este punto del proceso, se realiza un estrés eléctrico de las estructuras con la finalidad de crear un camino de ruptura dieléctrica entre los terminales D y S de la estructura. Es importante tener en cuenta que una vez realizada la caracterización eléctrica, las obleas quedarán “contaminadas” por lo que no podrán procesarse en muchos de los equipos de la Sala Blanca del IMB-CNM. Los detalles de la presente etapa se muestran en el apartado 3.3.2 de esta tesis, el cual hace referencia a la caracterización de las estructuras MIM *gated*.

**Etapa 11. Definición de zonas nanométricas de metal delgado. Etapa EBL-GATE.**

El objetivo de esta etapa, como la siguiente, es el de definir el electrodo de puerta superior de la estructura. Esta etapa se realiza sobre los dispositivos en los que se ha creado el camino de ruptura entre los terminales D y S. Para ello, se siguen los mismos pasos de las etapas EBL2 de los procesos anteriores, utilizando una máscara software para la definición de motivos. Así, se siguieron los siguientes pasos:

- 11.1. Definición de los motivos en un editor de *layouts*.
- 11.2. Limpieza con Acetona e Isopropanol.
- 11.3. Depósito de 100nm de PMMA950.
- 11.4. Definición de motivos mediante litografía *EBL*.
- 11.5. Revelado de la resina expuesta.

**Etapa 12. Metalización del electrodo de puerta (*gate*, G). Etapa METAL-GATE.**

En esta etapa se deposita el metal del electrodo de puerta por *lift-off* para completar la fabricación de las estructuras y que puedan ser caracterizadas eléctricamente.

- 12.1. Metalización por *sputtering* de 40nm de W.
- 12.2. *Lift-off* de metal.

## Anexo C.4. Litografía por haz de electrones

Los tres procesos de fabricación descritos en este capítulo incluyen etapas de litografía por haz de electrones (EBL) que resultan fundamentales para la obtención de la resolución nanométrica necesaria en la región crítica de las distintas estructuras que se han definido en el transcurso del capítulo 3 de esta tesis. La resolución de los equipos de EBL es de unos pocos nanómetros. Sin embargo el principal motivo por el que se prevé que la obtención de unas dimensiones críticas del orden de pocos nanómetros sea complicada de obtener es que se debe utilizar una columna de resina con una relación 5:1 entre el grosor y el ancho (es decir, usando una capa de 100nm de resina con el ancho mínimo definido por EBL de 20nm). Otra dificultad a tener en cuenta en la obtención de dimensiones tan pequeñas con la técnica EBL es la aparición de efectos de proximidad entre motivos: se trata de una no idealidad del sistema debida a que la dosis de electrones depositada en un área es mayor que el diámetro del haz de electrones. Por lo tanto, el perfil obtenido experimentalmente será siempre mayor que el definido.

En todos los procesos de fabricación definidos en este trabajo, se ha participado activamente en la realización de las distintas etapas de EBL realizando la gran mayoría de estas etapas de forma autónoma. Para ello, fue necesario obtener la autorización para el acceso a la Sala Blanca del IMB-CNM y realizar un curso en el mismo centro para obtener la cualificación de autoservicio de los equipos SEM (*Scanning Electron Microscopy*) y EBL para así poder utilizarlos por uno mismo y hacer las pruebas pertinentes relacionadas con la EBL. Con la finalidad de obtener dicha cualificación para el uso de estos equipos, se ha seguido el protocolo establecido para acceder a la Sala Blanca del IMB-CNM, así como para la utilización del SEM, el EBL y el equipo utilizado para el depósito de resina PMMA, llamado *spinner*. Una vez realizado dicho protocolo, se ha contado con la colaboración del Dr. Xavier Borrisé (responsable de la zona de nanolitografía del IMB-CNM) en la etapa 3 del proceso NANOFUSE1, así como en las etapas 5 y 11 del proceso NANOFUSE3, mientras que se han realizado de manera autónoma todos los pasos relativos al resto de etapas de EBL.

El proceso estándar a seguir para la realización de cualquiera de las etapas EBL se compone de cuatro pasos: en primer lugar se dibujan los motivos a definir mediante un editor de *layouts*, se hace un depósito de la resina sobre la muestra, y posteriormente se realiza la EBL mediante el haz de electrones de un SEM. Una vez definidos los motivos sobre la resina, finalmente se elimina la resina de la zona expuesta por el haz de electrones del SEM. A continuación se describen con detalle estos cuatro pasos:

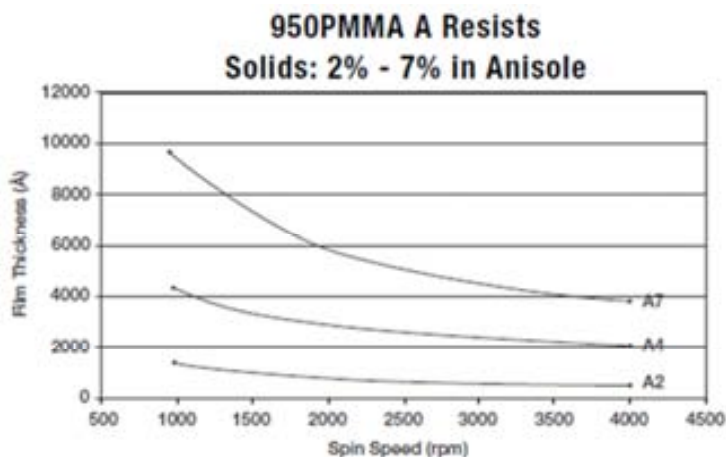
### **1. Definición de los motivos en un editor de *layouts*.**

Lo primero que hay que realizar es dibujar los motivos que se quieren definir en la resina mediante un editor de *layouts* (en un archivo en formato “.gds”). Este archivo es

el que posteriormente se pasará al sistema SEM-EBL, el cual expondrá en la resina las zonas dibujadas en el editor.

## 2. Depósito de resina (PMMA).

Para el depósito de resina de tipo PMMA sobre el sustrato se utiliza un *spinner*, instrumento que se utiliza para hacer girar la resina depositada sobre una muestra (dado de silicio u oblea), para así tener el grosor deseado sobre la muestra según la gráfica A2 que aparece en la hoja de producto de MicroChem Corp., el fabricante de la resina (ver Fig. C.5).



**Fig. C.5.** Curva de velocidad de giro frente al grosor de la capa de resina de PMMA950.  
Fuente: MicroChem Corp.

Los distintos pasos necesarios para el depósito de la resina se describen a continuación:

### 2.1. Limpieza de la muestra:

La muestra debe limpiarse antes del depósito de resina para eliminar impurezas (restos de suciedad o de otras sustancias depositadas previamente sobre esta) sobre la muestra en el momento de realizarse el depósito de la resina.

Para ello se sumerge la muestra en acetona ( $\text{CH}_3(\text{CO})\text{CH}_3$ ) durante un minuto y posteriormente, se sumerge en isopropanol ( $\text{H}_3\text{C}-\text{HCOH}-\text{CH}_3$ ) durante otro minuto para eliminar los restos de acetona de la muestra. Una vez sumergida la muestra en acetona e isopropanol se seca mediante una pistola de nitrógeno ( $\text{N}_2$ ).

### 2.2. Recocido de la muestra.

Se deja la muestra encima de una placa calefactora a  $180^\circ$  durante un minuto con el fin de deshidratar la muestra para posteriormente, depositar la resina.

### 2.3. Depósito de resina.

Una vez deshidratada la muestra, ésta se sitúa en el interior del *spinner* con la finalidad de depositar la resina que posteriormente se insolará mediante el SEM. Una vez situada la muestra en el interior del *spinner*, se programa este para que gire durante un tiempo y velocidad adecuada para tener el grosor deseado (según la gráfica de la Fig. C.5). En concreto, para tener una capa de unos 100nm de resina se programa el *spinner* para que

gire a 1500rpm durante 1 minuto. El PMMA debe depositarse justo antes de que la muestra empiece a girar.

#### **2.4. Recocido de la muestra.**

Una vez se ha hecho girar la muestra según los parámetros deseados, esta se sitúa en una placa calefactora a 180° durante un minuto con el fin de endurecer la resina y eliminar los restos de disolvente que pudieran existir encima de la misma.

### **3. Litografía *e-beam*.**

Una vez se ha depositado la resina sobre la muestra, se procede a realizar la exposición de esta resina con el fin de definir los motivos dibujados en el editor de *layouts*. Para ello se sitúa la muestra en el interior de la cámara de vacío del SEM y se expone según los pasos que se describen a continuación:

#### **3.1. Inicialización del sistema, enfoque y definición de parámetros iniciales del sistema SEM-EBL.**

Para un sistema con la resolución nanométrica que se obtiene en el SEM, resulta imprescindible definir correctamente los parámetros del equipo y realizar una calibración lo más minuciosa posible. En este procedimiento se realizan varias tareas tales como la inicialización del sistema, la definición de parámetros críticos del mismo (tales como la energía del haz de electrones y la apertura de la lente, el tiempo de exposición, entre otros), la definición de un sistema de coordenadas mutuo entre la muestra y el *stage*, el alineamiento de la muestra, el enfoque de la muestra, etc. Se debe prestar mucha atención en este procedimiento ya que de la correcta calibración y definición de los múltiples parámetros del sistema depende en gran parte que la resolución obtenida sea la deseada.

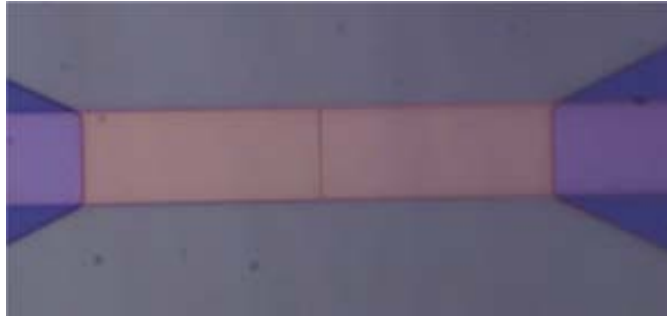
#### **3.2. Exposición de la muestra.**

Una vez enfocada la muestra correctamente y definidos todos los parámetros del sistema se procede a situar los distintos motivos a exponer sobre la muestra (dibujados en un *layout* con formato “.gds”), definiendo unas coordenadas determinadas para cada uno. El sistema permite que para cada motivo se pueda definir un factor proporcional de la dosis expuesta sobre la muestra, es decir, aplicar mayor flujo de electrones por unidad de superficie sobre la muestra. Una vez definida la lista de motivos se procede a la exposición de los motivos sobre la resina. El proceso de exposición es automático: una vez dada la instrucción al sistema EBL, este se va posicionando sobre la muestra exponiendo las zonas definidas en el *layout*.

### **4. Eliminación de la resina expuesta.**

Una vez expuesta la muestra mediante el sistema SEM-EBL se procede a la eliminación de la resina insolada el proceso. Para revelarla, en primer lugar se sumerge durante 30 segundos en una mezcla de metil-isobutil-cetona (MIBK) e isopropanol en una proporción 1:3, durante 30 segundos. A continuación se sumerge finalmente en isopropanol durante 30 segundos.

Una vez eliminada la resina expuesta de la muestra es conveniente realizar una inspección del resultado de la etapa EBL. Para ello, primero se aconseja realizar una inspección mediante un microscopio óptico. También se puede realizar una inspección mediante el SEM (ver ejemplo en la Fig. C.6) aunque esto implica volver a exponer la zona inspeccionada con el haz de electrones. En algunos casos puede realizarse una inspección AFM con el fin de determinar que el proceso descrito se ha realizado correctamente a partir de la diferencia de alturas entre la región expuesta (sin resina) y la región no expuesta (con resina).



**Fig. C.6.** Imagen obtenida con un microscopio óptico una vez expuesta y revelada la resina PMMA de una estructura MIM Si-*backgated* (introducida en el capítulo 3) en su región crítica después de realizar una litografía por haz de electrones.





