



Universitat Politècnica de Catalunya
Departament d'Enginyeria Electrònica

Estudi de la Influència de les Interconnexions en el Disseny Microelectrònic

Francesc Moll Echeto

Memòria per a l'obtenció del títol de
Doctor en Ciències

Director:

Antonio Rubio Solà

Capítol 6

Valors de capacitat d'interconnexions no rectes

Com s'ha discutit anteriorment, el valor de la capacitat de les interconnexions és un dels paràmetres més importants ja que apareix en tots els models. Aquesta importància fa que sigui interessant un càlcul el més acurat possible del valor de les capacitats. Al mateix temps, per aplicacions de programes de CAD d'anàlisi de *layout*, és important simplificar els càlculs a fi d'obtenir els valors dels paràmetres el més ràpidament possible.

Actualment els programes de CAD fan servir per les interconnexions valors de capacitat per unitat d'àrea, introduint correccions pel perímetre, per a tenir en compte efectes de frontera (*fringing fields*). Aquests valors s'obtenen amb fórmules empíriques derivades de mesures experimentals, o de càlculs bidimensionals conegudes les dimensions transversals de les interconnexions (especialment les verticals: alçada sobre el substrat i gruix de metal·lització).

L'obtenció de valors de capacitats de línies d'un *layout* basada en dades procedents d'estructures transversals proporciona valors correctes per a línies rectes. Ara bé, si les línies no són rectes, aleshores s'han de tenir en compte uns efectes que fan precís un càlcul tridimensional (3D):

1. La presència d'angles provoca una distribució de càrrega elèctrica diferent que en el cas de conductors rectes, i per tant, tenen un diferent valor de capacitat de la línia respecte al substrat (autocapacitat).
2. En el cas de dues o més línies, el valor d'autocapacitat és depenent de la distància entre línies. Per tant, per al cas de dues línies que la seva distància mútua varia al llarg de la longitud (figura 6.1), el valor de l'autocapacitat és difícil de calcular a partir de simulacions 2D.
3. Degut a que el cas bidimensional només considera els camps transversals, no pot tenir en compte estructures on els conductors tenguin diferents orientacions, com a la figura 6.1. Per tant, els valors de capacitats d'acoblament entre línies en aquest tipus d'estructures obtinguts de càlculs bidimensionals han de ser per força incorrectes.

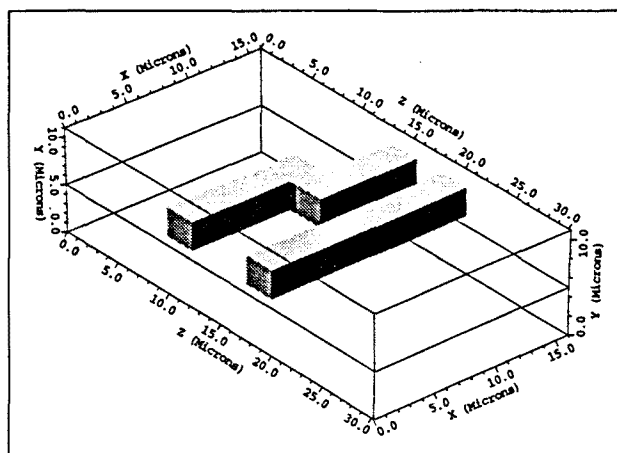


Figura 6.1: Estructura tridimensional de línies no rectes

Per tots aquests motius s'ha decidit fer un estudi de càlculs en 3D de capacitats amb el programa RAPHAEL, per veure si els valors obtinguts amb simulacions 2D ens permeten de fer una aproximació als valors calculats considerant l'estructura tridimensional. Aquesta informació pot ser útil per a programes de CAD d'anàlisi de *layout*, ja que permeten fer correccions als valors procedents d'informació 2D per a tenir en compte efectes tridimensionals.

Farem estudis dels tres efectes que es tenen en compte en l'anàlisi tridimensional i que s'han exposat abans. Per fer aquest estudi ens centrarem amb una tecnologia concreta, amb uns valors de dimensions verticals fixats per nosaltres. No farem aquí un estudi de l'escalat de dimensions, que ja s'ha fet per càlculs bidimensionals a altres bandes. Per tant, no es pretén que els valors calculats de capacitats corresponguin a cap tecnologia existent, però sí que les conclusions que es treguin d'aquests càlculs siguin extrapolables a altres tecnologies.

6.1 Efecte dels angles

En aquesta secció es farà la comparació entre la capacitat d'una línia recta i una línia amb un angle recte de la mateixa superfície i perímetre que la línia recta. Els extractors basats en dades bidimensionals només tenen en compte àrea i perímetre del conductor, i per tant predirien per als dos casos el mateix valor de capacitat. Ara bé, l'efecte de l'angle recte fa variar la distribució de càrrega a la zona al seu voltant, i això fa que la capacitat sigui diferent.

A la figura 6.2 es mostra una línia conductora en angle recte composta de dos trams, un de $10\mu\text{m}$ de longitud segons l'eix x , i un altre de $12.4\mu\text{m}$ orientat segons l'eix z . La línia té un gruix de $3\mu\text{m}$, una amplada de $2.4\mu\text{m}$, i està situada sobre un substrat conductor a $1\mu\text{m}$ de distància.

La superfície de la línia sobre el substrat és de $53.76\mu\text{m}^2$, i el perímetre és de $44.8\mu\text{m}$, on s'han deixat de comptar els extrems de la línia perquè no contribueixen a

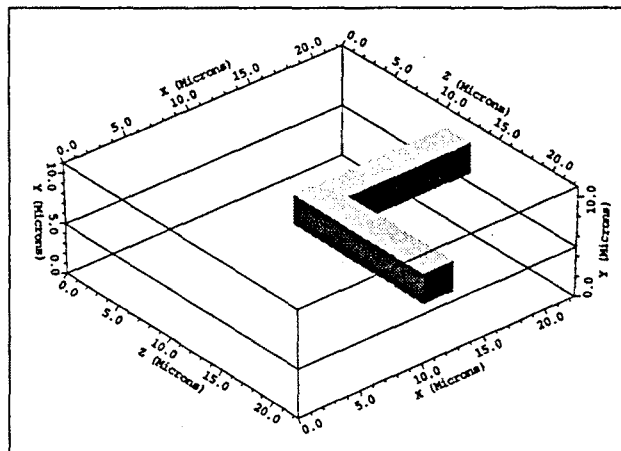


Figura 6.2: Línia amb un angle recte

la simulació que s'ha realitzat. La capacitat calculada per RAPHAEL és:

$$C_a = 4.4248 fF$$

Simulant amb RAPHAEL una línia recta, sense angles i composta dels mateixos dos trams que al cas anterior orientats els dos segons l'eix z, tenim una línia amb àrea i perímetre idèntics a la línia amb angle recte que s'ha considerat abans. El càlcul de la capacitat dona com a resultat:

$$C_r = 4.5056 fF$$

Com es veu, la capacitat d'una línia recta és més gran que la de la línia en angle recte, per aquest tipus concret de geometria. Això es pot interpretar com una capacitat "per defecte" introduïda per l'angle, igual a:

$$C_{def} = 0.08 fF$$

És interessant notar que fent la mateixa simulació amb la línia sense passivar, la capacitat de la línia amb angle resulta ser més gran [53]. Per tant, el valor de C_{def} obtingut depèn tant de la interconnexió com de la capa de passivació.

6.2 Línies acoblades: línia recta i línia en ziga-zaga

Per a estudiar els efectes 2 i 3 exposats anteriorment, considerarem l'autocapacitat i capacitat d'acoblament d'un sistema format per dues línies; una amb dos angles rectes i l'altra recta, sense angles, ambdues sobre un pla de referència separat de les línies per un dielèctric (figura 6.3).

L'estructura considerada es pot trobar tant a interconnexions de circuits integrats, on el pla de referència seria el substrat de silici, com a una interconnexió de MCM, o de PCB. En cada un d'aquests casos variaran les dimensions, i també el dielèctric considerat, però els efectes considerats per la tridimensionalitat, que és el que s'estudia,

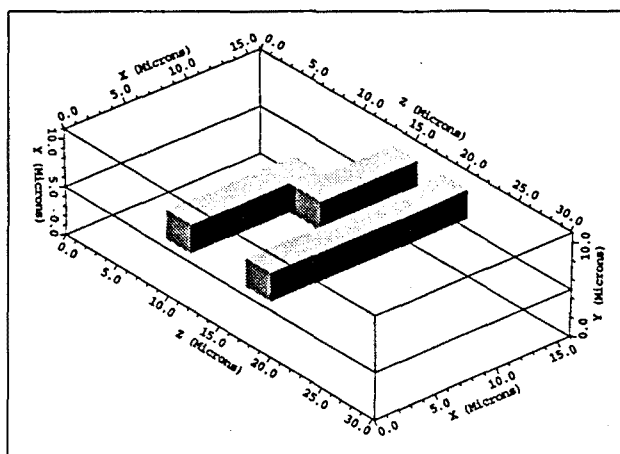


Figura 6.3: Línia recta acoblada amb una línia amb dos angles rectes

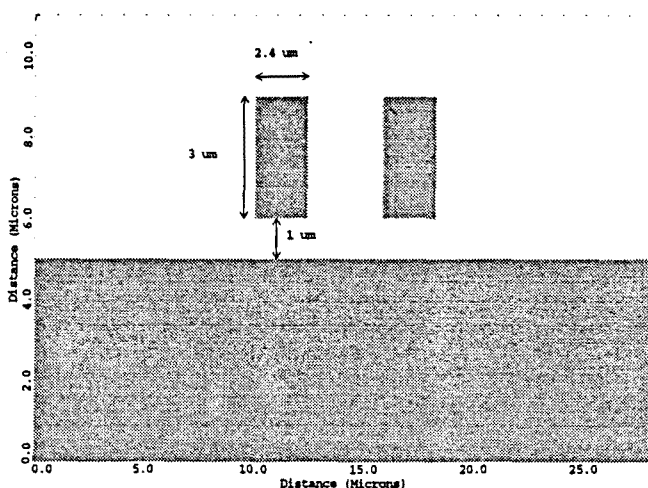


Figura 6.4: Dimensions verticals considerades per dues línies acoblades

són aplicables a tots tres casos. Per a les simulacions s'ha considerat òxid de silici (SiO_2) com a dielèctric.

Les dimensions verticals considerades són (figura 6.4):

- Separació línia-substrat, $s = 1\mu\text{m}$
- Gruix de metal·lització, $t = 3\mu\text{m}$
- Gruix de dielèctric, $d = 5\mu\text{m}$

L'amplada de les línies de metall és de $2.4\mu\text{m}$, el mateix valor que la separació mínima entre les línies.

L'estructura considerada té, com s'ha dit, una línia recta i una altra línia amb dos angles rectes, que es pot considerar formada per tres trams (figura 6.5): un tram de longitud $L1$ separat per distància mínima de la línia recta, un tram de longitud $L2$ orientat perpendicularment al primer, i un tercer tram de longitud $L3$ paral·lel al

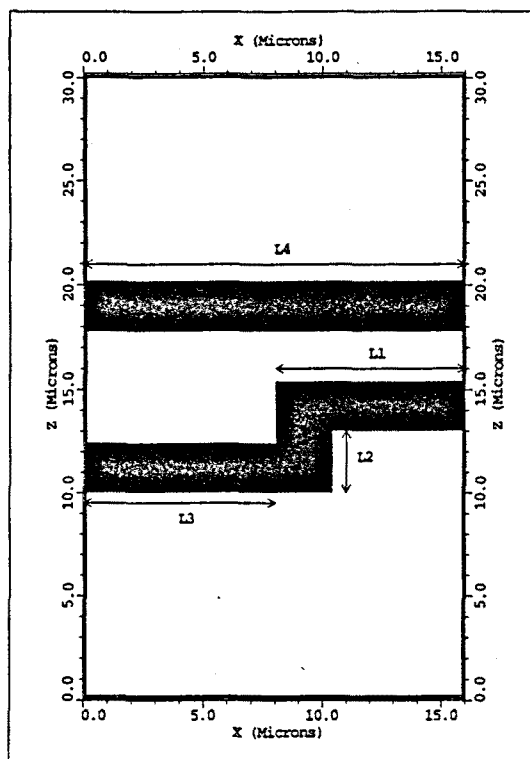


Figura 6.5: Vista vertical de l'estructura tridimensional estudiada

primer, que estarà separat de la línia recta per una distància igual $2.4\mu\text{m} + L2$. Per tant, la longitud total de la línia recta serà $L4 = L1 + L3$.

Sobre aquesta estructura s'han fet diverses simulacions, com s'explicarà seguidament. S'han considerat tres valors de $L2$: $1\mu\text{m}$, $3\mu\text{m}$ i $5\mu\text{m}$. S'ha agafat $L1 = 7.4\mu\text{m}$ i $L3 = 15.6\mu\text{m}$. Per a cada valor de $L2$ s'han fet una sèrie de simulacions variant longitudinalment una finestra de simulació en intervals de $1\mu\text{m}$. D'aquesta manera, fins que la finestra de simulació no té una longitud de $5\mu\text{m}$, el resultat és equivalent a considerar dues línies rectes paral·leles separades per distància mínima, ja que només es té en compte el tram $L1$ i la línia recta. En fer la finestra de simulació més gran, s'inclouen els efectes dels angles rectes (figura 6.6).

Presentarem els resultats de les simulacions separats en valors d'autocapacitat i de capacitat d'acoblament entre dues línies.

6.2.1 Autocapacitat

La taula 6.1 mostra els valors d'autocapacitat de la línia amb angles i de la línia recta respectivament en funció de la longitud de la finestra de simulació, i pels tres valors de $L2$ considerats. El més interessant d'aquestes dades és observar la tendència, més que els valors concrets obtinguts. Per tant, és més útil representar en una gràfica aquests valors en funció de x , la longitud de la finestra de simulació (figura 6.7).

D'aquestes gràfiques es poden fer les següents observacions:

- Per valors de $x \leq 5\mu\text{m}$, el comportament de l'autocapacitat és lineal amb el

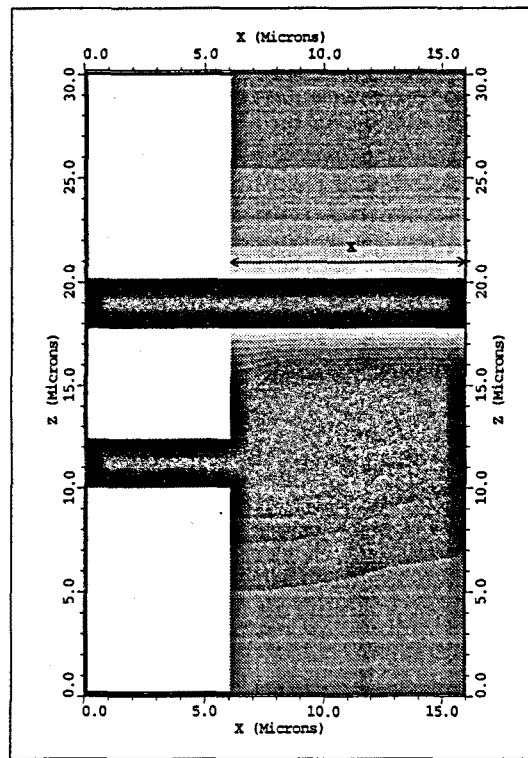


Figura 6.6: Finestra de simulació considerada

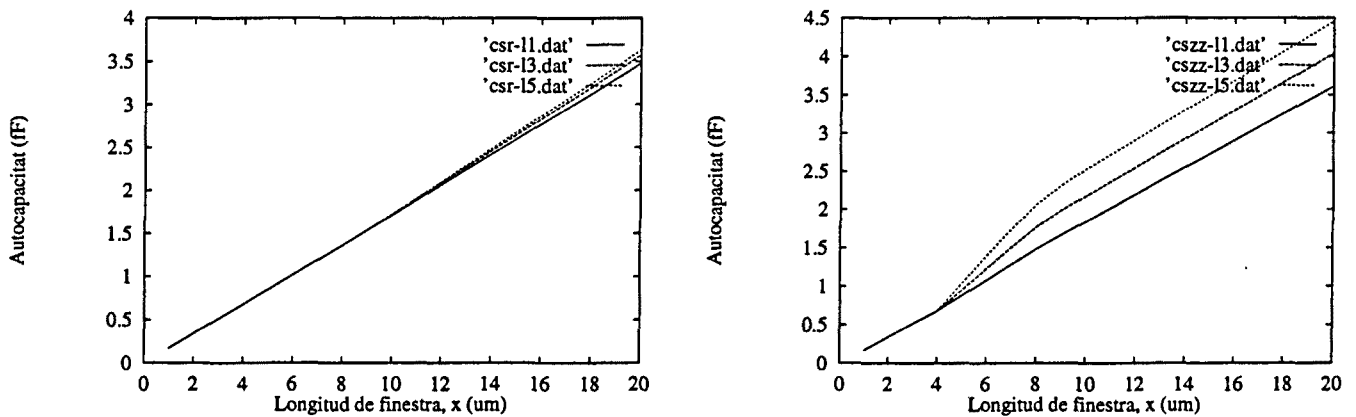


Figura 6.7: Autocapacitat de cada línia en funció de la longitud de la finestra de simulació

L4 (μm)	L2=1 μm		L2=3 μm		L2=5 μm	
	C_a	C_r	C_a	C_r	C_a	C_r
1	0.170	0.170	0.170	0.170	0.170	0.170
2	0.341	0.341	0.341	0.341	0.341	0.341
3	0.511	0.511	0.511	0.511	0.511	0.511
4	0.681	0.681	0.681	0.681	0.681	0.681
5	0.880	0.851	0.946	0.851	1.034	0.850
6	1.078	1.021	1.230	1.021	1.395	1.020
7	1.283	1.191	1.505	1.191	1.741	1.190
8	1.483	1.362	1.770	1.362	2.064	1.361
9	1.663	1.537	1.982	1.539	2.308	1.538
10	1.841	1.713	2.175	1.721	2.525	1.722
11	2.019	1.890	2.363	1.905	2.718	1.912
12	2.196	2.066	2.550	2.090	2.913	2.102
13	2.373	2.243	2.737	2.276	3.106	2.294
14	2.550	2.420	2.924	2.461	3.300	2.485
15	2.727	2.596	3.110	2.646	3.492	2.677
16	2.904	2.773	3.296	2.832	3.685	2.868
17	3.081	2.950	3.483	3.018	3.877	3.060
18	3.258	3.126	3.670	3.204	4.070	3.251
19	3.436	3.303	3.855	3.390	4.263	3.443
20	3.613	3.480	4.042	3.576	4.455	3.634

Taula 6.1: Valors d'autocapacitat de la línia amb angles (C_a) i de la recta (C_r), en funció de la longitud de la finestra, x . Les capacitats estan expressades en fF

mateix pendent per a ambdues línies. Presumiblement el valor del pendent d'aquesta recta és el donat per simulacions 2D amb la mateixa distància entre línies.

- Per valors $5\mu m \leq x \leq 10\mu m$, el valor de l'autocapacitat de la línia amb angle s'incrementa molt degut a que en aquesta zona es troba el tram perpendicular de la línia (L2).
- Per valors de $x \geq 10\mu m$, el comportament torna a ser lineal, i també aparentment amb el mateix pendent per les dues línies.

En resum, hi ha dues zones de comportament lineal que en el cas de la interconnexió amb angles estan separades per una zona de transició ampla, mentre que per la interconnexió recta, aquesta zona de transició és molt estreta.

Es pot fer una anàlisi més acurada ajustant una recta als trams lineals que s'han observat, que denotarem per zona A i zona B referint-nos a la primera i la segona zona lineal respectivament, per obtenir numèricament el pendent de les rectes. Les equacions ajustades als valors simulats són (x expressat en μm):

- L2=1 μm

$$A: \begin{aligned} C_a &= 0.1703x fF \\ C_r &= 0.1706x - 0.0013 fF \end{aligned}$$

$$B: \begin{aligned} C_a &= 0.1771x + 0.0707 fF \\ C_r &= 0.1767x - 0.0537 fF \end{aligned}$$

- L2=3 μm

$$A: \begin{aligned} C_a &= 0.1703x fF \\ C_r &= 0.1706x - 0.0013 fF \end{aligned}$$

$$B: \begin{aligned} C_a &= 0.1865x + 0.3121 fF \\ C_r &= 0.1857x - 0.1381 fF \end{aligned}$$

- L2=5 μm

$$A: \begin{aligned} C_a &= 0.1703x fF \\ C_r &= 0.1706x - 0.0013 fF \end{aligned}$$

$$B: \begin{aligned} C_a &= 0.1929x + 0.5981 fF \\ C_r &= 0.1914x - 0.1946 fF \end{aligned}$$

Com es veu, els valors dels pendents per cada zona són iguals per les dues línies, dins un marge d'error que ve donat per la pròpia precisió del programa RAPHAEL en calcular les capacitats. A més, s'observa que en tots els casos el pendent de la zona B és més gran que a la zona A, i això es correspon amb que és la zona en què les línies estan més allunyades.

Ara podem comparar els valors obtinguts dels pendents de les rectes amb simulacions bidimensionals corresponents a dues línies separades per 2.4 μm i L2+2.4 μm , la

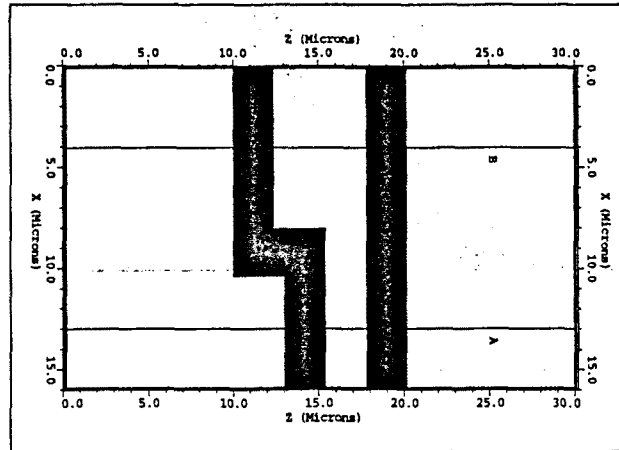


Figura 6.8: Talls transversals de l'estructura tridimensional per fer simulacions 2D de les zones A i B

separació mínima i màxima respectivament de l'estructura considerada. A la figura 6.8 es veuen els talls transversals que donen lloc a les estructures bidimensionals simulades. Els resultats que s'han obtingut són:

- $L2=1\mu m$

$$A: C_{2D} = 0.1719 fF/\mu m$$

$$B: C_{2D} = 0.1780 fF/\mu m$$

- $L2=3\mu m$

$$A: C_{2D} = 0.1719 fF/\mu m$$

$$B: C_{2D} = 0.1872 fF/\mu m$$

- $L2=5\mu m$

$$A: C_{2D} = 0.1719 fF/\mu m$$

$$B: C_{2D} = 0.1932 fF/\mu m$$

Es veu que aquests valors coincideixen amb els pendents trobats anteriorment, dins del marge d'error abans esmentat. Per tant, la informació a partir de simulacions bidimensionals es útil per a deduir capacitats d'estructures tridimensionals, només cal calcular el terme independent de les rectes ajustades.

6.2.2 Capacitat d'acoblament

Podem fer per la capacitat d'acoblament entre les dues línies un estudi similar al que s'ha fet per l'autocapacitat. A la taula 6.2 hi ha els valors de la capacitat d'acoblament en funció de la longitud de la finestra de simulació, x . A les figures 6.9 es representen aquestes dades.

També es poden apreciar aquí dues zones lineals separades per una zona de transició localitzada al voltant de la distància $L1$. Ajustant unes rectes en aquestes zones, obtenim (x expressat en μm):

x (μm)	L2=1 μm	L2=3 μm	L2=5 μm
1	0.055	0.055	0.055
2	0.110	0.110	0.110
3	0.166	0.166	0.166
4	0.221	0.221	0.221
5	0.276	0.277	0.277
6	0.332	0.333	0.334
7	0.388	0.389	0.389
8	0.440	0.442	0.442
9	0.482	0.480	0.479
10	0.520	0.507	0.504
11	0.557	0.528	0.519
12	0.595	0.550	0.533
13	0.633	0.572	0.544
14	0.670	0.590	0.556
15	0.706	0.61	0.567
16	0.743	0.63	0.578
17	0.781	0.647	0.590
18	0.817	0.67	0.602
19	0.855	0.69	0.613
20	0.892	0.71	0.625

Taula 6.2: Valors de capacitat d'acoblament entre la línia amb angles i la recta, en funció de la longitud de la finestra, x . Les capacitats estan expressades en fF

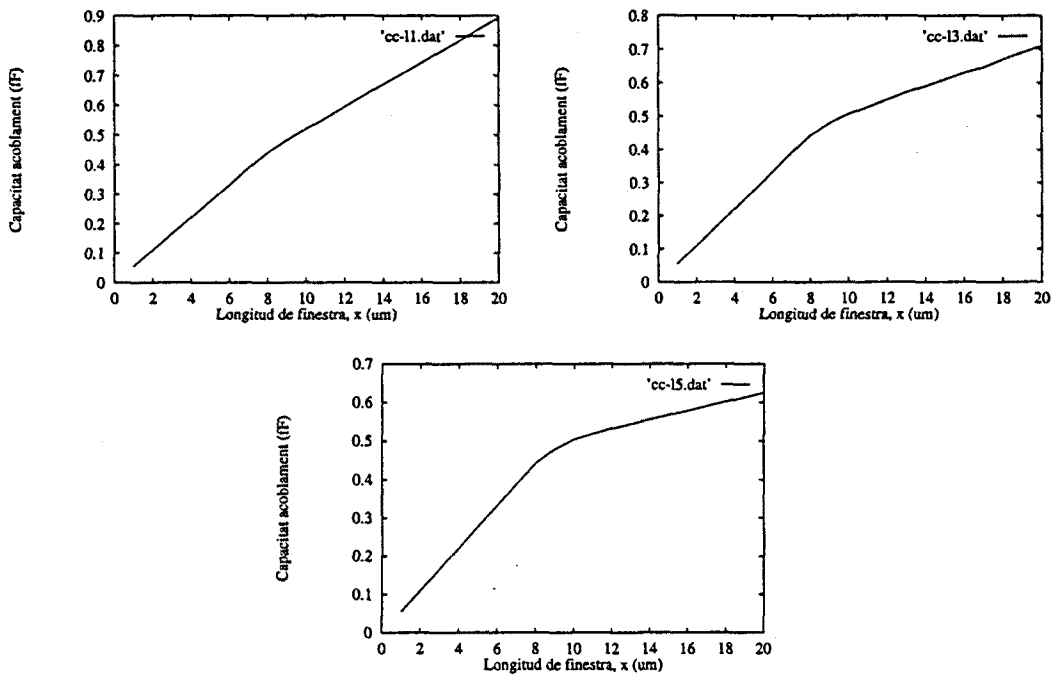


Figura 6.9: Valors de capacitat d'acoblament entre les dues línies en funció de la longitud de finestra.

- $L2=1\mu m$

$$A: C_c = 0.0554x - 0.0004fF$$

$$B: C_c = 0.0371x + 0.1495fF$$

- $L2=3\mu m$

$$A: C_c = 0.0556x - 0.0009fF$$

$$B: C_c = 0.0200x + 0.3092fF$$

- $L2=5\mu m$

$$A: C_c = 0.0557x - 0.0010fF$$

$$B: C_c = 0.0116x + 0.3926fF$$

Ara podem comparar aquests valors amb els valors obtinguts de les simulacions bidimensionals, anàlogament a com vam fer per al cas de l'autocapacitat (figura 6.8), anomenant igual que abans les dues zones lineals A i B:

- $L2=1\mu m$

$$A: C_{2D} = 0.0556fF/\mu m$$

$$B: C_{2D} = 0.0374fF/\mu m$$

- $L2=3\mu m$

$$A: C_{2D} = 0.0556fF/\mu m$$

$$B: C_{2D} = 0.0197fF/\mu m$$

- $L_2=5\mu m$

$$A: C_{2D} = 0.0556 fF/\mu m$$

$$B: C_{2D} = 0.0112 fF/\mu m$$

Es veu que els valors obtinguts de les simulacions 2D coincideixen amb els valors dels pendents de les dues zones lineals de l'estructura tridimensional. Això vol dir que a la capacitat d'acoblament total hi ha tres contribucions, corresponents als tres trams de què es compona la línia amb angles rectes. Per tant podem expressar la capacitat total com¹:

$$C_T = C_{L1} + C_{L2} + C_{L3} \quad (6.1)$$

Les capacitats C_{L1} i C_{L3} són les degudes als trams paral·lels a la línia recta, corresponents a les zones lineals A i B respectivament. El seu valor es pot obtenir de les simulacions bidimensionals:

$$C_{L1} = C_{2D(A)} \cdot L1 \quad (6.2)$$

$$C_{L3} = C_{2D(B)} \cdot L3 \quad (6.3)$$

La capacitat C_{L2} és la capacitat deguda al tram transversal, i per tant, no pot ser calculada a partir de simulacions bidimensionals. Podem calcular el seu valor a partir de les simulacions tridimensionals i de les equacions 6.1, 6.2 i 6.3:

$$C_{L2} = C_T - C_{2D(A)} \cdot L1 - C_{2D(B)} \cdot L3 \quad (6.4)$$

Aquest valor "conté", per dir-ho d'alguna manera, els efectes que no apareixen a la simulació bidimensional, és a dir, els efectes dels angles i del tram perpendicular a la línia recta. Alternativament, es pot calcular el valor de C_{L2} a partir dels valors ajustats de les rectes, de la següent manera: si a la zona A l'equació és $C_T = C_A x$ i a la zona B és $C_T = C_B x + k$, al punt $x = L1$ es complirà:

$$C_B \cdot L1 + k = C_A \cdot L1 + C_{L2}$$

O sigui:

$$C_{L2} = k - (C_A - C_B) \cdot L1 \quad (6.5)$$

Es pot comprovar que les equacions 6.4 i 6.5 són equivalents.

De les dades recollides de les simulacions, s'obtenen els següents valors de C_{L2} :

- $L_2=1\mu m$:

$$C_{L2} = 0.014 fF$$

- $L_2=3\mu m$:

$$C_{L2} = 0.046 fF$$

¹Aquest formalisme es pot aplicar igualment a l'autocapacitat

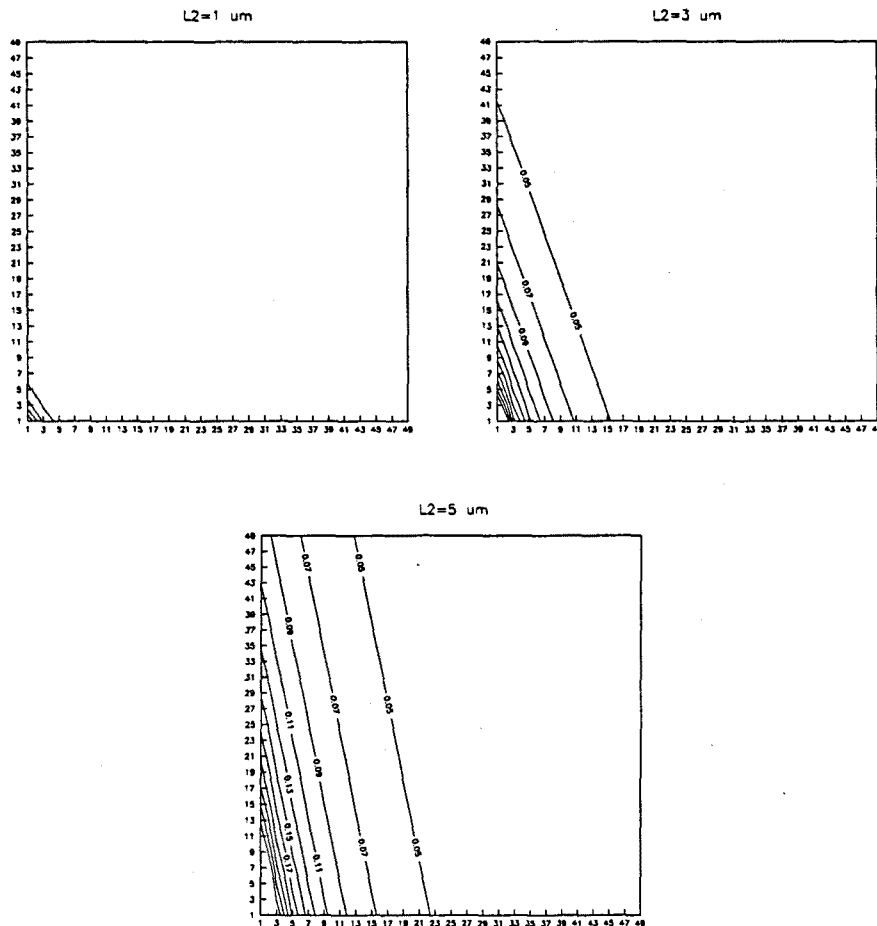


Figura 6.10: Error relatiu de la capacitat d'acoblament comès no considerant C_{L2} en funció de les longituds $L1$ (eix x , en μm) i $L3$ (eix y , en μm)

- $L2=5\mu m$:

$$C_{L2} = 0.066 fF$$

Si no es té en compte el valor de C_{L2} en el càlcul de la capacitat d'acoblament, l'error relatiu que es comet ve donat per l'expressió:

$$\epsilon_r = \frac{C_{L2}}{C_{L1} + C_{L2} + C_{L3}}$$

A les figures 6.10 es representa aquest error relatiu en funció de les longituds $L1$ i $L3$, per les diferents longituds de $L2$ considerades. Es pot veure que l'error comès és petit per $L2=1\mu m$, (menys d'un 5%), però per valors de $L2$ més gran, si no es considera el tram perpendicular, l'error introduït en la capacitat d'acoblament pot ser bastant gran, de l'ordre del 15% per segons quins valors de $L1$ i $L3$.

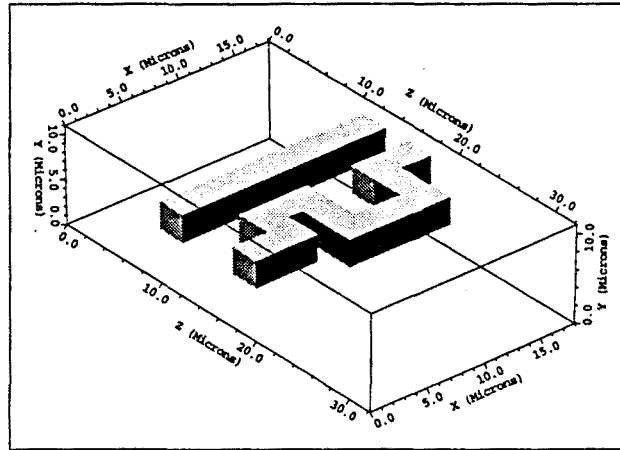


Figura 6.11: Exemple d'estructura més complexa

tram	longitud	distància a L8
L1	$5\mu m$	$2.4\mu m$
L2	$5\mu m$	perpendicular
L3	$4\mu m$	$7.4\mu m$
L4	$5\mu m$	perpendicular
L5	$6\mu m$	$2.4\mu m$
L6	$3\mu m$	perpendicular
L7	$3\mu m$	$5.4\mu m$

Taula 6.3: longitud dels diferents trams que formen la línia de l'exemple

6.3 Exemple: Càlcul d'estructura més complexa

Com a aplicació del que s'ha exposat fins ara, es farà l'exemple d'una línia amb sis angles rectes i es calcularà l'autocapacitat i la capacitat d'acoblament amb una línia recta adjacent.

L'estructura és la de la figura 6.11, que consta d'una línia recta i una línia amb angles que consta de set trams, de longituds i distàncies com s'exposa a la taula 6.3.

La simulació de RAPHAEL de l'estructura tridimensional dóna la matriu de capacitats següent:

$$C = \begin{pmatrix} 5.8848 & -0.8803 \\ -0.9012 & 4.0090 \end{pmatrix} fF$$

Aquesta matriu representa una autocapacitat de $5.0045 fF$ per la línia amb angles, i de $3.1078 fF$ per la línia recta, i una capacitat d'acoblament d'uns $0.89 \pm 0.01 fF$

Calculant la capacitat d'acoblament a partir de les dades dels apartats anteriors, es té:

$$C_c = C_{L1} + C_{L2} + C_{L3} + C_{L4} + C_{L5} + C_{L6} + C_{L7} =$$

$$= 0.056 \cdot 5\mu m + 0.066 + 0.011 \cdot 4\mu m + 0.066 + 0.056 \cdot 6\mu m + 0.046 + \\ + 0.020 \cdot 3\mu m = 0.8944 fF$$

que coincideix amb el valor obtingut per simulació. Per l'autocapacitat, com a aproximació, es pot considerar el valor d'autocapacitat per les línies més properes. Aquesta estimació de l'autocapacitat dóna com a resultat:

$$C_r = 0.1719 \cdot L8 = 3.0942 fF$$

$$C_a = 0.1719 \cdot (L1 + L2 + L3 + L4 + L5 + L6 + L7) = 5.3289 fF$$

Es veu que la capacitat de la línia recta, C_r , és una bona aproximació al valor obtingut per simulació. En canvi, el valor de C_a és massa gran, amb un error relatiu d'un 6%. Aquesta discrepància és deguda a l'efecte dels angles de la línia, que ja s'ha esmentat a la secció 6.1. Un càlcul més acurat hauria de restar el valor de la capacitat corresponent als sis angles (C_{def}), i considerar els diferents valors de la capacitat dels trams longitudinals en funció de la seva distància a la línia recta. Per la seva banda, la contribució a l'autocapacitat dels trams transversals és més difícil d'avaluar, i s'hauria de fer una aproximació. Agafant un valor intermig per a la capacitat per unitat de longitud dels trams transversals, obtenim la seva contribució a la capacitat, C_{trans} , com:

$$C_{trans} = (0.18 \pm 0.01) \cdot (L2 + L4 + L6) = 2.2 \pm 0.1 fF$$

Amb aquest valor, la capacitat de la línia amb angles serà:

$$C_a = 0.1719 \cdot (L1 + L5) + 0.1872 \cdot L7 + 0.1932 \cdot L3 + C_{trans} - 6 \cdot C_{def} = 5.0 \pm 0.1 fF$$

El valor obtingut coincideix amb el de la simulació considerant l'error numèric.

6.4 Resum i conclusions

En aquest capítol s'ha fet un estudi de càlculs de capacitats de línies no rectes. El fet de considerar la tridimensionalitat de les estructures introdueix uns efectes que no són tenguts en compte per la majoria d'extractors de paràmetres de *layout*, com són els casos de línies conductores amb angles, i línies acoblades amb trams no paral·lels. S'ha vist que l'efecte dels angles és disminuir la capacitat al substrat del conductor, respecte del cas d'un conductor recte amb la mateixa àrea i perímetre.

Per tant, si es calculen la capacitat addicional que introdueixen els angles i els trams transversals a l'autocapacitat i a la capacitat d'acoblament per a la tecnologia que s'utilitza, és possible calcular amb un bon grau d'aproximació aquests paràmetres per línies amb una geometria tridimensional complexa.

S'han quantificat els termes addicionals que introdueix la consideració de la tridimensionalitat per una tecnologia i geometria concreta, avaluant-ne l'error comès si es fan servir dades procedents de simulacions bidimensionals.

El procés de caracterització que s'ha fet aquí es pot fer per altres geometries. S'ha de tenir en compte que el que s'ha fet aquí no és una caracterització completa: A un cas de tecnologia real, a més dels càlculs que s'han fet, s'haurien de calcular:

- Una taula d'autocapacitat dels angles per diferents valors d'amplada de línia.
- Taula de capacitat d'acoblament dels trams transversals (L2 a l'exemple que s'ha exposat), en funció de la distància mínima a la línia perpendicular (L4). En el cas que s'ha considerat, la distància mínima era sempre de $2.4\mu m$.

Capítol 7

Caracterització elèctrica d'encapsulats

Els xips per si sols no poden complir la tasca per la qual van ser dissenyats si no es comuniquen amb l'exterior, enviant i rebent dades, i rebent la tensió d'alimentació. Els encapsulats compleixen una doble missió: per una banda aportar el substrat per a la comunicació, i per l'altra donar protecció al circuit integrat, que en moltes aplicacions ha de treballar en ambients hostils.

En aquest capítol s'estudia el primer aspecte, de comunicacions elèctriques, considerant els paràmetres elèctrics dels encapsulats i com influeixen aquests en la generació de soroll. Primer es presenta un breu resum de la tecnologia d'encapsulats, i a continuació es passa a caracteritzar elèctricament alguns encapsulats d'ús corrent.

7.1 Tecnologies de fabricació d'encapsulats

Per a poder fer una caracterització elèctrica s'ha de partir d'una descripció física i geomètrica de l'encapsulat. Per aquesta raó s'exposen aquí algunes tecnologies corrents de fabricació d'encapsulats.

A l'hora d'interconnectar els xips amb el món exterior existeixen diverses possibilitats. La tria es fa sempre en funció de la disjuntiva prestacions-cost, tenint en compte la funció que ha de fer el circuit. Així, existeixen tecnologies que permeten una alta densitat d'interconnexió, molts nivells de metal·lització, gran capacitat de dissipar potència, etc. Moltes vegades aquestes qualitats estan contraposades, i normalment el cost és més gran com més prestacions necessita l'encapsulat.

Entre els tipus d'encapsulats s'ha de distingir entre els que porten un sol xip (*single chip carrier*) i els mòduls multixip o MCM (*multi-chip module*). De fet, el segon tipus és una evolució del primer en el sentit que la tecnologia ha de ser més avançada per poder assolir una més alta densitat d'interconnexió i un major nombre de pins o terminals E/S. Les dues tecnologies bàsiques són els encapsulats plàstics i els ceràmics. Els MCM només es fabriquen sobre substrat ceràmic.

7.1.1 Encapsulats plàstics

Els encapsulats plàstics es fan servir per a aplicacions de no molt altes prestacions, on el cost és el factor principal del producte, degut a que són fàcils de fabricar i per tant el seu cost és baix.

El procés de fabricació consisteix en soldar els pads del xip a un "esquelet" de metall que formarà les interconnexions de l'encapsulat, i posteriorment moldejar tot el conjunt en un polímer, usualment resina epoxy [54]. El metall de les interconnexions sol ser o bé alumini, o coure recobert d'or per a evitar la corrosió i contaminació del xip [25].

Els avantatges dels encapsulats plàstics són una constant dielèctrica més baixa (de l'ordre de 5) que les ceràmiques, la qual cosa dóna lloc a capacitats més petites i major velocitat de propagació dels senyals. També tenen com a avantatge un coeficient d'expansió tèrmica molt semblant a la placa de circuit imprès on haurà d'anar col·locat, la qual cosa fa que l'encapsulat no pateixi tensions mecàniques en cas d'encalament.

Per altra banda, té com a desavantatges una baixa conductivitat tèrmica, que fa que no pugui dissipar gaire potència. A més, un altre inconvenient és que només es disposa d'un sol nivell de metal·lització, la qual cosa limita el nombre de terminals i fa que el seu ús es restringeixi a portadors d'un sol xip.

Hi ha diversos tipus d'encapsulats plàstics. Els més usuals (i més barats) són els anomenats DIL o DIP (*dual in-line package*), que són de forma rectangular amb els terminals o pins perpendiculars al substrat de plàstic, i que van soldats als forats de la placa de circuit imprès (PCB) en el que s'anomena tecnologia *through-hole mounting*. Els encapsulats PGA (*pin grid array*) també estan dissenyats per anar soldats als forats del PCB, però en aquests encapsulats els pins no estan als dos laterals, sinó que ocupen tota o gran part de l'àrea per sota del substrat. D'aquesta manera s'aprofita millor l'encapsulat, podent assolir un gran nombre de pins per unitat d'àrea. Una altra manera de connectar els encapsulats al PCB és soldant-los a la superfície, amb la tecnologia coneguda per *surface mounting*, i d'aquesta manera s'estalvia àrea de PCB ja que es poden soldar encapsulats a les dues cares de la placa. Els encapsulats més representatius per a aquesta tecnologia són els SOIC (*small outline integrated circuit*), PLCC (*plastic-leaded chip carrier*) i LCC (*leadless chip carrier*). El primer, SOIC, té pins als dos laterals, mentres que els altres dos els tenen als quatre costats de l'encapsulat i són de forma quadrada. La separació entre pins d'aquests encapsulats és més petita que la del DIL, podent arribar a ser de 30 mil (1 mil=0.001 polzades) per als LCC [25].

7.1.2 Encapsulats ceràmics

L'alternativa als encapsulats plàstics són els ceràmics, ja sigui totalment ceràmics, o amb substrat ceràmic i capes d'altres dielèctrics [41].

La tecnologia més usual de fabricació consisteix en fer làmines de ceràmica "crua" pel mètode conegut per *doctor blading* [54], [55], en què una pel·lícula de solució de ceràmica es diposita sobre una pel·lícula de polièster, es fa assecat, i s'obté una làmina fina i flexible que es pot tallar en peces. Sobre cada una d'aquestes peces es fa la metal·lització amb un procés de capa gruixuda, es superposen una sèrie de làmines

amb un procés d'alineat precís, es premsen i posteriorment es sotmeten a cocció (sinterització), en un cicle que arriba a assolir una temperatura de 1500°C . En aquest procés es produeix una reducció de volum considerable, del 40%, per la qual cosa no es poden fer dimensions molt petites de metal·litzacions.

Un dels avantatges del substrats ceràmics és que es pot disposar de molts nivells de metal·lització, (fins a 150 [56]) i per tant la densitat d'interconnexió es pot fer molt elevada. Això els fa molt apropiats com a substrat de MCMs. A més, la seva conductivitat tèrmica és més de dos ordres de magnitud més elevada que els materials plàstics i això els permet dissipar molta més potència.

Els desavantatges són alt valor de constant dielèctrica (de l'ordre de 10), i un coeficient d'expansió tèrmica molt diferent dels epoxis utilitzats en PCB, la qual cosa causa problemes en aplicacions en que es dissipa molta potència i tecnologia *surface mounting*, ja que pot conduir al desprendiment de l'encapsulat del PCB degut a les tensions mecàniques que provoca l'expansió tèrmica.

Per a resoldre el problema de l'alta constant dielèctrica, es pot fer una deposició sobre el substrat ceràmic de diverses capes de poliamida o òxid de silici amb deposicions de capa fina de metal·lització [56], [30]. Això té a més l'avantatge d'augmentar la densitat d'interconnexió ja que les dimensions dels conductors poden ser més reduïdes que dins del substrat ceràmic.

Els materials usats per als conductors són metalls refractaris per al substrat ceràmic (molibdè o wolfram) que com a inconvenient tenen una resistivitat elevada ($5.3\mu\Omega\cdot\text{cm}$). Per a les capes fines es sol usar coure ($1.7\mu\Omega\cdot\text{cm}$) o alumini ($2.8\mu\Omega\cdot\text{cm}$).

Els mateixos tipus d'encapsulats plàstics es fabriquen en ceràmica. A més per als MCM es solen fabricar tipus PGA per a aprofitar al màxim l'àrea, arribant a un nombre molt gran de pins (2772 per al ES/9000 de IBM [57]).

Les dimensions típiques dels conductors són $50\mu\text{m}$ per al substrat ceràmic, i $15\mu\text{m}$ per a les línies en capa prima [58].

7.2 Modelació elèctrica dels encapsulats

Els problemes de modelació de les interconnexions als encapsulats són els mateixos que els de les de circuits integrats. El que canvien són les magnituds dels paràmetres elèctrics (capacitat, inductància i resistència) de les línies i dels drivers, la constant dielèctrica, el nombre de capes de metal·lització, etc. A nivell d'encapsulat usualment la modelació es fa amb paràmetres R, L i C concentrats [59], [60], especialment pels portadors d'un sol xip. Per altra banda, les altes velocitats de commutació dels circuits d'altres prestacions pot fer necessari considerar les línies dels encapsulats com a línies de transmissió [61], [30]. Pel que fa a les línies d'alimentació i terra, tenen una importància especial per l'anomenat soroll de commutació (*switching noise*) que ja s'ha tractat a nivell de circuit integrat en un capítol anterior. La modelació es fa sempre a la literatura considerant un valor d'inductància concentrat [30], [44], [62], [43].

Finalment, existeixen anàlisis electromagnètiques per estudiar el *switching noise* a estructures de conductors més complexes o fenòmens de radiació electromagnètica que es poden donar degut al tamany més gran dels conductors a nivell d'encapsulat [63],

[64], [65].

En aquest capítol es farà servir l'aproximació d'elements concentrats amb èmfasi en el *switching noise*, i també en els acoblaments entre línies. Seguidament es presenta un estudi sobre soroll de commutació a circuits CMOS.

7.2.1 Soroll de commutació

El soroll de commutació es produeix quan existeix una sobtada demanda de corrent per part d'una part del circuit, per exemple quan commuten un o més *buffers* de sortida. Degut a la inductància dels pins d'alimentació i terra, la derivada de corrent es tradueix en una diferència de potencial als pins que provoquen una fluctuació a la tensió d'alimentació i terra del circuit. Aquesta fluctuació afecta tant a les parts que commuten com a les que no ho fan, i si és prou important en magnitud i duració pot afectar l'estat d'elements d'emmagatzematge i propagar-se a altres xips.

En primera aproximació, el soroll produït es pot posar en termes del nombre de *drivers* que commuten com a [59], [62]:

$$v_n = N L_{eff} \frac{dI}{dt} \quad (7.1)$$

on N es el nombre de *drivers* commutant, i L_{eff} és l'anomenada inductància efectiva. El valor de la inductància efectiva és un combinació de les autoinductàncies i inductàncies mútues dels diferents pins d'alimentació i terra, i només es pot posar de forma explícita en funció d'aquests paràmetres per a casos molt simples [62].

Una propietat que es pot argumentar des d'un punt de vista intuïtiu és que el soroll produït serà més important per la commutació dels *drivers* de sortida que per la dels *drivers* d'entrada o dels blocs interns del xip [25]. La raó es troba analitzant el camí que segueixen els corrents en produir-se una commutació, tal com es veu a la figura 7.1. En el cas d'una entrada al circuit, la sortida del *driver* es pot representar per capacitats a terra i a alimentació del xip. A més, hi haurà dins el xip altres blocs que no commuten i que també tindran capacitats paràsites a terra i alimentació. En el moment en que hi ha una demanda de corrent, part d'aquest corrent pot ser subministrat temporalment per aquestes capacitats paràsites (a la figura I_{int}) que com que estan connectades a través del xip, circula a través d'un camí amb una inductància molt més baixa que els pins de l'encapsulat. D'aquesta forma, la capacitat paràsita del xip actua de capacitat de desacoblament.

Contràriament, amb els *drivers* de sortida el subministrament de corrent s'ha de fer per complet a través dels pins, amb una alta inductància, i per tant el soroll produït és més gran.

7.3 Paràmetres elèctrics d'encapsulats. Càlculs

De l'anàlisi de l'anterior apartat es veu que per a casos realistes és necessari l'ús de simuladors elèctrics, com SPICE o HSPICE. Per a poder-los fer servir, és necessari

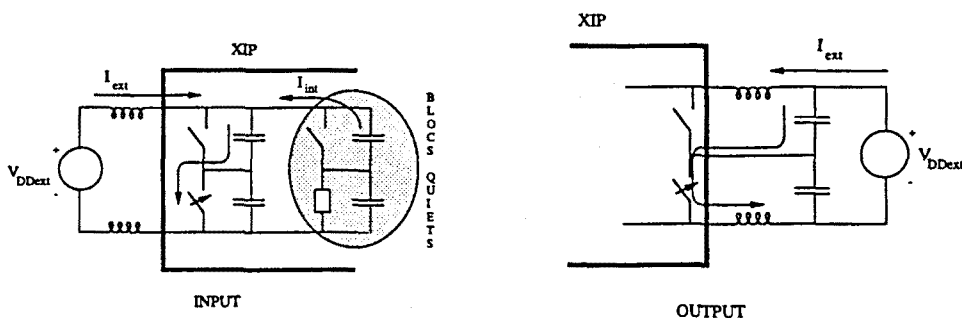


Figura 7.1: Camins de corrent per una entrada i una sortida d'un encapsulat.

saber a partir de la descripció física de l'encapsulat les seves inductàncies, capacitats i resistències. Això és el que es presenta en aquesta secció, fent servir el programa RAPHAEL [29] per uns quants encapsulats d'un sol xip d'ús corrent. Les dades geomètriques es basen en la informació dels encapsulats que proporciona EUROCHIP [66]. Per al càlcul de capacitats s'ha considerat una constant dielèctrica de 5, corresponent a un encapsulat plàstic, amb els conductors de coure. Degut a que no es disposava de tota la informació geomètrica en el moment de fer aquestes simulacions, es van fer una sèrie de suposicions que es discutiran en l'apartat d'experimentació, més endavant.

7.3.1 DIL 24

El primer encapsulat que s'ha estudiat és un DIL de 24 pins, que es mostra a la figura 7.2. La separació entre pins és de 100 mils (1 mil = $25.4\mu\text{m}$), les metal·litzacions tenen una amplada de 20 mils i un gruix de 0.2 mils, amb una resistivitat corresponent al coure. Aquestes característiques corresponen a un encapsulat plàstic. L'estructura representada a la figura s'ha donat com a entrada al programa RAPHAEL per al càlcul d'inductàncies i resistències pel mètode de circuits equivalents d'elements parcials (PEEC). Aquest mètode té l'avantatge sobre el d'elements finits de que no s'ha de discretitzar tot l'espai per a calcular el camp, sinó que només es considera la discretització dels conductors en nodes, la qual cosa redueix molt el treball de computació i els requeriments de memòria [67].

Els resultats obtinguts es mostren en forma gràfica a les figures 7.3 i 7.4, on es representa la resistència i autoinductància en funció del número de pin. Degut a la simetria de l'encapsulat, només cal representar els valors per als pins 1 a 6, ja que els altres tenen valors iguals als del seu simètric. També es representa a la figura 7.5 el valor de la inductància mútua de cada pin respecte del pin 1 i del pin 6. Es veu com aquest valor decreix lentament amb la distància, mostrant que l'acoblament inductiu té un comportament de llarg abast.

Posteriorment la mateixa estructura s'ha fet servir per a calcular les capacitats amb RAPHAEL, pel mètode d'elements finits i considerant una constant dielèctrica

DIL 24

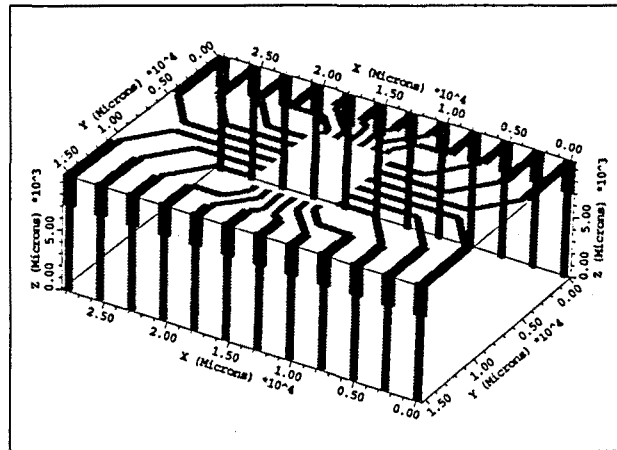


Figura 7.2: Estructura de conductors del DIL 24.

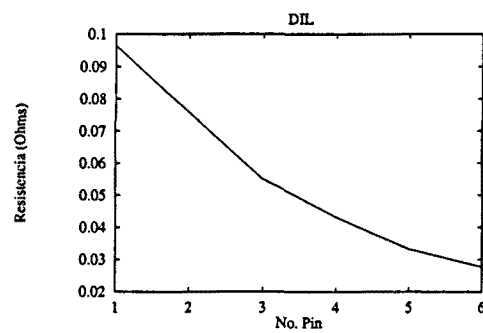


Figura 7.3: Valors de resistència per a cada pin del DIL 24.

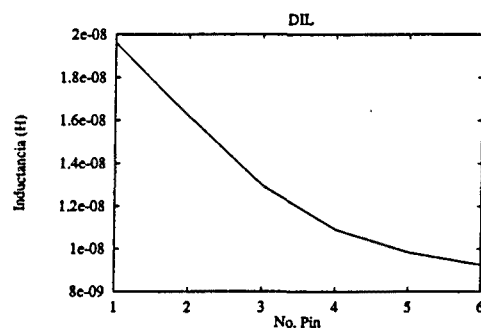


Figura 7.4: Valors d'autoinductància per a cada pin del DIL 24.

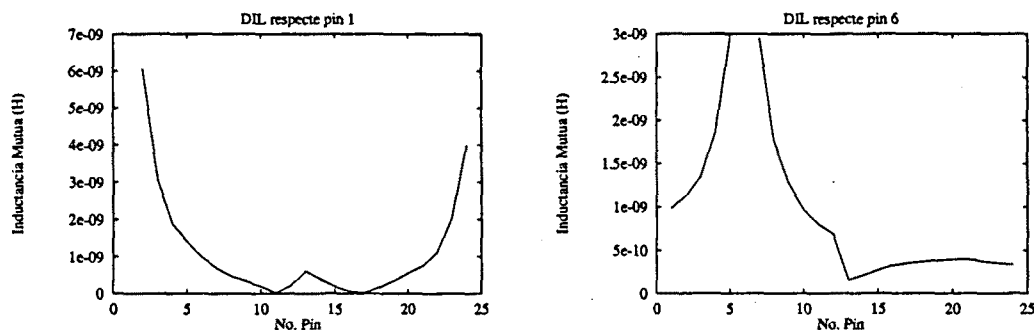


Figura 7.5: Inductància mútua de cada pin respecte del pin 1 (esquerra) i respecte del pin 6 (dreta) per al DIL 24.

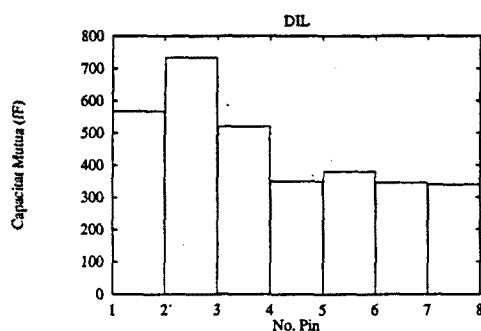


Figura 7.6: Capacitat mútua entre pins adjacents del DIL 24.

de 5. Degut a les grans dimensions de l'encapsulat, i per raons de falta de memòria d'ordinador no ha estat possible simular-lo sencer. Aleshores s'ha optat per considerar grups de tres o quatre pins, de manera que només s'ha calculat la capacitat mútua de cada pin amb pins adjacents. En realitat això és una bona aproximació ja que la capacitat disminueix fortament amb la distància. Els resultats es mostren a la figura 7.6.

De les dades presentades s'observa que la major inductància correspon als pins dels extrems (1, 12, 13 i 24), essent de l'ordre de 20 nH. Precisament aquests pins (12 i 24) són els que es fan servir habitualment per alimentació i terra, la qual cosa contribueix a que el soroll inductiu sigui important.

7.3.2 SOIC 24

El següent tipus d'encapsulat que es presenta és un SOIC també de 24 pins, amb la mateixa estructura que el DIL, però els pins més curts i horitzontals, per a muntatge superficial. La separació entre pins és també de 100 mils (figura 7.7).

Els resultats es mostren a les figures 7.8, 7.9, 7.10, 7.11. D'aquestes gràfiques es veu que mentres que la resistència és pràcticament igual que l'encapsulat DIL, la inductància és sensiblement més baixa, passant a un valor màxim (per als pins dels extrems) de 15 nH aproximadament. També la inductància mútua és més petita.

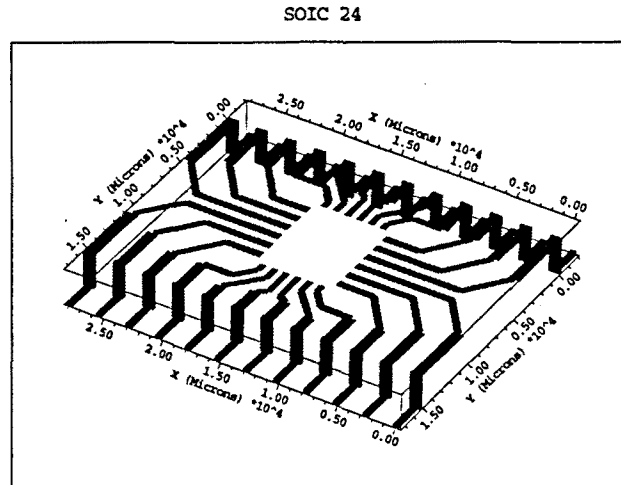


Figura 7.7: Estructura de conductors del SOIC 24.

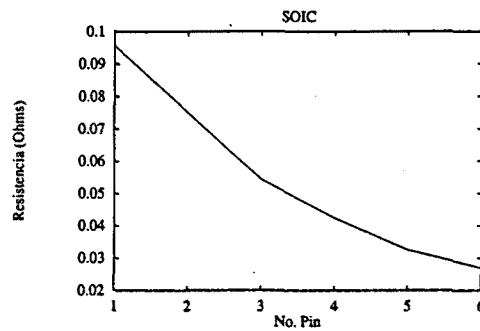


Figura 7.8: Valors de resistència per a cada pin del SOIC 24.

En canvi, l'acoblament capacitiu és molt semblant al del DIL, degut a que la major contribució de la capacitat ve de les línies de dins el substrat plàstic, que té una constant dielèctrica molt més gran que la de l'aire. Per tant, la reducció de la longitud del pin no té gaire influència.

7.3.3 LCC 44

També s'ha simulat un encapsulat tipus LCC (sense pins) de 44 terminals, com es mostra a la figura 7.12.

Els resultats¹ mostren una forta reducció de la resistència i de la inductància respecte dels encapsulats SOIC i DIL, i també es veu una gran uniformitat dels valors dels paràmetres en funció dels pins. El valor de la inductància es troba al voltant dels 2 nH. Aquesta reducció s'obté d'una menor longitud de les interconnexions, i de tenir una separació entre pins més petita (50 mils). La capacitat mútua calculada és lleugerament més petita que els altres casos degut a una menor longitud d'interconnexió.

¹En quant a la numeració dels pins del LCC, s'ha de tenir en compte que en aquest treball no s'ha seguit el mètode estàndar. Aquí es considera el pin 1 com el de la cantonada i es numera consecutivament en sentit contrari al de les agulles del rellotge. El mètode estàndar és considerar el

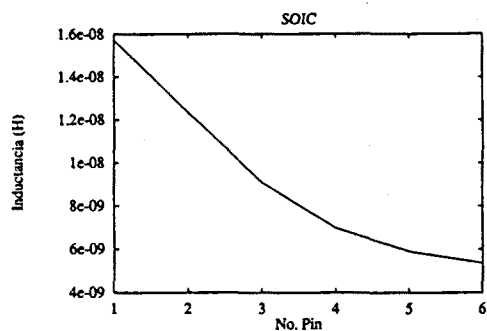


Figura 7.9: Valors d'autoinductància per a cada pin del SOIC 24.

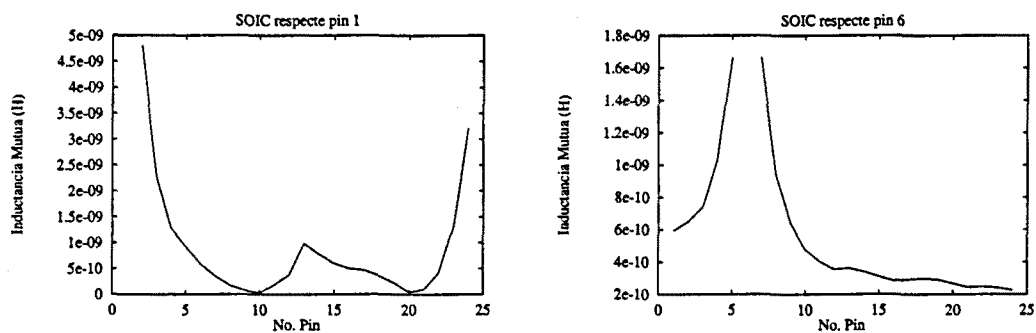


Figura 7.10: Inductància mútua de cada pin respecte del pin 1 (esquerra) i respecte del pin 6 (dreta) per al SOIC 24.

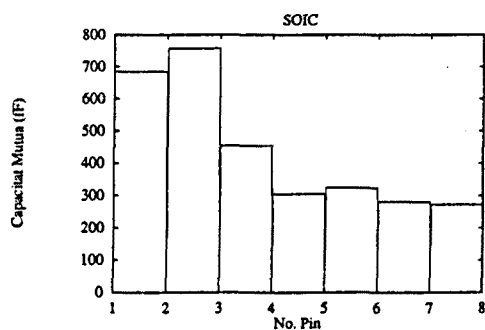


Figura 7.11: Capacitat mútua entre pins adjacents del SOIC 24.

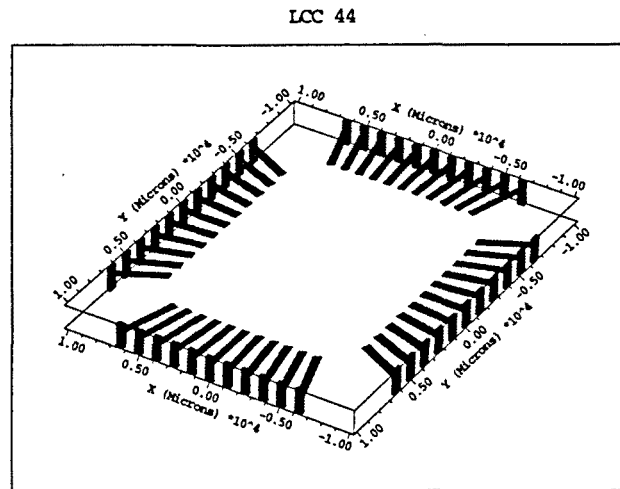


Figura 7.12: Estructura de conductors del LCC 44.

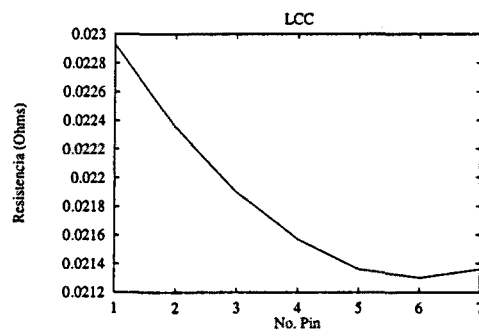


Figura 7.13: Valors de resistència per a cada pin del LCC 44.

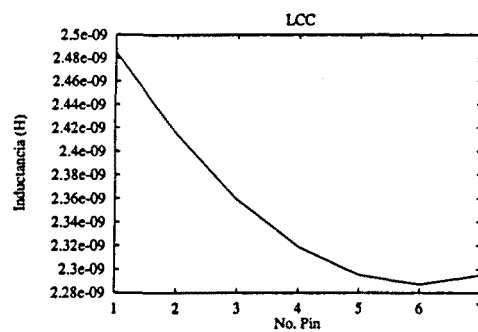


Figura 7.14: Valors d'autoinductància per a cada pin del LCC 44.

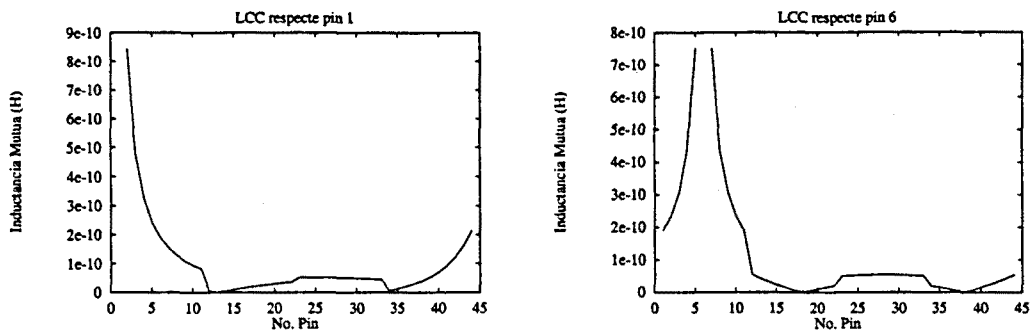


Figura 7.15: Inductància mútua de cada pin respecte del pin 1 (esquerra) i respecte del pin 6 (dreta) per al LCC 44.

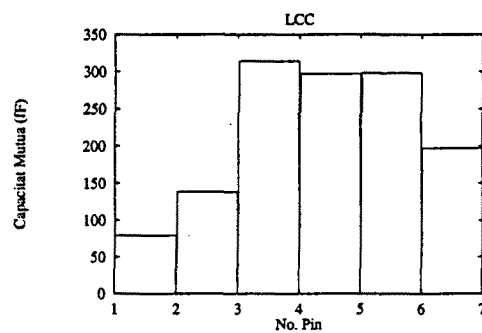


Figura 7.16: Capacitat mútua entre pins adjacents del LCC 44.

7.3.4 PGA 84

Finalment, s'ha considerat per a l'estudi un encapsulat PGA de 84 pins. Per raons d'estalvi de memòria s'ha simulat només un fragment amb 28 pins (figura 7.17).

Els resultats, que no es mostren gràficament per raons de dificultat en la visualització, mostren una resistència d'entre 500 m Ω i 30 m Ω , i valors d'inductància entre 16 nH i 4 nH, que el fa comparable en aquest aspecte al SOIC estudiat abans. L'alt valor de resistència es deu a que les línies són de 100 μm d'ample en comparació amb els 500 μm dels altres encapsulats considerats. La separació entre pins és de 80 mils.

Per la seva banda, la capacitat d'acoblament varia molt amb la posició del pin, obtenint-se valors d'entre 79 fF i 31 fF.

7.4 Efectes elèctrics. Simulació amb HSPICE

En aquest apartat es presenten els resultats de simulacions elèctriques d'encapsulats a partir dels valors de paràmetres obtinguts amb RAPHAEL. A partir d'aquests valors

pin 1 com el del centre d'un dels costats.

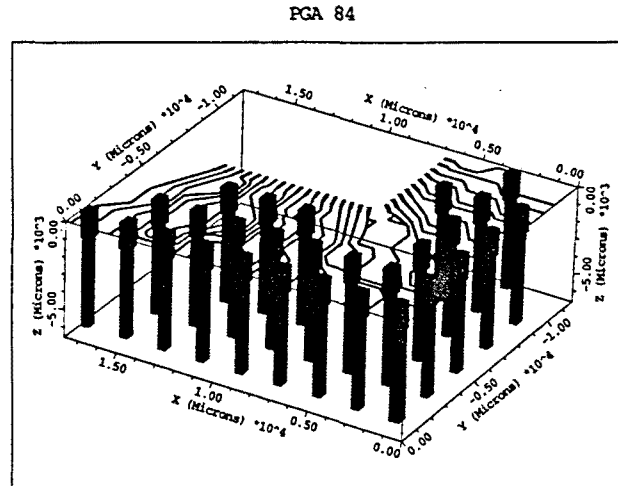


Figura 7.17: Estructura de conductors del PGA 84.

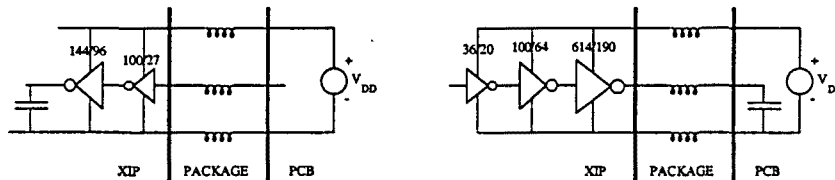


Figura 7.18: Esquema dels pads d'entrada (esquerra) i sortida (dreta).

s'han fet estudis de la influència del nombre d'entrades i sortides commutant, del nombre de pins d'alimentació i terra, i altres factors elèctrics sobre el soroll de commutació, de forma que es puguin treure conclusions per al disseny dels circuits.

La modelació de les entrades i sortides es fa a partir de l'extracció del layout dels pads d'entrada i sortida de ES2 de $1.5\mu\text{m}$ CMOS. A la figura 7.18 es pot veure l'esquema de cada pad, amb la càrrega capacitiva que s'ha considerat a les simulacions: 50 fF al xip (entrades) i 1 pF a fora (sortides). Els pads de sortida presenten tres etapes inversores de tamany creixent, i els pads d'entrada només dues etapes. Això fa que els pads de sortida consumeixin més que els d'entrada i per tant, juntament amb les raons argumentades anteriorment, fa que provoquin més soroll. El fet de triar aquest cas en concret no treu generalitat als resultats obtinguts, ja que el soroll es pot considerar proporcional al corrent del driver, i fent servir altres pads el soroll es modificarà aproximadament de forma proporcional al seu corrent.

S'han considerat diferents configuracions o casos d'alimentació, variant el número de pins i la posició, segons s'explica en els següents apartats.

7.4.1 Cas 1. Un sol pin d'alimentació i terra

El primer cas que es considera correspon a una configuració molt usual en els circuits MSI, amb un sol pin d'alimentació i un de terra, situats en extrems oposats, tal com es veu gràficament a la figura 7.19. Tots els altres pins són entrades o sortides, agrupats de la següent manera: Per al DIL i SOIC de 24 pins, els pins 1 a 11 són entrades, el 12 és terra, de 13 a 23 són sortides, i el 24 és el pin d'alimentació. Per la seva

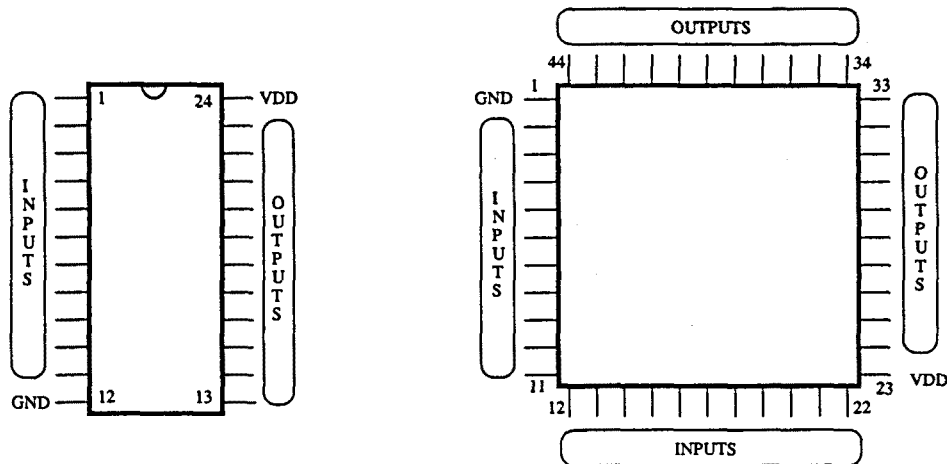


Figura 7.19: Distribució de pins per al cas 1 considerat, per al DIL i SOIC (esquerra) i per al LCC (dreta).

banda, el LCC de 44 pins, el pin 1 és de terra, del 2 al 22 són entrades, el 23 és el pin d'alimentació, i del 24 al 44 són sortides². Seguidament es mostren els resultats fent commutar les sortides i les entrades separadament. El temps de pujada i baixada dels senyals excitadors és de 4 ns.

Commutació de sortides

A la figura 7.20 es mostren els resultats del soroll al terminal d'alimentació a sobre el xip en funció del nombre de sortides que commuten simultàniament per als tres encapsulats considerats. Es dona el màxim de soroll i el seu valor quadràtic mitjà. Es veu que el DIL i SOIC tenen un comportament mot similar, amb valors alts de soroll que poden arribar a més de 2 V de pic. Per la seva banda, el LCC presenta un soroll molt més reduït, inclús per un nombre més alt de sortides commutant simultàniament. Aquest millor comportament és degut a la més baixa inductància dels seus pins respecte dels DIL i SOIC.

Encara que per al valor màxim de soroll el comportament és una mica irregular degut a la falta de precisió del simulador, es pot apreciar que el comportament és gairebé lineal, no observant-se cap senyal de saturació amb el nombre de sortides commutant. Ajustant una recta segons l'expressió:

$$N = Bx + A$$

on N és el soroll, i x el nombre de terminals commutant simultàniament, s'obtenen els valors de la taula 7.1. Aquests valors ajustats permeten de comparar diferents casos per a veure quin és el millor.

A la figura 7.21 es veu la tensió a una sortida commutant i a una entrada en repòs a dins del DIL24 amb 11 sortides commutant. Es pot apreciar la importància del soroll generat per la commutació.

²S'ha seguit la numeració explicada anteriorment.

	DIL		SOIC		LCC	
	B	A	B	A	B	A
Max	0.230	-0.051	0.225	-0.029	0.068	-0.009
RMS	0.083	-0.037	0.081	-0.040	0.021	-0.011

Taula 7.1: Pendent ajustats numèricament del soroll en funció del nombre de sortides per al Cas 1.

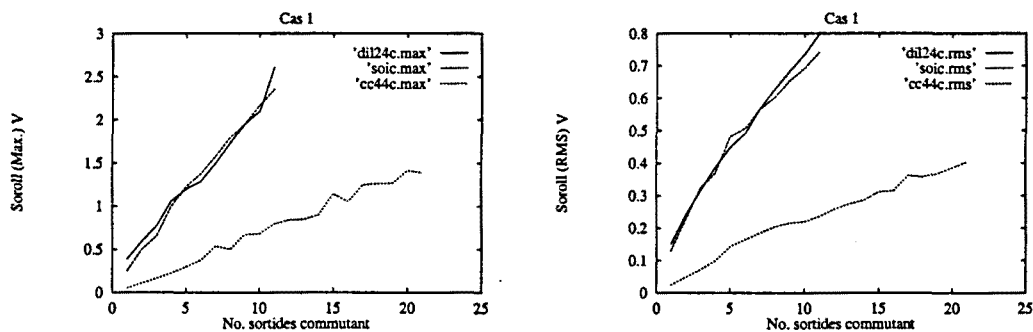


Figura 7.20: Soroll màxim (esquerra) i RMS (dreta) d'alimentació en funció del nombre de sortides commutant, per als encapsulats DIL, SOIC i LCC. Cas 1.

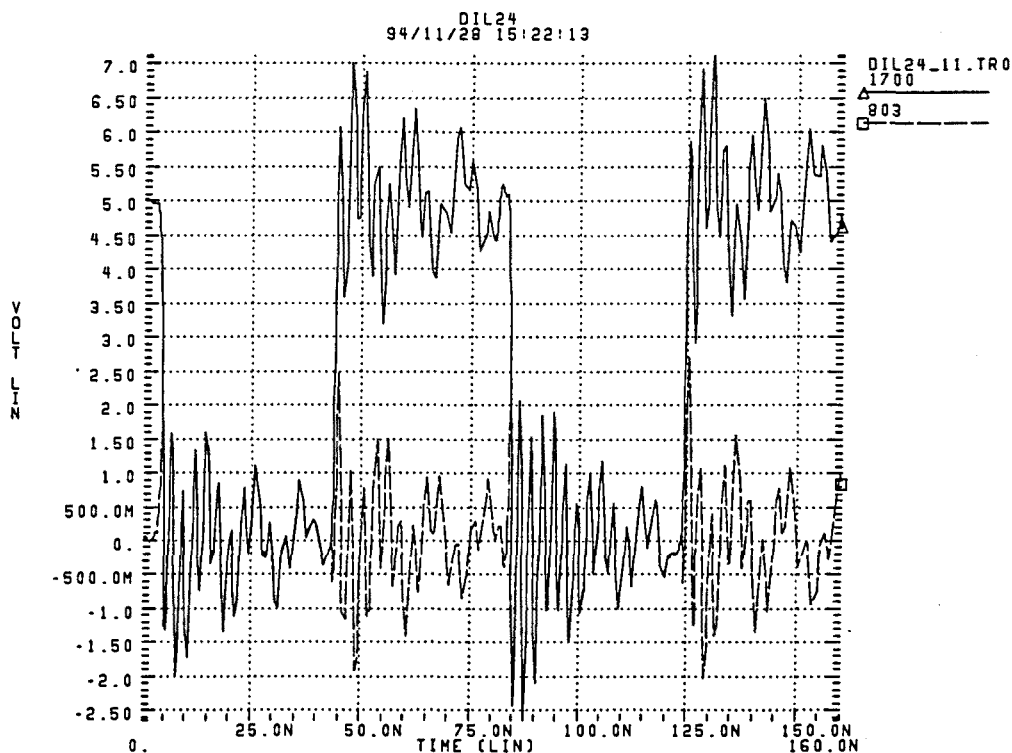


Figura 7.21: Simulació HSPICE del soroll produït a un encapsulat DIL 24 per la commutació de 11 sortides, Cas 1. 1700: soroll a una sortida. 803: soroll a una entrada.

	DIL		SOIC		LCC	
	B	A	B	A	B	A
Max	0.046	-0.007	0.032	-0.005	0.016	-0.001
RMS	0.028	-0.002	0.020	-0.002	0.007	-0.001

Taula 7.2: Pendents ajustats numèricament del soroll en funció del nombre d'entrades per al Cas 1.

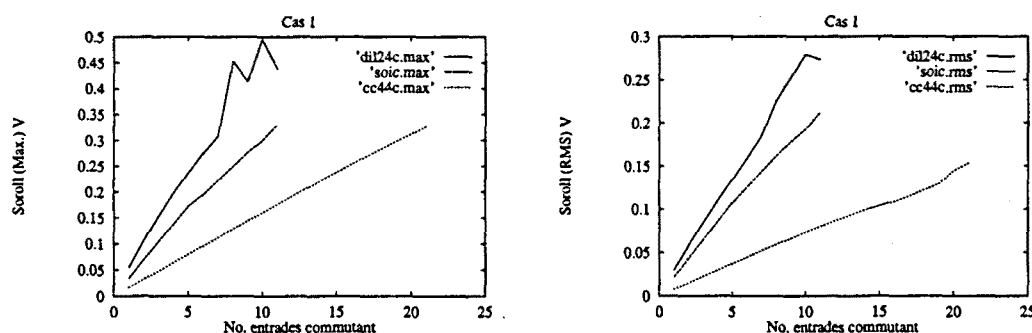


Figura 7.22: Soroll màxim (esquerra) i RMS (dreta) d'alimentació en funció del nombre d'entrades commutant, per als encapsulats DIL, SOIC i LCC. Cas 1.

Commutació d'entrades

En aquest apartat es presenten els resultats de commutar les entrades del xip mantenint les sortides a valor fixe (figura 7.22). També en aquest cas el comportament del soroll amb el nombre d'entrades és lineal, però amb un pendent molt més petit que en el cas de commutació de sortides. Aquesta disminució de pendent es produeix per dos efectes combinats (equació 7.1): La reducció de la inductància efectiva L_{eff} degut a l'efecte de desacoblament de la capacitat del xip, i la reducció de la derivada de corrent degut al tamany més petit del *driver* respecte dels de sortida. Ajustant una recta s'obté per al soroll màxim i RMS els valors de la taula 7.2.

7.4.2 Cas 2. Alimentació i terra en pins adjacents

En aquest apartat es presenten els resultats considerant també un sol pin d'alimentació i un de terra, però col·locats en pins adjacents. A la figura 7.23 es veu la distribució de pins per als encapsulats considerats. Per al DIL i SOIC els pins 1 a 5 i 8 a 13 són entrades, del 14 a 24 sortides, terra és el pin 6 i alimentació el 7. Per al LCC els pins 1 i 2 són terra i alimentació respectivament, del 3 al 23 són entrades i del 24 al 44 sortides.

En principi, aquesta configuració ha de ser menys sorollosa per tres raons: Els pins centrals tenen una inductància més petita que la dels extrems. En segon lloc, els pins adjacents tenen una inductància mútua que fa disminuir el soroll. En tercer lloc, la capacitat d'acoblament entre els dos pins consecutius fa una mica de capacitat de desacoblament (0.3 pF en el cas del DIL i SOIC).

La raó de que la inductància mútua ajudi a reduir el soroll es deu a que els corrent

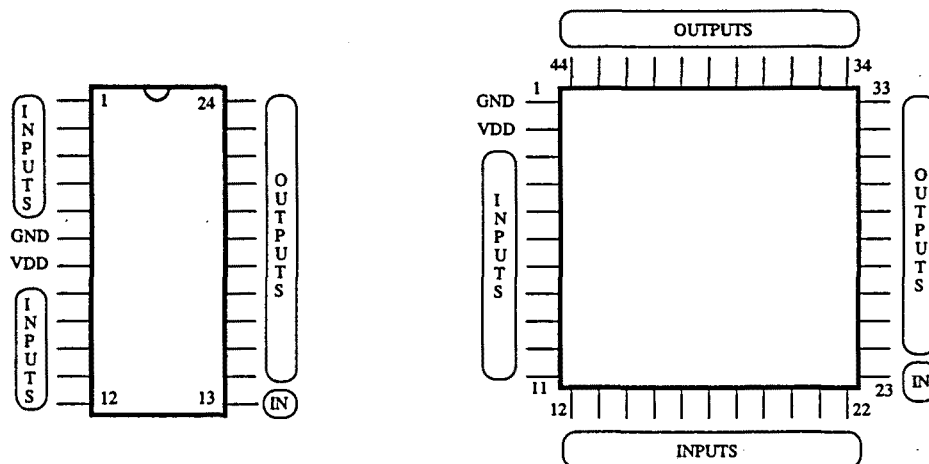


Figura 7.23: Distribució de pins per al cas 2 considerat, per al DIL i SOIC (esquerra) i per al LCC (dreta).

	DIL		SOIC		LCC	
	B	A	B	A	B	A
Max	0.200	-0.059	0.141	-0.055	0.079	-0.033
RMS	0.058	-0.030	0.038	-0.021	0.022	-0.024

Taula 7.3: Pendents ajustats numèricament del soroll en funció del nombre de sortides per al Cas 2.

a la línia d'alimentació i terra van en direccions oposades (figura 7.24). Per tant, el soroll generat al pin d'alimentació, per exemple, serà la resta de:

$$v_n = L_{VDD} \frac{dI_{DD}}{dt} - M \frac{dI_{GG}}{dt} \quad (7.2)$$

i anàlogament al pin de terra. Per aquesta raó és més convenient col·locar de forma pròxima els pins d'alimentació i terra a fi de maximitzar l'acoblament entre ells.

Seguidament es presenten els resultats de commutar entrades o sortides.

Commutació de sortides

De les gràfiques de la figura 7.25 es pot veure que hi ha una reducció del soroll respecte del cas 1 presentat anteriorment. Aquesta reducció és bastant gran en el SOIC, que amb aquesta configuració presenta clarament menys soroll que el DIL. En canvi, el LCC no es veu gaire afectat per el canvi dels pins d'alimentació respecte del cas anterior. Ajustant numèricament el pendent de les rectes es pot comparar millor ambdós casos. Els resultats es presenten a la taula 7.3.

Commutació d'entrades

A la figura 7.26 es mostren els resultats de commutar entrades amb les sortides fixes. Mirant aquestes gràfiques es veu una millora considerable respecte del cas 1. Sobretot

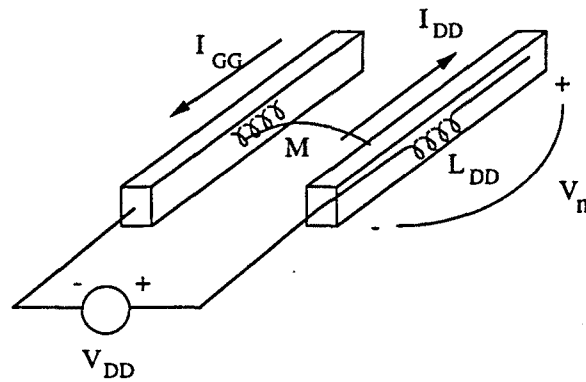


Figura 7.24: Efecte de la inductància mútua en el soroll de commutació.

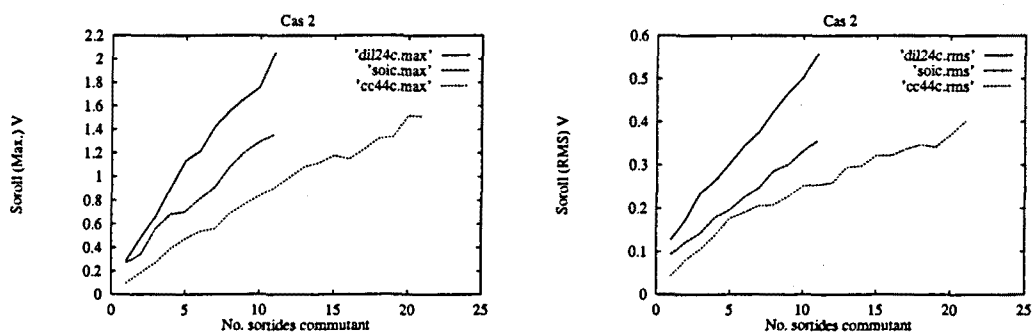


Figura 7.25: Soroll màxim (esquerra) i RMS (dreta) d'alimentació en funció del nombre de sortides commutant, per als encapsulats DIL, SOIC i LCC. Cas 2.

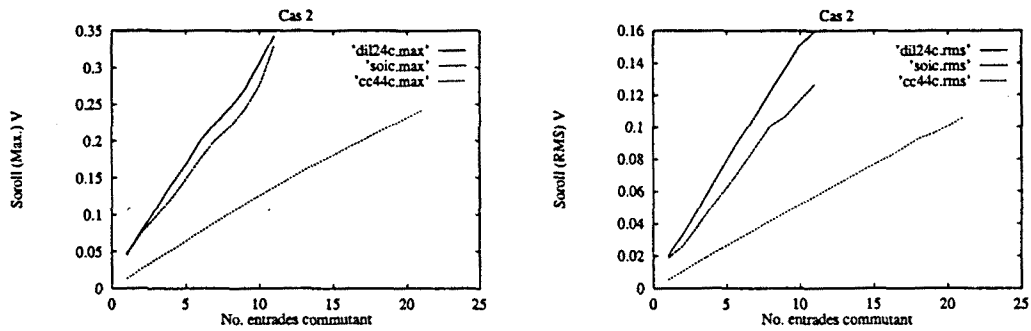


Figura 7.26: Soroll màxim (esquerra) i RMS (dreta) d'alimentació en funció del nombre d'entrades commutant, per als encapsulats DIL, SOIC i LCC. Cas 2.

	DIL		SOIC		LCC	
	B	A	B	A	B	A
Max	0.032	-0.007	0.029	-0.006	0.012	-0.002
RMS	0.015	-0.002	0.012	-0.002	0.005	—

Taula 7.4: Pendents ajustats numèricament del soroll en funció del nombre d'entrades per al Cas 2.

amb els valors RMS es pot apreciar una disminució a gairebé la meitat del soroll. Aquests resultats també s'aprecien als valors ajustats que es mostren a la taula 7.4.

7.4.3 Cas 3. Separació de l'alimentació d'entrades i sortides

En aquesta secció es fa un estudi amb una altra configuració de l'alimentació del circuit. Degut a que, com s'ha explicat i vist a les simulacions ja presentades, les sortides són les que provoquen un soroll més important, una manera d'alleujar el problema és alimentar separatament les sortides i la resta del circuit (entrades i circuiteria dintre del xip). A la figura 7.27 es veu la distribució dels pins que s'ha fet en aquest apartat: Per al DIL i SOIC els pins 2 a 11 són entrades, de 14 a 23 sortides, 1 és l'alimentació de les sortides, 12 és la terra de les entrades, 13 és la terra de les sortides, i 24 l'alimentació de les entrades. Per al LCC, de 2 a 11 i 13 a 22 són entrades, de 24 a 33 i 35 a 44 sortides, el pin 1 és la terra de les entrades, el 12 la terra de les sortides, el 23 l'alimentació de les entrades i el 34 l'alimentació de les sortides.

Commutació de sortides

Igual que amb els casos anteriors, s'han fet simulacions amb commutació de sortides mantenint les entrades fixes, i al revés. A la figura 7.28 es veu el soroll (valor màxim) en funció del nombre de sortides que commuten simultàniament, tant de l'alimentació de les entrades com de les sortides.

Comparant els valors obtinguts amb els del cas 1, es veu una disminució del soroll, encara que l'efecte de deslligar el soroll d'entrades i sortides no s'aconsegueix. Per altra

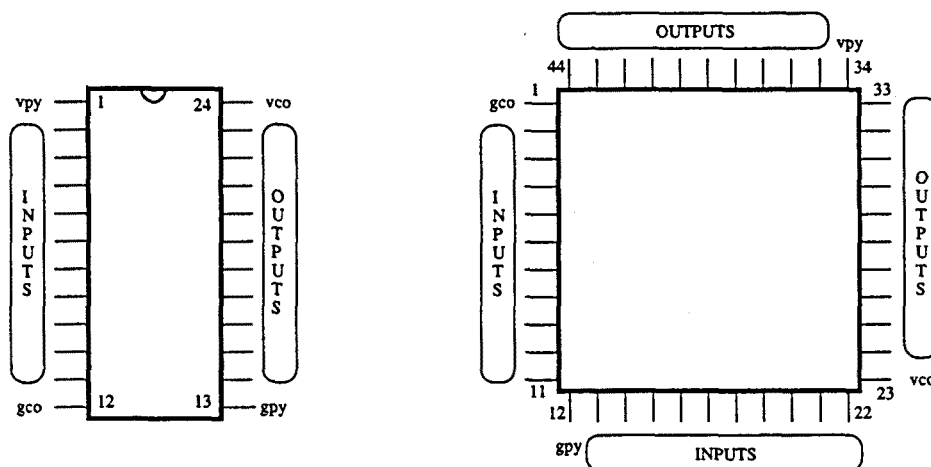


Figura 7.27: Distribució de pins per al cas 3 considerat, per al DIL i SOIC (esquerra) i per al LCC (dreta). *vco* significa alimentació de les entrades, *gco* terra de les entrades, *vpy* alimentació de les sortides, i *gpy* terra de les sortides.

	DIL		SOIC		LCC	
	<i>B</i>	<i>A</i>	<i>B</i>	<i>A</i>	<i>B</i>	<i>A</i>
PY	0.181	-0.072	0.172	-0.034	0.050	-0.009
CO	0.170	-0.070	0.155	-0.019	0.050	-0.025

Taula 7.5: Pendents ajustats numèricament del soroll en funció del nombre de sortides commutant per al Cas 3. **PY**: soroll a alimentació de sortides. **CO**: soroll a alimentació d'entrades.

banda, el comportament del soroll segueix sent lineal amb bona aproximació. Calculant els valors de la recta ajustada s'obtenen els valors de la taula 7.5.

Commutació d'entrades

En aquest apartat es presenten els resultats de commutar les entrades. Com es veu de la figura 7.29, aquí els resultats no són gaire favorables comparant-los amb el cas 1. Efectivament, es veu que el soroll a l'alimentació de les entrades és més gran que en el cas 1, i a l'alimentació de les sortides, encara que més petit, també és considerablement més gran que al cas 1. Aquest fet es pot explicar per la diferència respecte del cas 1 en la capacitat a sobre el xip. Efectivament, com ja s'ha comentat abans, la capacitat sobre el xip fa que no tot el corrent que alimenta els drivers d'entrada hagi de venir dels pins, actuant com a capacitat de desacoblament. Si només hi ha un pin d'alimentació tant per entrades com per sortides, la capacitat a sobre el xip és més gran que en el cas de separar les alimentacions degut a la capacitat paràsita dels drivers connectats. Així, en el cas 1 hi havia entre alimentació i terra 22 buffers en el cas del DIL i SOIC. En el cas 3, separant les alimentacions, entre alimentació i terra de les entrades que és el que es considera en aquest apartat hi ha només 10 buffers. Aquesta diferència de capacitat fa que separar les alimentacions sigui més desfavorable amb les entrades commutant.

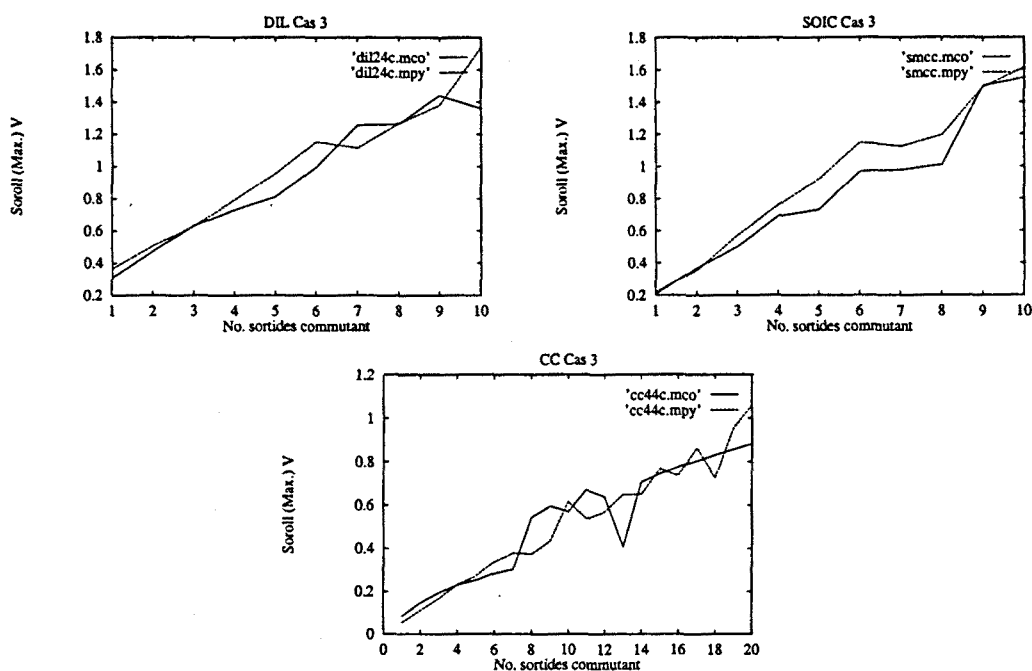


Figura 7.28: Soroll màxim d'alimentació en funció del nombre de sortides commutant, per als encapsulats DIL, SOIC i LCC. Cas 3. El sufixe *mpy* fa referència a l'alimentació de les sortides, i *mco* a la de les entrades.

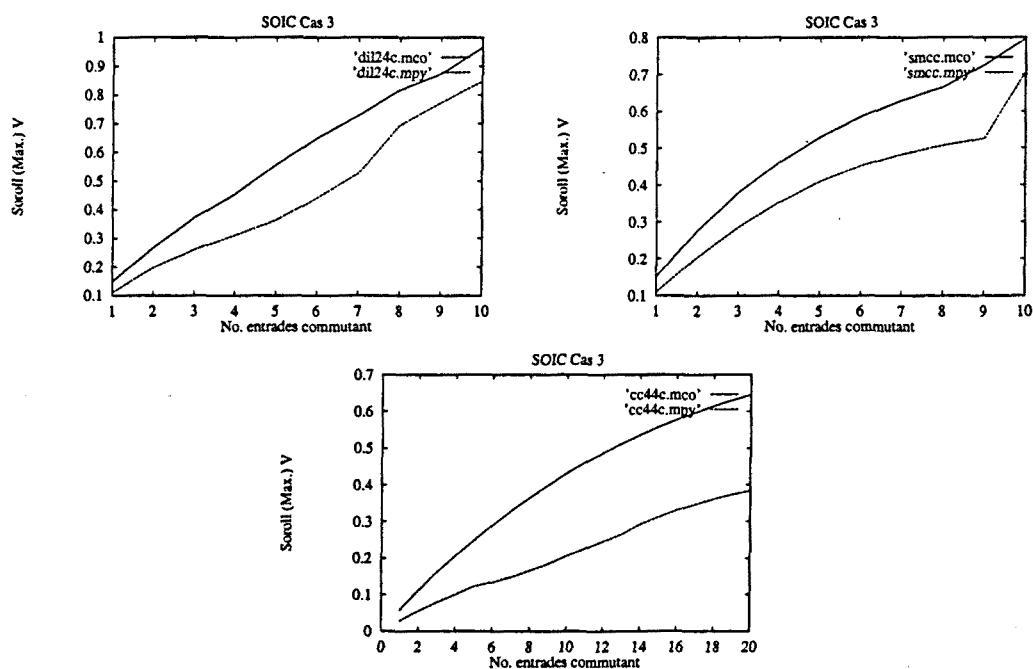


Figura 7.29: Soroll màxim d'alimentació en funció del nombre d'entrades commutant, per als encapsulats DIL, SOIC i LCC. Cas 3. El sufixe *mpy* fa referència a l'alimentació de les sortides, i *mco* a la de les entrades.

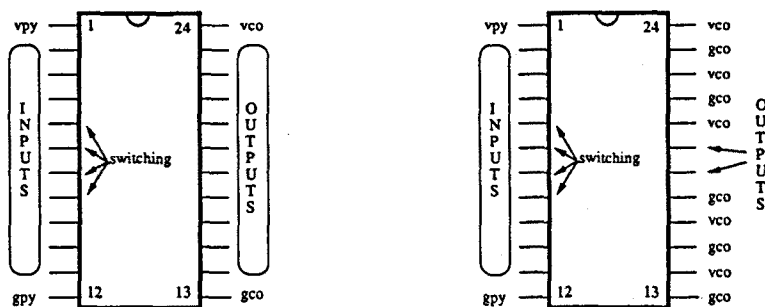


Figura 7.30: Distribució de pins per a l'estudi de la variació del nombre de pins d'alimentació i terra, per al DIL i SOIC, des de 1 pin (esquerra) fins a 5 pins (dreta). vco significa alimentació de les entrades, gco terra de les entrades, vpy alimentació de les sortides, i gpy terra de les sortides.

Aquest és un resultat interessant, i mostra la complexitat del disseny per obtenir baix soroll, on s'han de tenir molt en compte els efectes de l'encapsulat. S'ha vist que separar les alimentacions només val la pena si la reducció del soroll degut a commutació de sortides compensa l'augment per la commutació d'entrades. En cas que no sigui així, s'ha de reduir aquest soroll augmentant el nombre de pins d'alimentació i terra de les entrades, o fent servir capacitats de desacoblament al xip. Això es discutirà a les seccions següents.

7.4.4 Augment del nombre de pins d'alimentació

En aquesta secció es mostra un estudi de l'efecte d'augmentar el nombre de pins d'alimentació i terra sobre el soroll. Per a fer l'estudi s'ha partit de la configuració del cas 3 amb entrades commutant lleugerament modificada. Només s'ha fet l'estudi per als encapsulats DIL i SOIC, i la distribució de pins és la següent: el pin 1 és l'alimentació de les sortides, el pin 12 la terra de les sortides, els pins 2 a 11 són entrades, de les quals les corresponents als 5, 6, 7 i 8 commuten i les altres estan en repòs.

El que s'ha fet és anar incrementant el nombre de pins d'alimentació i terra de les entrades, des de 1 per a cada un fins a 5, o sigui que en el cas amb menys pins d'alimentació es té els pins 24 i 13 com a alimentació i terra respectivament amb els pins 14 a 23 de sortides en repòs, mentre que al cas de 5+5 pins d'alimentació i terra les sortides són només 18 i 19 i els pins 13 a 17 i 20 a 24 són alimentació i terra de forma alternada per a minimitzar el soroll, tal com es mostra a la figura 7.30.

Els resultats es mostren resumits a la figura 7.31. Es veu una clara disminució del soroll en funció del nombre de pins dedicats a alimentació i terra, degut a que la inductància efectiva L_{eff} de l'alimentació disminueix. Comparant amb el cas 1, es veu que per a obtenir el mateix nivell de soroll amb 4 entrades commutant (figura 7.22) fan falta almenys 3 pins d'alimentació i 3 de terra. L'avantatge que s'obté és una forta reducció del soroll a l'alimentació de les sortides en repòs. Per altra banda, l'inconvenient és que destinant pins a alimentació i terra es redueix la possibilitat de

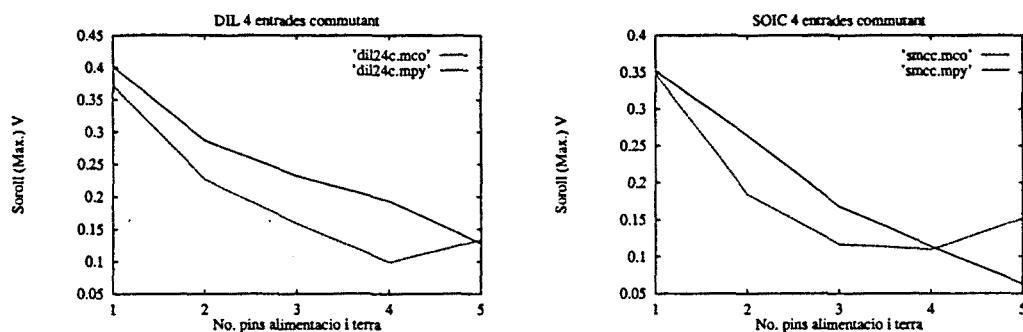


Figura 7.31: Soroll màxim d'alimentació en funció del nombre de pins d'alimentació i terra amb 4 entrades commutant, per als encapsulats DIL i SOIC. El sufixe mpy fa referència a l'alimentació de les sortides, i mco a la de les entrades.

fer servir xips complexos, amb un gran nombre d'entrades i sortides.

7.4.5 Capacitat de desacoblament al xip

Una altra manera de reduir el soroll de commutació consisteix en afegir capacitat al xip, o dins l'encapsulat [44], que actui de desacoblament del soroll. Segons s'ha discutit abans (figura 7.1), aquesta capacitat serà efectiva per a reduir el soroll només en el cas de commutació d'entrades, i no de sortides, degut a que el camí que segueix el corrent quan commuten les sortides passa en la seva totalitat pels pins d'alimentació i terra de l'encapsulat.

En aquest apartat es presenten simulacions per a veure aquest efecte. Es considera la configuració d'alimentacions del cas 1 (figura 7.19) amb 11 sortides o entrades commutant simultàniament amb encapsulats SOIC i DIL, i 21 per al LCC.

Commutació de sortides

A la figura 7.32 es mostren els valors de soroll màxim i RMS dels tres encapsulats variant la capacitat de desacoblament de forma logarítmica des de 1 pF fins a 100 nF. El soroll, a part de fluctuacions que poden ser degudes a errors de precisió del simulador, es manté constant. Per tant, la capacitat de desacoblament no és una solució per a disminuir el soroll si commuten les sortides.

Commutació d'entrades

A la figura 7.33 es veu la reducció de soroll respecte de la capacitat de desacoblament quan commuten entrades simultàniament. Es pot apreciar que existeix una saturació: passat un cert valor de capacitat no es produeix una reducció del soroll.

7.4.6 Resum de les simulacions

Amb el conjunt de simulacions que s'han presentat s'ha pogut veure la influència que tenen diversos factors en el soroll de commutació. S'ha de tenir en compte que el

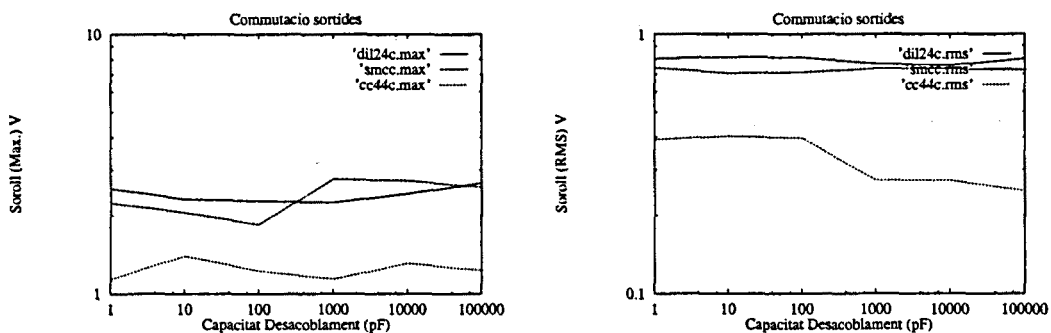


Figura 7.32: Soroll màxim (esquerra) i RMS (dreta) d'alimentació en funció de la capacitat de desacoblament al xip, amb 11 sortides commutant (DIL i SOIC), i 21 sortides commutant (LCC). Cas 1.

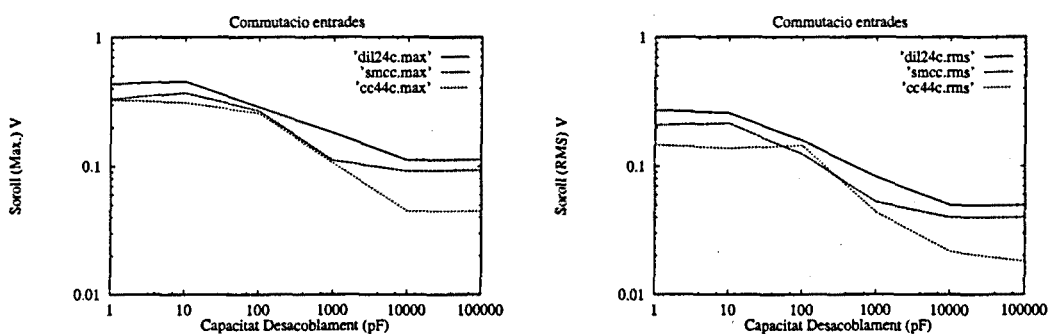


Figura 7.33: Soroll màxim (esquerra) i RMS (dreta) d'alimentació en funció de la capacitat de desacoblament al xip, amb 11 entrades commutant (DIL i SOIC), i 21 entrades commutant (LCC). Cas 1.

	DIL		SOIC		LCC	
	sort.	ent.	sort.	ent.	sort.	ent.
Cas 1	3	> 11	3	> 11	14	> 21
Cas 2	4	> 11	7	> 11	12	> 21
Cas 3	5	> 10	5	> 10	19	> 20

Taula 7.6: Nombre màxim d'entrades i sortides commutant simultàniament que produeixin un soroll més petit que 1 V.

	DIL		SOIC		LCC	
	sort.	ent.	sort.	ent.	sort.	ent.
Cas 1	2	> 11	2	> 11	7	> 21
Cas 2	2	> 11	2	> 11	5	> 21
Cas 3	2	4	2	4	7	12

Taula 7.7: Nombre màxim d'entrades i sortides commutant simultàniament que produeixin un soroll més petit que 500 mV.

soroll als terminals d'alimentació es tradueix en soroll a tots els elements connectats a l'alimentació. Per aquest motiu és molt important controlar-lo.

S'ha vist que el comportament del soroll en front al nombre d'elements que commuten simultàniament és aproximadament lineal. El dissenyador ha de tenir en compte quants elements pot fer commutar, limitant aquest nombre en funció de la tolerància al soroll del circuit. Per veure quantitativament la importància d'aquest soroll, a les taules 7.6 i 7.7 es dona el nombre de pins que produeixen un soroll³ igual o més gran que 1 V i 500 mV respectivament per als casos 1, 2 i 3. Es pot veure d'aquestes taules que amb aquestes restriccions de soroll, el nombre de terminals que poden commutar simultàniament és molt reduït, especialment per al DIL i SOIC.

De les simulacions fetes també es veuen dues possibles solucions per reduir el soroll generat. Una es pot realitzar per disseny, assignant més pins d'alimentació i terra, i per tant, fent necessari un encapsulat amb un nombre major de pins si no es vol reduir el nombre d'entrades i sortides. L'altra solució és tecnològica i consisteix en integrar una capacitat a l'encapsulat. Aquesta solució només afecta a la commutació d'entrades del xip. En general, s'hauran d'adoptar ambdues mesures per poder augmentar el nombre de pins commutant sense incrementar el soroll generat.

Si no es poden adoptar les mesures exposades, hi ha altres solucions per disseny, com evitar la commutació simultània d'entrades i sortides fent una multiplexió en el temps, i dissenyant drivers menys sorollosos [68], [69].

7.5 Experimentació

Fins al moment només s'han presentat valors de simulacions, tant per obtenir els paràmetres com per calcular el soroll. En aquesta secció es presenten algunes mesures

³Com s'explica a un altre capítol, la sensibilitat dependrà tant de l'amplitud com de la duració del soroll. Com que aquí no s'ha fet l'estudi de la duració del soroll, només es considera l'amplitud.

sobre encapsulats ceràmics DIL que, encara que no corresponen als considerats als estudis previs, permeten com a mínim jutjar la validesa de les simulacions realitzades.

En primer lloc es mostra l'estructura interna de l'encapsulat per veure si les simulacions amb RAPHAEL per obtenir els valors d'inductància resistència i capacitat són acceptables, ja que es varen fer una sèrie de suposicions respecte dels conductors de l'interior de l'encapsulat. Després es presenten mesures del soroll de commutació amb un circuit dissenyat específicament per a aquesta mesura.

7.5.1 Estructura interna d'un encapsulat

Com s'ha dit abans, quan es van fer les simulacions amb RAPHAEL no es disposava de tota la informació geomètrica, i per tant es van fer algunes suposicions. Per exemple, no es coneixia el routing intern de l'encapsulat, ni tampoc el gruix dels conductors. Tampoc se sabia si hi havia un pla de massa. Per a resoldre totes aquestes indeterminacions, es va fer un estudi de l'estructura física de dos encapsulats tipus DIL de 28 i 48 pins (mostrats a la figura 7.34), que eren els que estaven disponibles, i així veure fins a quin punt les aproximacions fetes a les simulacions eren acceptables o no.

A la figura 7.35 es mostra una radiografia d'un encapsulat DIL de 28 pins, que permet apreciar el routing i l'estructura interior de l'encapsulat. Comparant aquesta radiografia amb l'estructura considerada per a les simulacions de RAPHAEL (figura 7.2), es veuen una sèrie de diferències:

- L'amplada dels conductors no és uniforme, ni igual d'un pin a l'altre. Només els pins centrals són estrets ja que són també els més curts. Per als altres pins, a fi de minimitzar la resistència i compensar la més gran longitud, s'els fa més amples.
- El routing és bastant similar, però en l'encapsulat real es procura minimitzar el tram longitudinal dels pins dels extrems: 1, 14, 15 i 28, a fi de reduir l'acoblament entre pins consecutius.
- L'encapsulat no és simètric. Al centre, on va enganxat el xip, hi ha una metal·lització que actua com a petit pla de massa. D'aquest pla de massa surt un conductor que està a un nivell inferior al dels altres conductors, com es pot apreciar a la fotografia de la figura 7.36, i que va només del centre cap als pins 1 i 28, mentres que cap a l'altre costat no hi ha prolongació del pla de massa. Aquesta prolongació només en un sentit també es dona per al DIL de 48 pins, com es pot veure de la figura 7.37.

En quant al gruix de les metal·litzacions, de la fotografia de la dreta a la figura 7.36 es pot estimar en unes $30\mu\text{m}$, comparat amb la suposició feta a les simulacions d'un $5\mu\text{m}$. Aquesta discrepància es deu a que a les simulacions s'ha considerat un encapsulat plàstic amb conductors de coure, que solen ser més primers. La diferència afecta sobre tot als valors de resistència, que s'haurien de corregir dividint per un factor 6 aproximadament. A més, cal tenir en compte que en els encapsulats ceràmics els conductors solen ser de metalls refractaris amb resistivitat més alta, per la qual cosa la

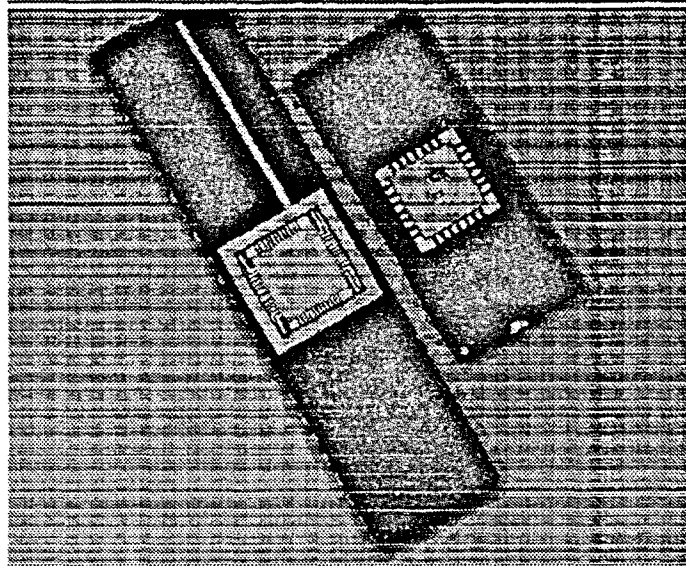


Figura 7.34: DIL 28 i DIL 48.

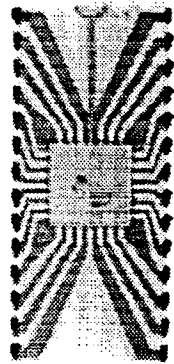


Figura 7.35: Radiografia del DIL 28 on es pot apreciar el routing intern de l'encapsulat.

diferència entre els valors de resistència obtinguts de simulació i els dels encapsulats ceràmics mesurats no és un factor 6, sinó aproximadament 1.5.

7.5.2 Mesures del soroll de commutació

A fi de tenir mesures del comportament d'un encapsulat real amb soroll de commutació, es va dissenyar un circuit en tecnologia CMOS de $1.5\mu\text{m}$ Standard Cell de ES2 que permetés seleccionar amb unes entrades fixes, el nombre de sortides commutant, des de 1 fins a 8 simultàniament. Aquest xip es va encapsular amb un DIL de 24 pins ceràmic, i es van separar l'alimentació de les sortides i de la resta del circuit. El pinout està dibuixat esquemàticament a la figura 7.38.

Amb les entrades de selecció IA, IB i IC es selecciona el nombre de sortides de O1 a O8 que commuten. El soroll es mesura a la sortida OQ, que està fixa a 5 V.

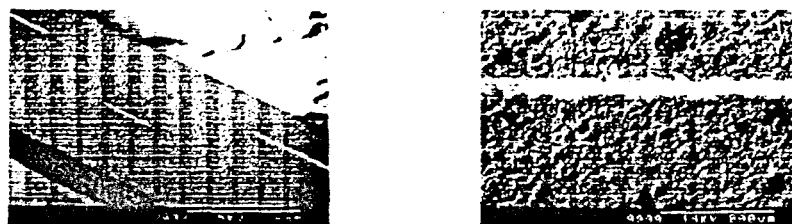


Figura 7.36: Fotografia SEM d'un tall transversal del DIL 28. S'observa que la prolongació del pla de massa es troba a un nivell inferior al dels altres conductors. A la dreta, en una ampliació, es pot apreciar el gruix dels conductors.

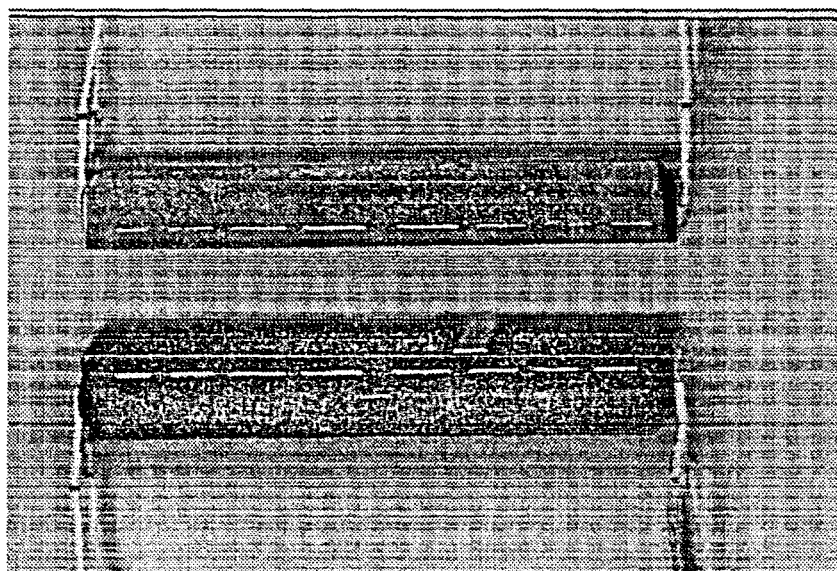


Figura 7.37: Fotografia de dos talls simètrics del DIL 48. Com es veu, la prolongació del pla de massa només apareix a un costat.

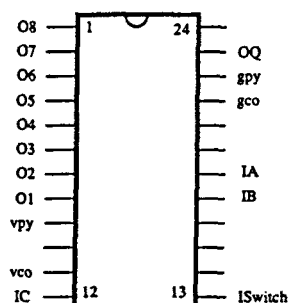


Figura 7.38: Distribució de pins del xip per mesurar el soroll de commutació.

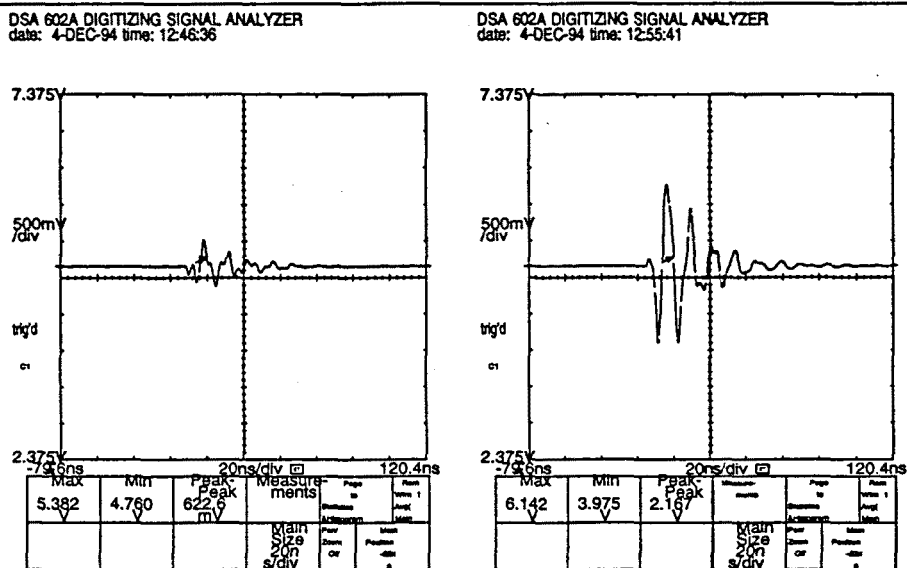


Figura 7.39: Soroll mesurat a la sortida fixa quan commuten simultàniament altres sortides del circuit: una sortida (esquerra) i vuit sortides (dreta).

	DIL	
	B	A
mostra 1	0.155	-0.044
mostra 2	0.168	-0.047
mostra 3	0.167	-0.059

Taula 7.8: Pendents ajustats numèricament del soroll mesurat en funció del nombre de sortides commutant per a tres mostres diferents del circuit.

A la figura 7.39 es mostren les mesures amb l'oscil·loscopi del soroll quan commuta només O1, i quan commuten les vuit sortides de O1 a O8. Es pot apreciar que el soroll és important quan commuten les vuit sortides simultàniament, de l'ordre de 1 V d'amplitud. Aquest soroll es transmetria a altres circuits que estiguessin connectats a ell. A la figura 7.40 es mostra una de les sortides commutant, on també es veu un soroll important.

A la figura 7.41 es mostren els resultats de les mesures realitzades en funció del nombre de sortides commutant. Aquesta gràfica resulta ser molt semblant a l'obtinguda per simulació (figura 7.28), amb un comportament també aproximadament lineal. Ajustant una recta s'obtenen els paràmetres de la taula 7.8. Es veu que el pendent és més petit que l'obtingut de les simulacions, i per tant, l'encapsulat real és una mica menys sorollós.

7.6 Resum i conclusions del capítol

En aquest capítol s'ha vist que els encapsulats no són tan sols uns "transformadors d'espai" entre els terminals de silici sobre el xip i els terminals sobre la placa PCB, sinó que poden afectar de forma decisiva el funcionament del xip. S'ha de tenir en

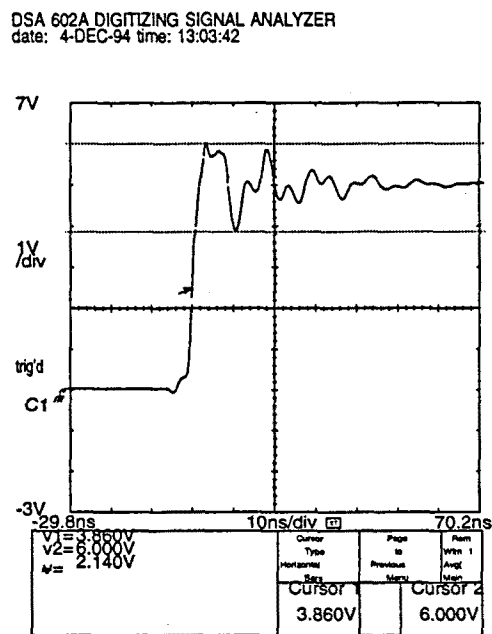


Figura 7.40: Sortida amb soroll de commutació.

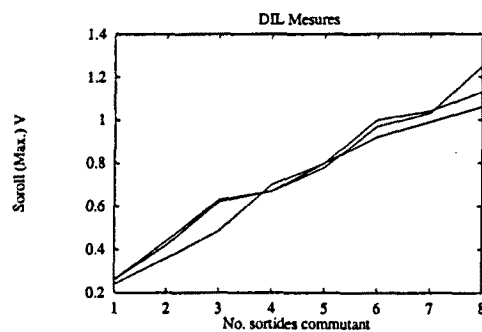


Figura 7.41: Soroll màxim mesurat a la sortida fixa en funció del nombre de sortides commutant, per tres mostres diferents del circuit.

compte que totes les simulacions presentades sobre el soroll de commutació s'han fet considerant les tensions d'alimentació i terra fixes a l'exterior de l'encapsulat, de forma que tot el soroll es produeix degut a l'encapsulat. En el cas de que hi hagi un mal desacoblament del soroll a nivell de PCB, els resultats són encara pitjors.

En primer lloc, s'observa del càlcul de paràmetres dels encapsulats que la miniaturització favoreix molt les seves prestacions, disminuint la inductància, capacitat i resistència dels pins.

De la simulació del SOIC, comparant-lo amb el DIL no s'observa una gran millora. La reducció dels paràmetres elèctrics es deu a la reducció en longitud dels pins. Per tant, L'ús dels encapsulats per SMT (Surface Mount Technology) no proporciona per sí mateix un gran avantatge en quant a prestacions elèctriques, encara que sí que és avantatjós en l'aprofitament de l'àrea de PCB ja que es poden utilitzar les dues cares. Dels encapsulats simulats, el millor és el tipus LCC, degut a la poca longitud de les seves interconnexions. El fet de que la separació entre pins sigui de 50 mils en lloc dels 100 mils dels altres encapsulats no té influència en la inductància i resistència com s'ha comprovat en altres simulacions no mostrades a la tesi. En canvi, l'acoblament sí que és molt dependent de la separació, com era d'esperar. Aquest valor alt de l'acoblament inductiu s'ha vist a la tesi que pot ser beneficiós per reduir el soroll de commutació si es col.loquen adequadament els pins d'alimentació i terra. Aquest fet, juntament amb el més evident d'estalvi d'àrea de PCB fan aconsellable reduir l'espaiament dels pins dels encapsulats.

També s'ha vist en aquest capítol que són els terminals de sortida del xip els que provoquen més soroll, degut a que el corrent d'alimentació dels drivers ha de venir forçosament dels pins d'alimentació que presenten una alta inductància. S'ha estudiat l'efecte de diferents solucions, com separar les alimentacions de les sortides i augmentar el número de pins d'alimentació. En aquest sentit, l'ús de mòduls multi-xip (MCM) ve a alleujar el problema perquè donen un camí de baixa inductància per a aquelles sortides del xip que no surten del mòdul. El problema segueix sent el mateix per a les sortides del mòdul.

Finalment, s'ha vist tant a les simulacions com a les mesures que la dependència del soroll amb el nombre de terminals commutant és lineal en bona aproximació. Això limita molt el nombre de terminals que poden commutar simultàniament sense provocar un excessiu soroll.

Capítol 8

Propagació dels senyals espuris en circuits lògics

En els capítols precedents s'ha tractat de caracteritzar els efectes provocats per les interconnexions en circuits d'alta velocitat. S'ha vist que aquests efectes es tradueixen moltes vegades en la generació de senyals espuris o soroll degut a diferents mecanismes, com oscil·lacions de tensió per culpa de reflexions a línies de transmissió, *glitches* per retards descompensats entre dos camins que arriben a la mateixa porta, acoblaments paràsits entre interconnexions, o fluctuacions a les tensions d'alimentació i terra.

Aquest capítol tracta de l'efecte que els senyals espuris produeixen sobre els circuits lògics. En funció de l'amplitud i la duració d'aquests senyals la porta lògica afectada pot interpretar erròniament el senyal, produint un error quan arribi a algun element de memòria. Es proposa aquí una metodologia d'estudi del problema determinant el nombre de portes que un senyal donat pot travessar en funció de la seva amplitud i duració, així com les característiques de les portes que travessa. Es proposa un algorisme de generació de vectors per a la detecció de senyals espuris.

8.1 Corbes de propagació

L'efecte dels senyals espuris depèn tant de l'amplitud del senyal com de la seva duració. Perquè aquest efecte pugui donar lloc a un error lògic, en primer lloc s'haurà de complir que l'amplitud del senyal sigui més gran que el valor de tensió llindar lògic, o tensió de commutació, de la porta a la qual ataca el senyal. Si l'amplitud no arriba a aquest valor, no es produirà error lògic i per tant no es considerarà que el senyal s'hagi propagat a través de la porta¹.

Si l'amplitud és més gran que el valor llindar lògic, dependrà de la duració del senyal i de la "velocitat" de la porta (temps de propagació) que el senyal que es propagui a la seva sortida pugui ser interpretat o no com un senyal lògic erroni. Quan doni lloc a un senyal lògic erroni transitori o permanent, aleshores es considerarà que el senyal espuri s'ha propagat a través de la porta.

¹En canvi, en coincidència amb una transició lògica superposada al senyal, es pot produir una fallada de retard (*Delay Fault*) inclús per senyals espuris petits [35].

El fet que l'efecte depengui tant de l'amplitud com de la duració del senyal fa que una caracterització natural dels senyals espuris sigui a través de polsos de tensió. Aleshores es presenta el problema d'assignar a un senyal espuri, que tindrà en general una forma d'ona bastant diferent d'un pols, una amplitud i una duració determinades. De la mateixa manera, també és necessari definir un criteri que digui quan un senyal espuri produeix error lògic (es propaga) o no.

8.1.1 Assignació d'un pols a un senyal espuri

Per a decidir quin pols (amplitud i duració) descriu millor un cert senyal espuri, es poden considerar en principi tres criteris:

- Un criteri és triar un pols que tingui un efecte en quant a propagació igual que el senyal espuri considerat. Aquest criteri en general no resulta pràctic ja que l'efecte del senyal espuri es desconeix a priori, i precisament és el que es vol determinar amb la caracterització d'amplitud i duració. De tota manera, pot ser útil per a determinades "famílies" de senyals espuris que tinguin formes similars i que sigui fàcil trobar una regla per a assignar-los-hi un pols després d'un estudi previ.
- El segon i tercer criteri consisteixen en trobar un pols que tingui una profunditat de penetració (nombre de portes que pot travessar un senyal provocant error lògic) que sigui respectivament una fita superior o inferior de la profunditat del senyal espuri.

Per a aquest segon i tercer criteris es farà ús del concepte de senyals recobridors que s'enuncia seguidament.

Definició 1 *Un senyal A es diu que recobreix un altre senyal B si es verifica després d'una certa translació de temps d'un dels senyals la següent relació:*

Per a tot t' tal que $|\Delta v_B(t')| \geq V_{th}$:

$$|\Delta v_A(t')| \geq |\Delta v_B(t')| \quad (8.1)$$

És a dir, un senyal amb més amplitud que talli el senyal recobert (B) per un valor de tensió més petit o igual que la tensió llindar V_{th} dels transistors de la següent porta, tal com es veu gràficament a la figura 8.1.

En relació amb aquesta definició i amb la problemàtica de la propagació de senyals espuris a través de la lògica, s'enuncia seguidament el següent lema:

Lema 1 *Si un senyal A recobreix un altre senyal B , i si les seves sortides respectives en afectar a una porta són $O(A)$ i $O(B)$, aleshores es verifica que $O(A)$ recobreix $O(B)$.*

La demostració d'aquest lema es basa en que la característica estàtica de les portes és monotònica, creixent o decreixent. Per tant, una major amplitud d'entrada produeix una major amplitud de la forma d'ona de sortida.

Conseqüència d'aquest lema és que un senyal que recobreixi un altre es propagarà a través d'un nombre de portes més gran o igual que el senyal recobert.

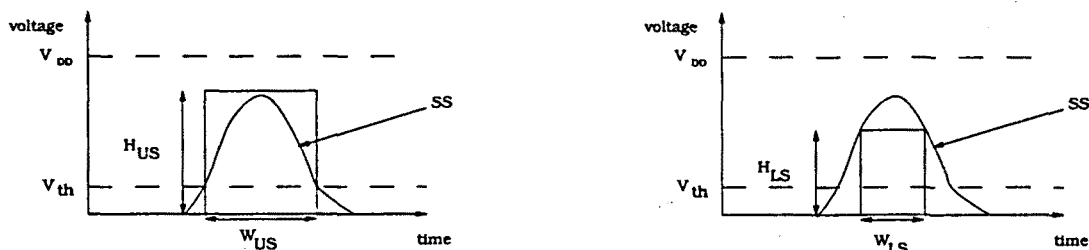


Figura 8.1: Senyal *A* recobridora de senyal *B* segons la definició 1. A l'esquerra, *A* es refereix al senyal quadrat, mentre que a la dreta *A* és el senyal espuri i *B* el senyal quadrat.

Gràcies a aquesta propietat, es poden definir polsos recobridors o recoberts pel senyal espuri que per tant donaran fites superior o inferior respectivament de penetració dins la lògica.

8.1.2 Criteris de propagació

Per a definir si un cert senyal s'ha propagat o no a la sortida d'una porta es poden considerar a priori tres criteris diferents:

1. Que a la sortida de la porta l'amplitud del senyal resultant sigui més gran que un cert valor, per exemple, la tensió de commutació de la porta següent.
2. Que a la sortida de la porta la duració del senyal sigui més gran que un cert valor.
3. Que a la sortida de la porta tant l'amplitud com la duració siguin més grans que certs valors.

Els criteris 1 i 2 són incomplets perquè només consideren un aspecte. En canvi, l'inconvenient del criteri 3 és que s'han de controlar (o sigui, mesurar) els dos paràmetres i això fa que sigui més complexe. Per tant, es tracta d'un compromís entre complexitat i precisió.

Si es tria el criteri 1 aleshores s'obindrà una fita inferior de propagació: tots els polsos que produeixin una amplitud per sota del valor de commutació segur que no afectaran les portes següents. Això no implica que no hi hagi polsos d'amplitud més gran que tampoc tinguin efecte lògic degut a que la seva duració és massa petita.

Una cosa similar passa amb el criteri 2, de duració. Per a determinar el llindar de duració de propagació o no propagació s'hauran de tenir en compte els temps de propagació típics de les portes del circuit, o dels elements de memòria, que en principi són més susceptibles a causar un error per culpa d'un senyal espuri. Aquest llindar de duració és més difícil de determinar que el criteri 1, però sol donar una fita més exacta de la penetració dels senyals. La diferència entre aquests dos criteris es veurà millor en estudiar l'efecte del espuris sobre un latch, més endavant.

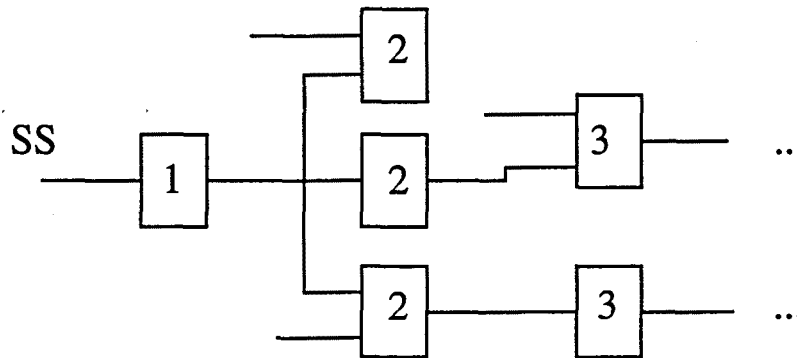


Figura 8.2: Diferents camins de propagació d'un senyal espuri (representat per SS) des del node A .

8.1.3 Propagació a través de la lògica dels senyals espuris

Una vegada definits tres possibles criteris de propagació i la caracterització per polsos de tensió del senyal espuri, es proposa aquí la metodologia d'estudi de la seva propagació a través de la lògica.

La idea general consisteix en que un senyal espuri que es genera a un node del circuit determinat es propagarà per les portes o en general blocs successius que vagi trobant al seu camí. Numerant consecutivament aquests portes o blocs que es troba es pot estudiar aquesta propagació mitjançant el concepte de corbes crítiques de penetració de nivell k , que es passa a definir a continuació:

Definició 2 *Es defineix corba crítica de penetració de nivell k la corba a l'espai de polsos ideals (eixos amplitud-duració), formada per tots aquells polsos que produeixen a la sortida de la porta o bloc k un senyal d'amplitud igual a la tensió de commutació (criteri 1), o de duració igual a un valor determinat (criteri 2).*

Segons aquesta definició, de tots els polsos d'amplitud H , n'existirà un amb duració $W^{(k)}(H)$ tal que polsos amb duració més gran que aquest valor es propagaran k blocs, mentre que polsos amb duració més petita no es propagaran (o sigui, no compliran el criteri de propagació). Per tant, considerant l'espai de polsos ideals, qualsevol pols representat per un punt en aquest espai, estarà localitzat entre dues corbes crítiques de penetració, k i $k - 1$. D'aquesta manera és possible determinar fàcilment la propagació dels polsos si es calculen les corbes crítiques de penetració.

Ara bé, en general des d'un node del circuit existeixen diversos camins de propagació del senyal. En quant a la numeració de les portes, per tant, s'ha de considerar cada camí per separat, com es mostra a la figura 8.2.

8.1.4 Corbes crítiques d'una cadena d'inversors

Com a primera aproximació, es considerarà la propagació a través d'una cadena d'inversors CMOS, on només hi ha un camí possible de propagació. Es calculen les corbes crítiques

de penetració considerant el model de transistors MOS de Shichman-Hodges. Més endavant es discutirà el cas general amb altres tipus de portes.

Observant la corba de transferència d'un inversor equilibrat, o sigui, que tingui la tensió de commutació a $V_{DD}/2$, es poden deduir unes quantes característiques de les corbes crítiques $W^{(k)}(H)$:

- Aquestes corbes són decreixents respecte de la duració, W . Efectivament, un pols inicial d'alçada gran necessitarà una duració més petita per produir el mateix efecte que un senyal d'alçada menor.
- Tenen una assíptota horitzontal a $H = V_{DD}/2$. La raó està en la corba de transferència: com la resposta de $V_{DD}/2$ és $V_{DD}/2$, un pols d'alçada $V_{DD}/2$ necessita una duració infinita per a produir un senyal de la mateixa alçada. En general, aquesta assíptota horitzontal estarà situada a un valor de H igual al valor llindar lògic.

L'equació que descriu la resposta dinàmica del inversor és la següent:

$$C_L \frac{dv_o}{dt} = i_c = i_p - i_n \quad (8.2)$$

on i_p i i_n vénen donats per les expressions de Schichman-Hodges.

Aquesta equació es pot resoldre per a calcular la sortida del primer inversor en resposta a un pols d'alçada H i duració W , on es compleix que $H > V_{DD}/2$ i la condició inicial de la sortida del inversor és $v_o(0) = V_{DD}$. S'han de distingir diferents casos:

$$V_{DD}/2 < H < V_{DD} - V_{th}$$

Inicialment es complirà:

$$\begin{aligned} v_i &< v_o - V_{th} \\ v_i &< v_o + V_{th} \\ v_i &> V_{th} \end{aligned}$$

Per tant, les expressions dels corrents seran:

$$\begin{aligned} i_p &= B(V_{DD} - v_i - V_{thp} - \frac{V_{DD} - v_o}{2})(V_{DD} - v_o) \\ i_n &= \frac{B}{2}(v_i - V_{thn})^2 \end{aligned}$$

i, segons l'expressió 8.2, es té una equació diferencial:

$$\frac{C_L}{B} \frac{dv_o}{dt} = (V_{DD} - H - V_{thp} - \frac{V_{DD} - v_o}{2})(V_{DD} - v_o) - \frac{1}{2}(H - V_{thn})^2$$

Es pot veure que la derivada de v_o és negativa, cosa lògica perquè la sortida dona un senyal invertit. La solució d'aquesta equació és:

$$\arctan \frac{x + A}{\sqrt{C^2 - A^2}} = \arctan \frac{A}{\sqrt{C^2 - A^2}} - K_1 t \quad (8.3)$$

on s'han definit les següents variables:

$$\begin{aligned}x(t) &= v_o(t) - V_{DD} \\A &= V_{DD} - H - V_{th} \\C &= H - V_{th} \\K_1 &= \frac{B}{2C_L} \sqrt{C^2 - A^2}\end{aligned}$$

Aquesta solució serà vàlida fins que $v_o(t) = H + V_{th}$, i en aquest moment canviarà l'expressió de i_p . Això passarà al temps t_1 , tal que $x(t_1) = -A$. Així es complirà (Expressió 8.3):

$$K_1 t_1 = \arctan \frac{A}{\sqrt{C^2 - A^2}}$$

Després d'aquest temps, els corrents tindran les expressions:

$$\begin{aligned}i_p &= \frac{B}{2} A^2 \\i_n &= \frac{B}{2} C^2 \\ \frac{C_L}{B} \frac{dv_o}{dt} &= -\frac{1}{2} (C^2 - A^2)\end{aligned}$$

La solució per a aquest tros és:

$$v_o(t) = \frac{B}{2C_L} (C^2 - A^2)(t_1 - t) + H + V_{th} \quad (8.4)$$

Novament, aquesta solució serà vàlida només fins un cert temps t_2 , tal que $v_o(t_2) = H - V_{th}$, i per tant:

$$t_2 = t_1 + \frac{4C_L}{B} \frac{V_{th}}{(C^2 - A^2)}$$

Després es complirà una altra expressió per a i_n :

$$\begin{aligned}i_p &= \frac{B}{2} A^2 \\i_n &= B(Cv_o - \frac{v_o^2}{2}) \\ \frac{C_L}{B} \frac{dv_o}{dt} &= \frac{1}{2} A^2 - Cv_o + \frac{1}{2} v_o^2\end{aligned}$$

La solució per a aquesta zona és:

$$\log \left[\frac{\sqrt{C^2 - A^2} + C - v_o(t)}{\sqrt{C^2 - A^2} - C + v_o(t)} \right] = 2K_1(t - t_2) \quad (8.5)$$

on K_1 és la mateixa que a l'expressió 8.3.

A partir d'ara, l'expressió de les intensitats ja no canviarà fins que s'acabi el pols i el voltatge d'entrada torni a zero. Per a trobar la corba crítica no és necessari fer aquest càlcul.

Ara falta veure l'altre interval de valors de l'alçada del pols:

$$H > V_{DD} - V_{th}$$

En aquest cas sempre serà $i_p = 0$. Com que inicialment $v_o(0) = V_{DD}$, es té:

$$v_i < v_o + V_{th}$$

$$v_i > V_{th}$$

$$i_n = \frac{B}{2}C^2$$

$$\frac{C_L}{B} \frac{dv_o}{dt} = -\frac{1}{2}C^2$$

i la solució és:

$$v_o(t) = -\frac{C_L}{2B}C^2t + V_{DD} \quad (8.6)$$

que serà vàlida fins al temps t_1 : $v_o(t_1) = H - V_{th}$

$$t_1 = \frac{2C_L}{BC^2}(V_{DD} - H + V_{th})$$

Després d'aquest temps, es complirà:

$$i_n = B(Cv_o - \frac{v_o^2}{2})$$

$$\frac{C_L}{B} \frac{dv_o}{dt} = \frac{1}{2}v_o^2 - Cv_o$$

i la solució és:

$$\log \left[\frac{2C - v_o(t)}{v_o(t)} \right] = \frac{BC}{C_L}(t - t_1) \quad (8.7)$$

L'expressió dels corrents ja no canviaran fins que s'acabi el pols.

Ara que s'ha calculat la sortida per un pols qualsevol, es pot calcular la duració crítica del primer inversor, $W^{(1)}(H)$. Aquest valor serà igual al temps que tarda la sortida del inversor en arribar a $V_{DD}/2$. Emprant les expressions 8.3– 8.7:

- $V_{DD}/2 < H < V_{DD}/2 + V_{th}$

$$W^{(1)} = \frac{1}{K_1} \arctan \left[\frac{A}{\sqrt{C^2 - A^2}} \right] + \frac{2C_L}{B} \frac{(V_{DD}/2 - A)}{(C^2 - A^2)} \quad (8.8)$$

- $V_{DD}/2 + V_{th} < H < V_{DD} - V_{th}$

$$W^{(1)} = \frac{1}{K_1} \arctan \left[\frac{A}{\sqrt{C^2 - A^2}} \right] + \frac{4C_L}{B} \frac{V_{th}}{(C^2 - A^2)} + \frac{1}{2K_1} \log \left[\frac{\sqrt{C^2 - A^2} + C - V_{DD}/2}{\sqrt{C^2 - A^2} - C + V_{DD}/2} \right] \quad (8.9)$$

- $H > V_{DD} - V_{th}$

$$W^{(1)} = \frac{2C_L}{BC^2}(V_{DD} - C) + \frac{C_L}{BC} \log \left[\frac{2C - V_{DD}/2}{V_{DD}/2} \right] \quad (8.10)$$

S'ha representat aquesta corba amb unes unitats de temps normalitzades: $\tau = \frac{B}{C_L}t$ i amb els valors $V_{DD} = 5V$ i $V_{th} = 0.7V$.

Una vegada resolta la corba crítica del primer inversor, es planteja el problema de fer el mateix amb els inversors següents. Ràpidament es fa evident que no és possible resoldre analíticament ni tan sols el segon inversor, degut a la complexitat de les expressions de v_i , que són les expressions calculades abans per la sortida del primer inversor.

Davant això, s'ha optat per fer una resolució numèrica de les equacions.

A tal efecte, s'ha fet un programa que calcula la duració crítica del inversor k , $W^{(k)}(H)$ per uns certs valors de H entre $V_{DD}/2$ i V_{DD} . El mètode és el següent:

1. A partir del pols inicial, es calculen de forma successiva les sortides des del primer fins el k -èssim inversors, emprant el mètode Runge-Kutta de quart ordre.
2. Es guarda el màxim o el mínim (és a dir, l'alçada del senyal) de la darrera sortida.
3. Pel mètode Regula Falsi es fa variar W i es repeteixen els passos 1 i 2 fins que el màxim o el mínim tenen un valor proper a $V_{DD}/2$.

En altres paraules, bàsicament el mètode és trobar la solució de l'equació:

$$F_k(H, W) = \frac{V_{DD}}{2} \quad (8.11)$$

on $F_k(H, W)$ és l'alçada del senyal després de k inversors per al pols inicial descrit per H i W . Com que no es coneix l'expressió analítica de F_k , l'equació 8.11 s'ha de resoldre numèricament.

Es poden comparar les corbes crítiques calculades analíticament i numèricament (Figura 8.3) i es pot veure que la coincidència és bona.

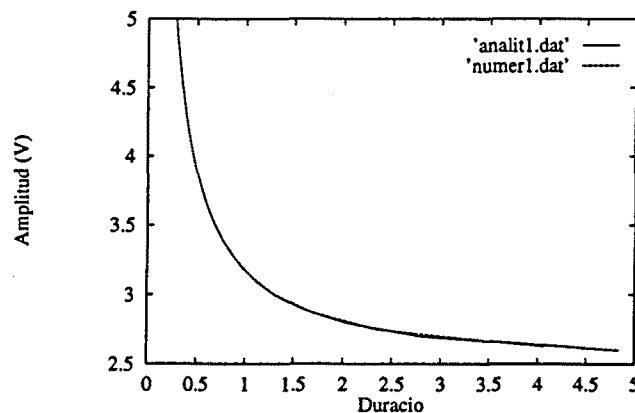


Figura 8.3: Comparació entre corba crítica del primer inversor calculada analíticament i numèricament.

S'han representat les corbes crítiques dels 25 primers inversors per un valor de $V_{th} = 0.7V$ (Figura 8.4).

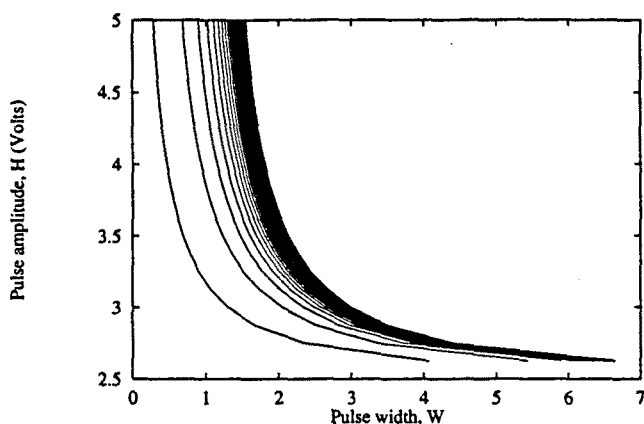


Figura 8.4: Corbes crítiques dels 25 primers inversors d'una cadena.

Es veu que les corbes es van fent cada vegada més pròximes unes a les altres a mida que augmenta el nombre d'inversors travessats. Això també dona peu a pensar que existeix una corba límit tal que els polsos més enllà d'aquesta corba són capaços de travessar un nombre qualsevol de inversors. Aquesta propietat no s'ha pogut demostrar de forma numèrica, però amb mesures experimentals s'han observat polsos que es propagaven per una cadena tancada d'inversors parells, travessant de l'ordre d'un miler d'inversors abans d'esmoreir-se. Això, a efectes pràctics es pot considerar com a propagació indefinida.

8.1.5 Corbes per un camí general

Després d'haver estudiat el cas particular d'un camí amb inversors idèntics amb el model de Schichman-Hodges, s'ha de veure en un cas general quines serien les diferències de les corbes de penetració.

En primer lloc, a una porta lògica generalment el valor de commutació no es troba exactament a $V_{DD}/2$, sinó que és un valor més o menys proper. Això afecta a la forma de les corbes de penetració, degut a que l'assíptota horitzontal es troba a un valor de H (amplitud) igual al valor de commutació lògica. Les diferents portes que el senyal es trobi al llarg del camí tindran, a més, valors diferents de tensió de commutació. A pesar d'això, les assíptotes de les corbes de penetració es troben aproximadament al mateix valor de tensió (amplitud), determinat pel valor de commutació de la primera porta que estroba el senyal espuri. Per a veure això, s'han fet simulacions amb SPICE d'una cadena de dos inversors, el primer amb tensió de commutació de 2.25V i el segon de 2.9V. A la figura 8.5 es mostren les característiques estàtiques dels dos inversors. Quan es connecten els dos inversors un darrera l'altre, es pot veure a la figura 8.6 que la tensió de commutació del segon inversor respecte del senyal originat a l'entrada del primer és pràcticament igual que la tensió de commutació del primer inversor. Això implica que l'assíptota horitzontal de les corbes de penetració es troben a la tensió de commutació de la primera porta, i és la mateixa per a totes les corbes.

Un altre aspecte diferent del cas dels inversors considerats en l'apartat precedent

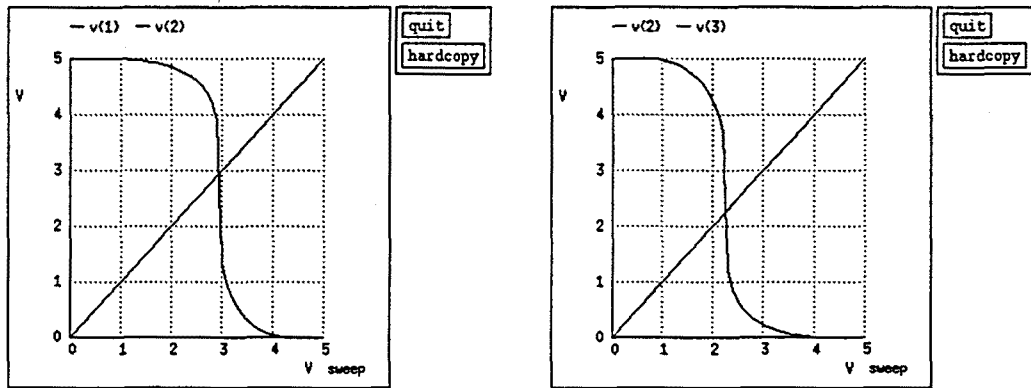


Figura 8.5: Característica estàtica del primer inversor (esquerra) i del segon inversor (dreta), sense connectar-los.

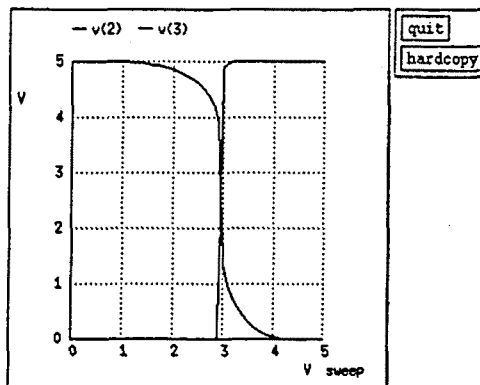


Figura 8.6: Característica estàtica dels dos invertors connectats un darrera l'altre, respecte de l'entrada del primer inversor.

és que les portes en general no responen de la mateixa manera a polsos invertits que a polsos no invertits, degut a que la funció de transferència estàtica no és en general simètrica.

8.2 Mesures de les corbes de penetració sobre inversors discrets

Com a aplicació de tota la teoria exposada en les seccions precedents, s'ha implementat a un proto-board una cadena de 28 inversors CMOS discrets, del tipus 4249, de sis inversors per encapsulat. S'han connectat externament els sis inversors que hi ha a cada xip de forma consecutiva, i cinc xips també consecutivament fins a aconseguir la cadena de 28 inversors (dos dels inversors no varen funcionar).

Aquest cas representa una situació real de propagació, on cada etapa, que constarà d'un inversor CMOS més circuiteria de protecció i buffers d'entrada i sortida, pot tenir un valor de commutació diferent, i a més les capacitats de les interconnexions també seran diferents.

S'han mesurat les corbes de penetració de la següent manera:

- Amb el generador de polsos HFS9003 de Tektronix s'ha injectat un pols de duració i amplitud determinades.
- Amb l'analitzador digital de senyal DSA602A es mesura la resposta a aquest pols a la sortida de l'etapa k .
- Si l'amplitud de la resposta és més gran que $V_{DD}/2$ (2.5V), la duració del següent pols que s'injectarà es disminueix respecte del valor actual. Si l'amplitud és més petita que 2.5V, la duració del pols següent es farà més gran. El mètode per a calcular la nova duració es fa segons l'algoritme de Regula Falsi, consistent en agafar el valor mig entre dos valors extrems de duració (un que doni amplitud per sobre de 2.5V i un altre que doni amplitud per sota d'aquest valor).
- S'injecta el nou pols i es torna a mesurar, repetint el procés fins que la duració varia en menys de 1ns.

Tot aquest procés es repeteix per a diferents valors d'amplitud del pols inicial, des de 5V fins a 2.7V, i es controla a través d'un ordinador PC 386 amb el bus IEEE 488.

A la figura 8.7 es mostren les corbes per a polsos inicials no invertits (esquerra) i invertits (dreta). Es pot veure que no coincideixen, degut a que els inversors no presenten una característica estàtica simètrica i per tant no responen igual a senyals invertits que a senyals no invertits. També es pot apreciar que totes les corbes presenten tendència asimptòtica per a valors baixos d'amplitud, i que per a valors alts de k les corbes tendeixen a ajuntar-se, tal com es veu al model numèric calculat amb el model Schichman-Hodges. El fet que les capacitats d'interconnexió siguin diferents es posa de manifest en què l'espaiament entre diferents corbes contigües és una mica irregular, algunes més juntes o separades que altres. Una altra característica que s'observa de

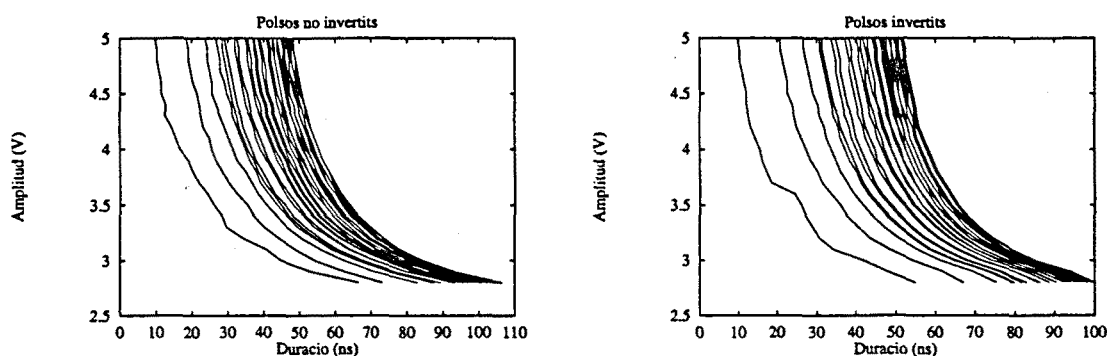


Figura 8.7: Corbes crítiques de penetració mesurades per a una cadena d'inversors 4249 per a polsos no invertits (esquerra), i polsos invertits (dreta).

les gràfiques és que les corbes mai es creuen, és a dir, que per a una successió de k creixents, $W^{(k)}(H)$ també és creixent per a qualsevol valor de H .

Una vegada mesurades aquestes corbes, és possible determinar immediatament fins a quin inversor es propagarà un pols d'amplitud i duració donats.

8.3 Efecte de senyals espuris sobre un latch

Quan un senyal espuri es propaga a través d'una porta combinacional provoca un error transitori que com a màxim pot donar lloc a una fallada de retard (*Delay Fault*). Ara bé, el resultat d'un circuit combinacional s'haurà de guardar eventualment a algun registre o element de memòria. Aquí és on un senyal espuri pot produir un error permanent, canviant el valor de l'element de memòria, i per tant alterant el resultat de l'operació realitzada. En aquest apartat s'estudiarà l'efecte que poden tenir els senyals espuris quan arribin a un latch tipus D [70], que és un dels elements de memòria més corrents, i per tant un exemple significatiu.

La susceptibilitat del latch a senyals espuris vindrà donada pels valors dels seus paràmetres de setup, hold i enable, que es defineixen com [71]: (figura 8.8)

- STP: Temps de setup, el temps mínim que l'entrada D ha de mantenir-se constant abans que el rellotge (entrada WR) faci la transició que tanca el latch de forma que la sortida Q agafi el valor de D .
- HLD: Temps de hold, el temps mínim que D ha de mantenir-se constant després que WR faci la transició que tanca el latch de forma que la sortida Q es mantingui al valor de D . Aquest valor pot ser negatiu.
- EN: Mínima duració del pols de rellotge (WR) que permet un canvi a la sortida Q .

Aquestes definicions estan fetes considerant que els valors de tensió de les entrades són els valors normals lògics (que aquí es consideraran 0V i 5V). Per a tractar el problema dels senyals espuris es definiran aquí els mateixos paràmetres, però dependents de l'amplitud del senyal, és a dir, del valor de tensió:

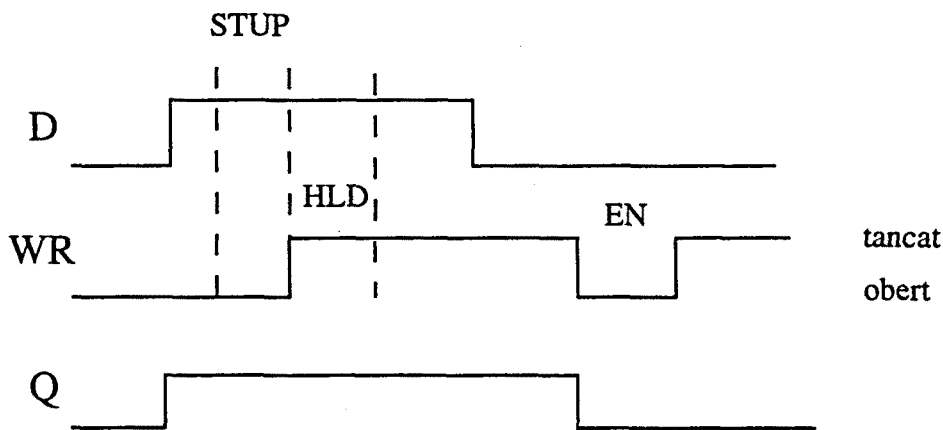


Figura 8.8: Definicions de temps de setup, hold i enable.

- $STP_D(V)$: Temps de setup quan l'entrada D es troba a un valor de tensió V .
- $STP_{WR}(V)$: Temps de setup quan l'entrada WR passa a la posició de tancat no al valor de 5V (o de 0V), sinó a un valor de tensió intermig V .
- $HLD_D(V)$: Temps de hold per a un valor de D igual a V .
- $HLD_{WR}(V)$: Temps de hold per WR en posició de tancat amb un valor de tensió igual a V .
- $EN(V)$: Duració mínima del pols de rellotge (WR) amb amplitud igual a V .

Segons aquestes definicions, es compleix: $HLD_D(5) = HLD_{WR}(5) = HLD$, $STP_D(5) = STP_{WR}(5) = STP$, i $EN(5) = EN$, de manera que les definicions convencionals passen a ser casos particulars de les definicions que es presenten aquí.

8.3.1 Anàlisi de fallada del latch per senyals espuris

Aquí es presenta una anàlisi de les possibles fallades d'un latch al qual arriba un senyal espuri (XT), representat per un pols d'amplitud H i duració W . S'analitzaran exclusivament els casos en que el senyal espuri arriba només a una de les entrades WR o D . Per a l'anàlisi es considera un latch en que el valor lògic alt a WR tanca el latch, i el valor lògic baix el fa transparent. Aquesta consideració no treu generalitat als resultats.

Es consideraran quatre tipus de comportament del latch: Sense error (NF), error transitori (TF), error de retard (DF), i error permanent o canvi d'estat (PF). El comportament metastable [72] no es considera perquè té un cert component aleatori, i es pot classificar com a tipus TF o DF . La magnitud dels errors transitoris i de retard dependran de la magnitud de XT i del temps de retard del latch. Aquestes magnituds bo es consideren en aquesta anàlisi, sinó que només s'indica el tipus d'error que es pot produir.

Segons això, el comportament es pot dividir en els següents casos:

1. XT a D , WR estàtic
 - (a) $WR = 0$ (transparent)
 - TF
 - (b) $WR = 1$ (tancat)
 - NF
2. XT a D , $WR: 0- > 1$
 - (a) XT abans de transició a WR (figura 8.9(a))
 - PF si $HLD_D(H) < 0$, $\Delta t < |HLD_D(H)|$, i $\Delta t + W > STP_D(H)$
 - TF en cas contrari
 - (b) XT durant transició a WR (figura 8.9(b))
 - PF si $\Delta t > STP_D(H)$, i $W - \Delta t > HLD_D(H)$
 - TF en cas contrari
 - (c) XT després de la transició a WR (figura 8.9(c))
 - PF si $\Delta t < HLD_D(H)$
 - NF en cas contrari
3. XT a D , $WR: 1- > 0$
 - (a) XT abans de transició a WR (figura 8.9(d))
 - NF
 - (b) XT durant transició a WR (figura 8.9(e))
 - TF si $Q = D$
 - DF si $Q = \bar{D}$
 - (c) XT després de la transició a WR (figura 8.9(f))
 - TF si $Q = D$
 - DF si $Q = \bar{D}$
4. XT a WR , D estàtic
 - (a) XT no invertit
 - NF
 - (b) XT invertit
 - NF si $Q = D$
 - PF si $Q = \bar{D}$, i $W > EN(H)$
5. XT a WR no invertit, transició a D
 - (a) XT abans de transició a D (figura 8.9(g))
 - NF

- (b) XT durant transició a D (figura 8.9(h))
 - DF si $\Delta t > HLD_{WR}(H)$
 - NF en cas contrari
- (c) XT després de la transició a D (figura 8.9(i))
 - DF si $\Delta t < STP_{WR}(H)$ i $HLD_{WR}(H) < 0$
 - NF en cas contrari

6. XT a WR invertit, transició a D

- (a) XT abans de transició a D (figura 8.9(j))
 - $Q = D$: PF si $\Delta t < |HLD_{WR}(H)|$
 - $Q = \bar{D}$: PF si $W > EN(H)$
- (b) XT durant transició a D (figura 8.9(k))
 - $Q = D$: PF si $W > EN(H)$ i $W - \Delta t > STP_{WR}(H)$
 - $Q = \bar{D}$: PF si $W - \Delta t < STP_{WR}(H)$
- (c) XT després de la transició a D (figura 8.9(l))
 - $Q = D$: PF si $W > EN(H)$
 - $Q = \bar{D}$: NF

Com es veu d'aquesta anàlisi, hi ha una gran varietat de comportaments en funció del valor de les entrades, i també de l'estat en que es trobi el latch. Segons això, la probabilitat major de que es produeixi un error permanent (canvi d'estat) és que arribi un senyal espuri invertit a l'entrada de rellotge (WR) a un temps proper a una transició a l'entrada D . També es pot produir un canvi d'estat erroni si el senyal espuri arriba a D quan WR fa una transició per a memoritzar.

Després d'aquesta anàlisi, es mesuraran els paràmetres de setup, hold i enable d'un latch CMOS estandar (4042).

8.3.2 Mesures sobre un latch 4042

S'han mesurat els paràmetres d'un dels quatre latch CMOS del 4042 per a veure la dependència de setup hold i enable amb el valor de tensió de les entrades D i WR . De fet, els latch del 4042 tenen dues entrades de rellotge, C_1 i C_2 , de manera que si $C_1 = C_2$ el latch és transparent, mentre que si $C_1 = \bar{C}_2$, està en estat de memòria (tancat). Per a tenir les mateixes condicions que a l'estudi, s'han fet les mesures connectant C_2 a 0V, de forma que si C_1 val 0 el latch és transparent, i si C_1 val 1, el latch està tancat. Altres combinacions de les entrades de rellotge poden donar valors diferents dels presentats aquí, però com a valors orientatius és interessant conèixer aquest cas particular.

Pols a entrada D

Primer, s'han mesurat els temps de setup i hold per a polsos a l'entrada D . A la taula 8.1 es mostren els temps mesurats amb una precisió de 1ns, considerant un pols no

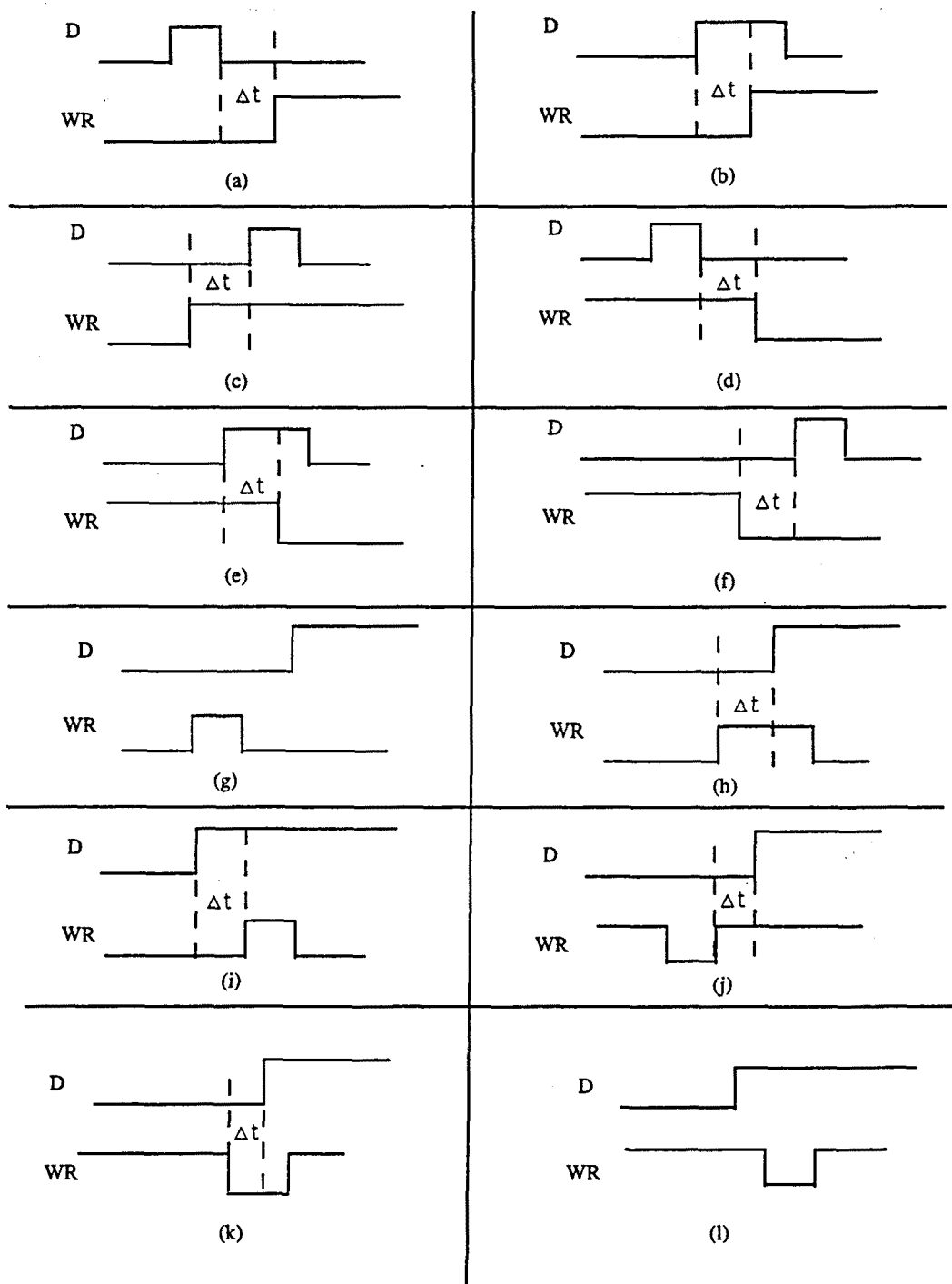


Figura 8.9: Diferents casos de senyals espuris (XT) arribant a un latch.

$H(V)$	no invertit		invertit	
	$STP_D(H)$	$HLD_D(H)$	$STP_D(5-H)$	$HLD_D(5-H)$
5	0	2	0	23
4.5	0	2	7	23
4	0	0	15	23
3.5	21	0	41	23
3	150	0	120	24

Taula 8.1: Valors de setup i hold per a polsos a l'entrada D no invertits (esquerra) i invertits (dreta). Els valors estan expressats en ns.

$H(V)$	no inv.	inv.
5	49	62
4.5	55	68
4	66	78
3.5	87	98
3	149	160

Taula 8.2: Valors d'amplitud i duració per a polsos a l'entrada D no invertits (esquerra) i invertits (dreta). que produeixen a la sortida Q un senyal de 2.5V d'amplitud. Els valors estan expressats en ns.

invertit (esquerra) i un pols invertit (dreta). Quan arriba un pols no invertit d'amplitud H el latch intenta donar a Q el valor de 5V, i amb un pols invertit d'amplitud H el latch interpreta aquest valor com un zero lògic i intenta posar 0V a la sortida Q .

Com es veu a la taula, el valor de setup augmenta quan disminueix l'amplitud del pols, degut a què el latch necessita més temps per a resoldre el valor lògic de l'entrada D . Contràriament, el temps de hold es manté aproximadament constant i inclús disminueix una mica quan disminueix l'amplitud.

Observant aquestes dades, es veu que aquest latch és més susceptible a polsos no invertits, ja que per provocar error lògic (cas 2 de l'anàlisi) amb un pols invertit és necessària una duració d'almenys 23ns amb 5V d'amplitud, mentres que amb un pols no invertit es provoca error lògic amb una duració de només 2ns (per una amplitud de 5V).

A la taula 8.2 es mostra el resultat d'injectar un pols a l'entrada D quan el latch és transparent ($WR = 0$), calculant la duració que produeix a la sortida Q un senyal d'amplitud 2.5V. De fet, això són les corbes de penetració per $k = 1$ del latch, que produeix un fallada transitòria (TF , cas 1.(a)). De la taula, es veu com també en aquest cas és més fàcil que penetri un pols no invertit que un pols invertit.

Pols a entrada WR

Els temps de setup i hold mesurats injectant un pols a l'entrada WR (C_1) es presenten a la taula 8.3 també amb una precisió de 1ns. Els valors per $H = 5V$ són iguals que els de l'entrada D , segons les definicions donades anteriorment. En aquesta taula es distingeix entre el cas en que $D = 0$ (esquerra) i $D = 1$ (dreta).

$H(V)$	$D = 0$		$D = 1$	
	$STP_{WR}(H)$	$HLD_{WR}(H)$	$STP_{WR}(H)$	$HLD_{WR}(H)$
5	0	24	0	2
4.5	0	27	0	3
4	0	35	0	11
3.5	0	49	0	26
3	0	97	0	74

Taula 8.3: Valors de setup i hold per a polsos a l'entrada WR en funció de la seva amplitud, i per a $D = 0$ (esquerra) i $D = 1$ (dreta). Els valors estan expressats en ns.

$H(V)$	$D = 0, Q = 1$	$D = 1, Q = 0$
5	69	59
4.5	71	62
4	76	66
3.5	84	75
3	108	98
2.5	288	277

Taula 8.4: Valors d'amplitud i duració per a polsos a l'entrada WR invertits que provoquen un canvi d'estat al latch en les condicions mostrades. Els valors estan expressats en ns.

Es pot observar que el temps de setup és nul per a tots els valors de H (dins la precisió de 1ns). En canvi, el temps de hold augmenta a mesura que l'amplitud disminueix. La raó d'aquest augment és que un senyal de rellotge de nivell de tensió baix necessita més temps per a memoritzar la dada.

També es veu d'aquestes dades que es pot produir un error de retard (cas 5.(b)) només si el senyal espuri (que sigui no invertit) té una duració més gran que els valors donats a la taula. Aquest error serà tant més important com més gran sigui la duració del senyal espuri.

Finalment, a la taula 8.4 es presenten les dades per al temps d'habilitació de WR , $EN(H)$, per a un pols invertit. S'han mesurat per als dos casos en què es produeix error (cas 6.(a)): per a $D = 0, Q = 1$ (esquerra) i per $D = 1, Q = 0$ (dreta).

Segons aquesta taula, és més fàcil provocar un error quan $D = 1, Q = 0$ que en l'altre cas, ja que la duració del pols que fa canviar l'estat del latch és més petita en el primer cas que en el segon.

8.4 Efecte del senyal espuri sobre un latch després de travessar una cadena d'inversors

Les dades que s'acaben de presentar s'han obtingut injectant el pols directament a les entrades del latch, de manera que es correspondria a la generació del senyal espuri als nodes d'entrada del latch. En aquest cas, per tant, en principi té sentit considerar

qualsevol tamany de pols, amb amplitud i duració independents.

En canvi, si el senyal espuri arriba al latch després d'haver travessat un cert nombre de portes lògiques, l'amplitud i duració del senyal que arriba ja no són independents, sinó que estan relacionats entre sí per les característiques estàtica i dinàmica de la porta que alimenta el node en qüestió. Aquesta observació és en realitat una extensió de les anomenades formes d'ona característiques [73], [74] d'una cadena d'inversors per a senyals entre 0 i 5V, on la forma d'ona després de travessar uns quants inversors (3 o 4) és independent de la forma d'ona original (o sigui, temps de pujada i duració).

Per a comprovar que també per a senyals d'amplitud menor que V_{DD} la forma d'ona es fa independent del pols inicial després d'uns quants inversors, s'ha mesurat la mateixa cadena d'inversors considerada per a les corbes de penetració mesurant aquest cop l'amplitud i duració a la sortida d'un cert nombre d'inversors (k) en resposta a un pols a l'entrada de la cadena. Mantenint una amplitud donada H_1 del pols a l'inici de la cadena (I) i injectant una successió de polsos amb diferents valors de duració s'obté a la sortida k una successió de senyals amb amplitud i duració donades, que a l'espai H - W formaran una corba, $C_{H_1}^k$. Repetint el procés amb un valor diferent d'amplitud del pols I , H_2 , s'obté una segona corba a la sortida k $C_{H_2}^k$. Si realment la sortida k és independent de l'amplitud de l'entrada, $C_{H_1}^k$ i $C_{H_2}^k$ seran iguals o molt similars, i voldrà dir que un senyal que arribi després de travessar k inversors no té amplitud i duració independents, sinó que ambdós paràmetres estan relacionats per la corba genèrica $C^k = C_{H_1}^k = C_{H_2}^k \dots$.

A la figura 8.10 es mostren aquestes corbes per a valors de k de 1 inversor, 3 inversors, 5 inversors i 11 inversors.

D'aquesta figura es pot apreciar que a la sortida d'un sol inversor, la forma d'ona està molt influïda per l'amplitud del pols inicial com es veu per la diferència entre les corbes C_{5V}^1 , C_{4V}^1 i C_{3V}^1 . A la sortida del tercer inversor aquesta influència és més petita, i a la sortida del cinquè i onzè inversors és pràcticament nul·la.

Per tant, si per exemple es genera un senyal espuri i després de 11 inversors arriba a l'entrada WR d'un latch, el senyal que arribi tindrà una duració i amplitud determinades per la corba corresponent de la figura 8.10. Per a saber quins d'aquests senyals poden provocar un error al latch, cal superposar aquesta figura amb la gràfica dels polsos que provoquen error (obtinguda a partir de la taula 8.4). Juntant les dues gràfiques s'obté la de la figura 8.11.

D'aquesta figura es veu que per a produir error després d'onze inversors, el senyal resultant ha de tenir una duració mínima d'uns 70ns aproximadament, amb una amplitud de 5V. Això vol dir que les corbes de propagació amb el criteri de l'amplitud igual a 2.5V donen uns valors massa conservadors ja que com es veu a la figura, un senyal que després d'onze inversors té una amplitud de 2.5 V no és capaç de produir cap efecte lògic. En aquest sentit, pot ser més útil fer servir el criteri de propagació de duració, agafant com a límit aquests 70ns.

A la figura 8.12 es mostra el resultat de les mesures de les corbes de penetració a la cadena d'inversors de sempre, considerant el criteri de duració a la sortida igual a 70ns. Aquestes corbes donen valors considerablement més grans per als polsos inicials que es propaguen que les corbes anàlogues considerant el criteri d'amplitud a la sortida igual a 2.5V (figura 8.7).

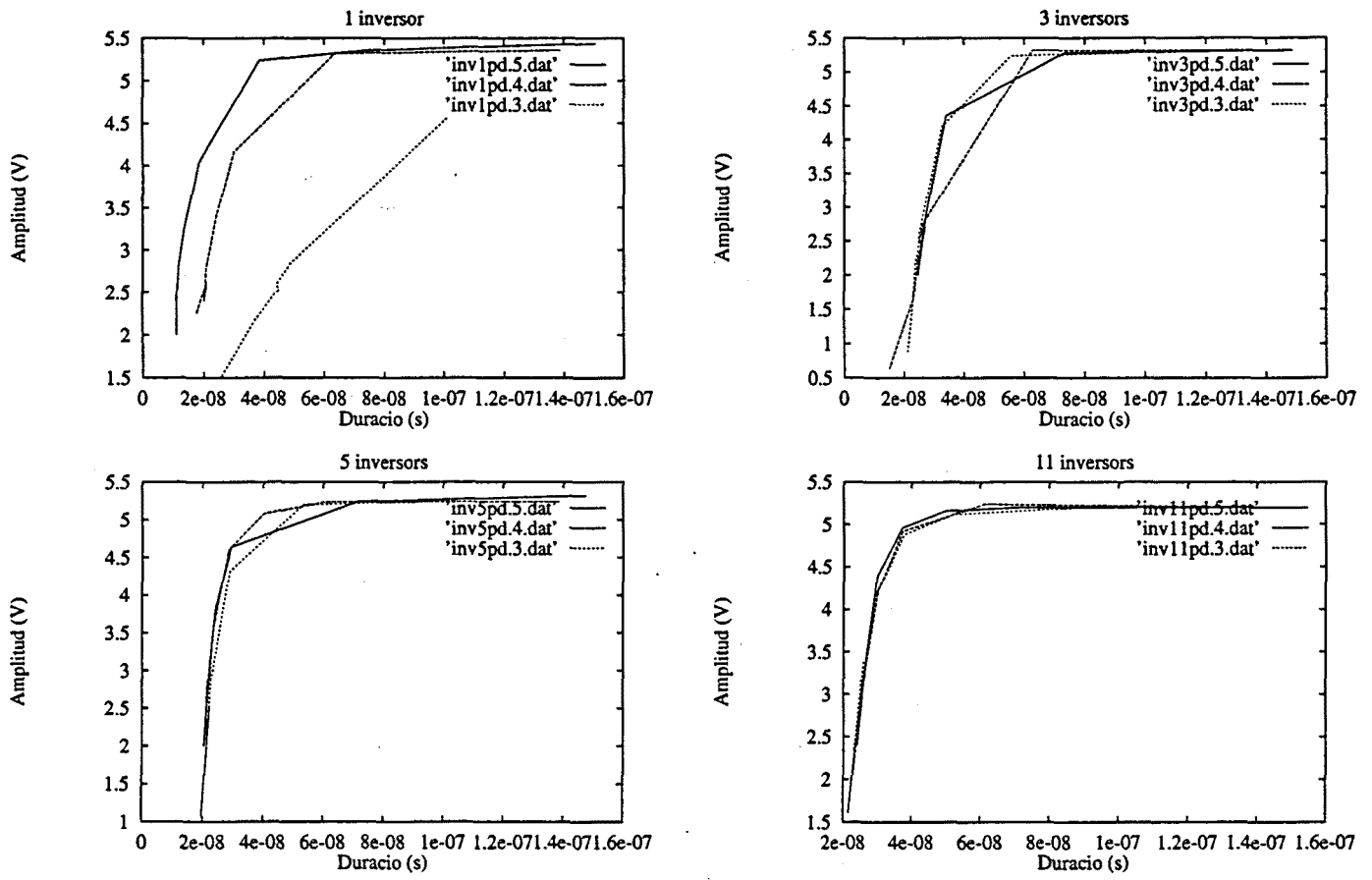


Figura 8.10: Relació entre amplitud i duració d'un senyal espuri després d'haver travessat 1, 3, 5 i 11 invertors respectivament. Valors d'amplitud de pols inicial: 5V, 4V, 3V.

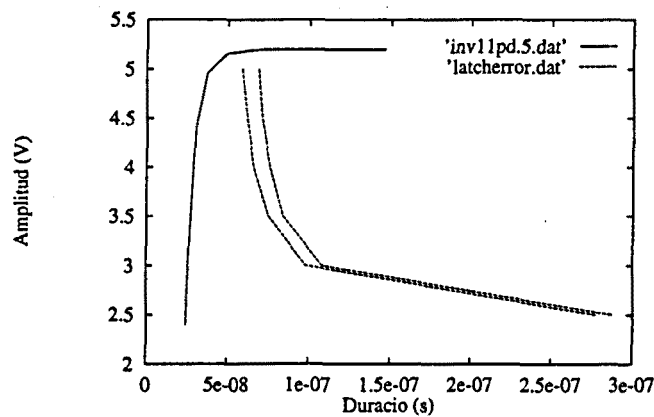


Figura 8.11: Amplitud i duració de senyals que poden provocar error lògic a un latch després de travessar 11 invertors.

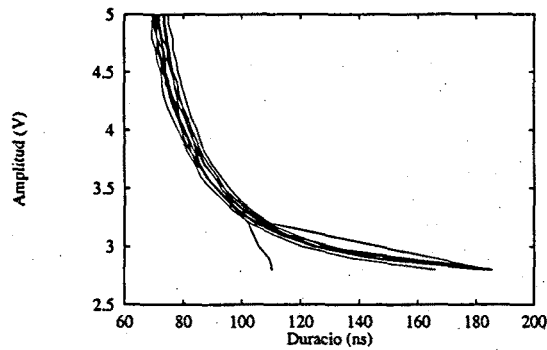


Figura 8.12: Corbes crítiques de penetració mesurades sobre una cadena d'inversors 4249 per al criteri de duració a la sortida de 70ns.

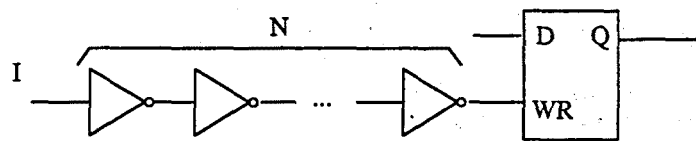


Figura 8.13: Esquema del circuit mesurat per a saber quins polsos I provoquen error al latch després de travessar N inversors.

Per a veure que les noves corbes de penetració són realment més exactes en predir quins polsos poden provocar error, s'han fet mesures sobre una cadena d'inversors a la sortida de la qual es connecta l'entrada WR del latch 4042, amb la mateixa configuració ja descrita anteriorment (figura 8.13).

S'ha mesurat el tamany del pols inicial I que provoca error al latch després de travessar N inversors, per als valors $N = 1, 5, 11$.

A les taules 8.5–8.7 es donen els resultats obtinguts de les mesures, per $Q = 1$ i per $Q = 0$. Per a cada valor de Q es dona la duració del pols inicial a l'esquerra, i entre parèntesi a la dreta, la duració del senyal a l'entrada del latch després d'haver travessat els inversors. Es veu d'aquestes taules que per $N = 5$ i $N = 11$ la duració a l'entrada del latch que provoca error sempre és la mateixa, uns 68ns per $Q = 1$ i uns 58ns per $Q = 0$, encara que a l'inici de la cadena com més baixa és l'amplitud més gran és la duració necessària per a produir error.

Comparant les corbes de penetració per al criteri de duració igual a 70ns (figura 8.12) i les corbes estretes de les taules 8.5–8.7 es veu que el criteri de duració dona una predicció més exacta dels polsos que realment poden causar error a un circuit (figura 8.14).

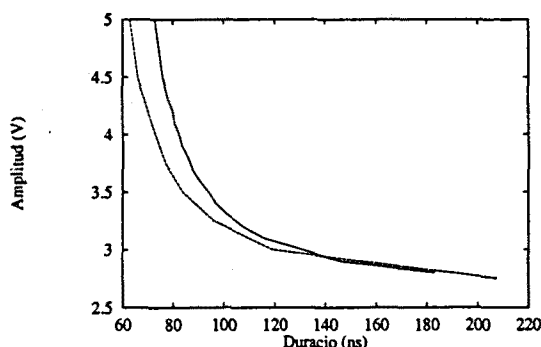


Figura 8.14: Corbes de penetració amb criteri de duració de 70 ns (línia contínua) i mesures dels polsos que provoquen error (línia discontinua) després de 11 inversors.

$H(V)$	$Q = 1$		$Q = 0$	
5	70	(69)	61	(61)
4.5	77	(68)	68	(60)
4	89	(73)	80	(64)
3.75	98	(76)	90	(67)
3.5	111	(80)	103	(72)
3.25	133	(87)	125	(82)
3	180	(111)	172	(109)
2.75	328	(195)	319	(192)

Taula 8.5: Valors d'amplitud i duració per a polsos a l'entrada d'una cadena de 1 inversor connectada a l'entrada WR d'un latch que provoquen un canvi d'estat al latch en les condicions mostrades. Els valors estan expressats en ns.

$H(V)$	$Q = 1$		$Q = 0$	
5	73	(68)	63	(57)
4.5	76	(68)	66	(57)
4	82	(68)	73	(57)
3.75	87	(68)	77	(57)
3.5	93	(69)	84	(58)
3.25	105	(69)	96	(58)
3	128	(69)	119	(58)
2.75	217	(69)	208	(57)

Taula 8.6: Valors d'amplitud i duració per a polsos a l'entrada d'una cadena de 5 inversors connectada a l'entrada WR d'un latch que provoquen un canvi d'estat al latch en les condicions mostrades. Els valors estan expressats en ns.

$H(V)$	$Q = 1$	$Q = 0$
5	74 (67)	65 (58)
4.5	77 (67)	68 (58)
4	83 (67)	74 (58)
3.75	88 (67)	79 (58)
3.5	94 (67)	86 (58)
3.25	106 (67)	97 (58)
3	129 (67)	120 (59)
2.75	216 (68)	208 (59)

Taula 8.7: Valors d'amplitud i duració per a polsos a l'entrada d'una cadena de 11 inversors connectada a l'entrada WR d'un latch que provoquen un canvi d'estat al latch en les condicions mostrades. Els valors estan expressats en ns.

8.5 Algoritme de generació de vectors per a la detecció de senyals espuris

Una vegada estudiada la capacitat de propagació o penetració dels senyals espuris dins la lògica, en aquest apartat es presenta un algoritme de generació de vectors d'entrada que permeti la detecció dels senyals espuris a la sortida del circuit [75].

Per a possibilitar la detecció a la sortida del circuit dels senyals espuris s'ha de tenir en compte que la propagació pot ser impedita per dues causes:

1. El bloqueig lògic del camí de propagació, per exemple, amb una porta AND amb alguna de les altres entrades a 0, o una porta OR amb alguna de les altres entrades a 1.
2. La pròpia limitació de propagació del senyal, donada per les corbes de penetració del camí considerat.

Per a l'algoritme es consideren senyals espuris generats per acoblaments entre dos nodes del circuit. El problema és molt similar al de generació de vectors de test per a fallades tipus stuck-at [76], però amb la peculiaritat de que al problema d'acoblament hi intervenen dos nodes en lloc d'un sol. Per tant es pot classificar el fenomen dels acoblaments com a tipus de fallada binodal [77].

L'algoritme ha de constar de dues fases: una (control.labilitat), provocar el senyal espuri al node considerat mitjançant una transició lògica a un node adjacent, i dues (observabilitat), facilitar la propagació lògica del senyal espuri fins a una sortida del circuit. Com que és necessari provocar una transició, faran falta dos vectors per a cada node investigat.

En un treball anterior [15] per a evitar manejar dos vectors, s'ha dissenyat l'algoritme fent servir una àlgebra de 9 valors, però en aquell treball no es tenia en compte la limitació de propagació dels senyals espuris generats. Els 9 valors són:

0 Zero lògic.

1 Un lògic.

X Indefinit.

P0 Pols invertit.

P1 Pols no invertit.

TU Transició de 0 a 1.

TD Transició de 1 a 0.

TUD Senyal TU retardat un cert temps.

TDD Senyal TD retardat un cert temps.

L'avantatge de fer servir aquesta lògica és que amb un sol valor (TU, TD, TUD, TDD) es representa més d'un valor lògic i per tant es simplifica la generació de vectors.

Per altra banda, té l'inconvenient d'haver de treballar amb una àlgebra nova, per la qual s'han d'escriure nous criteris heurístics i algorismes de backtrace i backtrack.

Per aquesta raó, en aquest treball es considera una àlgebra de 5 valors: 0, 1, X, P0 i P1. Com que la propagació de P0 i P1 és totalment equivalent a la propagació de D i \bar{D} del problema de stuck-at [76], [14], això permet fer servir rutines ja existents.

8.5.1 Aplicació i motivacions

La generació de vectors per a la detecció pot ser utilitzada a diferents etapes del disseny:

A una etapa preliminar, permet saber si dos nodes potencialment perillosos degut a la seva proximitat generen senyals capaces de propagar-se fins a una sortida. És interessant notar que en aquest cas es poden considerar les línies que van a elements de memòria com a sortides del circuit, ja que com s'ha vist, es podria provocar un error permanent i per tant cal assegurar-se de que els senyals espuris no es propaguen fins a aquests nodes.

També és convenient saber els vectors que permeten la detecció per a provar els prototipus del circuit. Així si es té en compte la limitació en la propagació, es descarten un cert nombre de fallades, i per tant es redueix el temps d'aplicació dels vectors i consegüentment, el cost.

8.5.2 Algoritme implementat

Per començar es parteix d'una llista de parells de nodes del circuit on es pot generar el senyal espuri, i a cada parell un nombre (*DPGN*) associat que doni la penetració màxima en nombre de portes que pugui travessar el senyal espuri generat. Aquesta llista s'hauria d'obtenir a partir d'un extractor de layout que identifiqués els nodes susceptibles de sofrir acoblament [78]. Aquest extractor també hauria de donar el nombre *DPGN* considerant una aproximació de pitjor cas, per exemple, considerant inversors equivalents de tamany corresponent a la porta més ràpida del camí, amb capacitats idèntiques de valor el mínim del circuit. Així es podria fer servir la gràfica 8.4 sense necessitat de considerar cada possible camí per separat i calcular unes corbes de penetració diferents per a cada camí.

L'algorisme que aquí es presenta es basa en l'algorisme PODEM [79] i consta de tres fases:

La primera consisteix en fixar el valor lògic del nodes afectat i afectant fent servir l'heurística de control.labilitat SCOAP [80]. Això dóna el primer vector del conjunt de dos per a la detecció.

La segona fase consisteix en posar el valor del node afectant al valor contrari de l'obtingut a la primera fase, deixant el valor del node afectat al mateix valor, de manera que s'obté una transició a la línia afectant.

La tercera fase és la de la propagació, en què s'intenta propagar el senyal espuri generat per la transició a la línia afectant fins a alguna sortida. Aquí és on es té en compte la limitació en la propagació del senyal (*DPGN*): cada vegada que es passa una porta s'incrementa el valor d'una certa variable., i quan el camí ja no pot propagar lògicament el senyal es disminueix el valor de la variable. Si la variable arriba a *DPGN*, es prova un camí de propagació diferent.

Al final de les fases segona i tercera s'obté el segon vector per a la detecció del senyal.

A les figures 8.15, 8.16 i 8.17 es mostren els diagrames de fluxe de les tres fases de l'algorisme.

8.5.3 Resultats de l'algorisme

Per a comprovar el funcionament de l'algorisme i les repercussions que té considerar la limitació en la propagació dels senyals espuris, s'ha aplicat aquest algorisme implementat en llenguatge C a uns quants circuits combinacionals anomenats circuits ISCAS [81]. Aquest conjunt de circuits és utilitzat freqüentment com a circuits de prova de testabilitat.

La seva descripció és a nivell lògic, és a dir, que no hi ha cap informació de layout, ni capacitats paràsites, ni de longitud de línies. Per tant, ja que no es pot saber quins parells de nodes són els més susceptibles d'acoblar-se de forma important, el que s'ha fet és considerar 200 parells de nodes triats aleatòriament. A cada parell de nodes se li ha aplicat l'algorisme considerant una limitació de 2 portes, 5 portes, 10 portes i indefinida de forma successiva. A la taula 8.9 es mostren el nombre de fallades (parell de nodes) detectades en funció d'aquesta limitació [75].

Com es veu, considerar la limitació en la propagació produeix un descens important en el nombre de fallades detectades (aquest nombre s'ha de comparar amb el corresponent a propagació indefinida). Això implica una reducció en el nombre de vectors que s'han d'aplicar al circuit.

També es pot comprovar que pràcticament no hi ha diferència entre una limitació de 10 portes i propagació indefinida. Això és degut a que la gran majoria de nodes dels diferents circuits es troba menys de 10 portes d'alguna sortida, és a dir, que és per culpa de la topologia dels circuits. A la taula 8.8 es mostren el nombre de nodes de cada circuit que es troba a menys de cert nombre de portes d'alguna sortida.

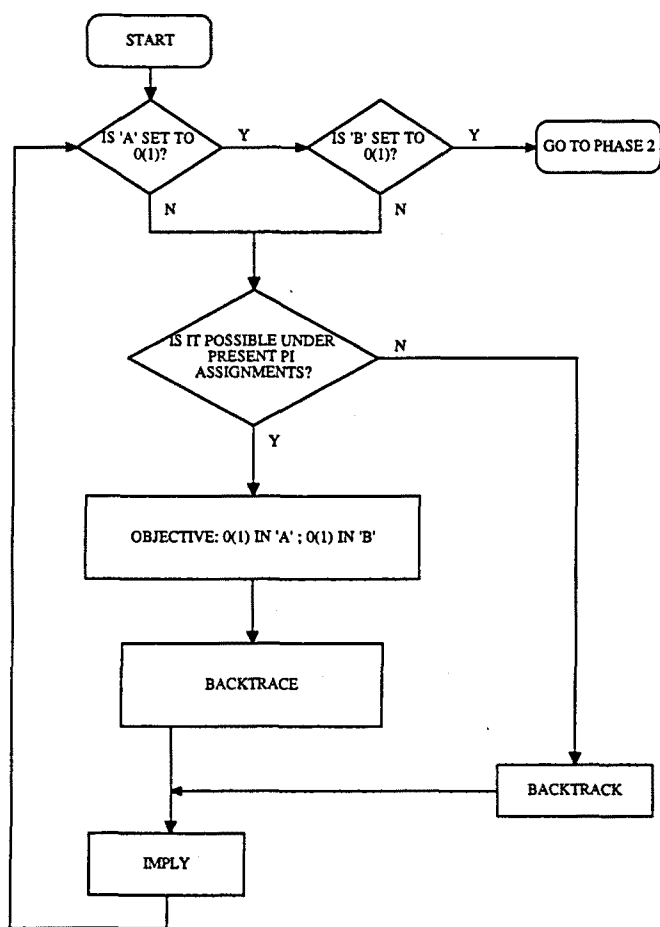


Figura 8.15: Diagrama de fluxe de la fase primera de l'algoritme per a la detecció de senyals espuris.

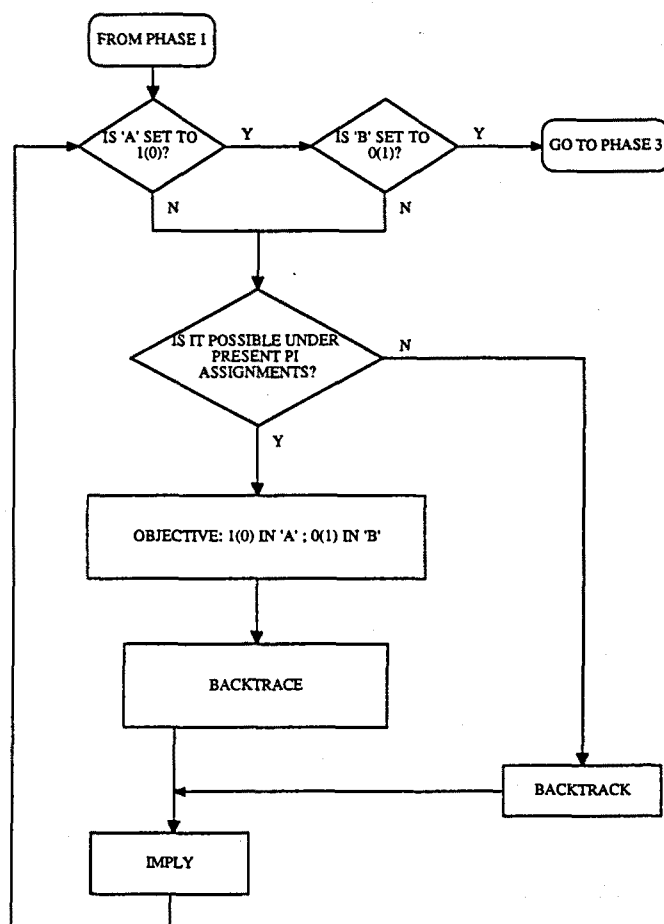


Figura 8.16: Diagrama de fluxe de la fase segona de l'algoritme per a la detecció de senyals espuris.

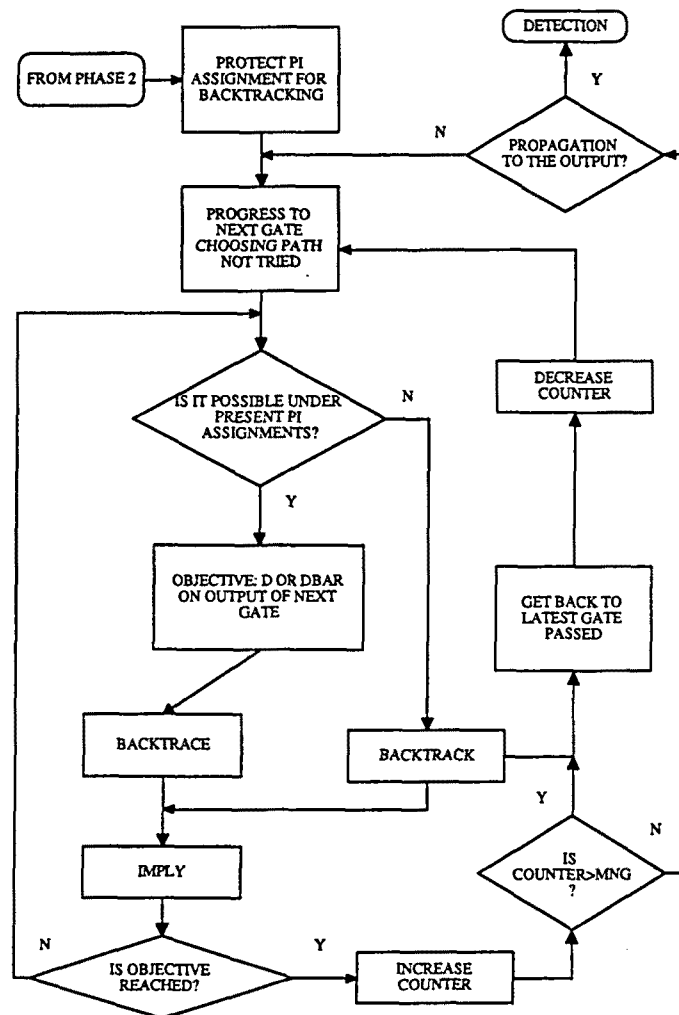


Figura 8.17: Diagrama de fluxe de la fase tercera de l'algoritme per a la detecció de senyals espuris.

Circuit	Distance (Gate stages)		
	2 stages	5 stages	10 stages
c432	111	407	425
c499	176	395	467
c880	72	283	835
c1355	96	522	1043
c1908	196	819	1378
c2670	234	720	2089
c3540	185	1048	3313
c6288	281	900	2215

Taula 8.8: Nombre de nodes que estan a una distància mínima donada com en nombre de portes d'alguna de les sortides del circuit.

Circuit	Propagation capability (DPGN)			
	2 stages	5 stages	10 stages	Unlimited
c432	91	156	196	196
c499	123	169	185	185
c880	112	199	200	200
c1355	136	189	195	195
c1908	72	160	198	198
c2670	113	193	198	198
c3540	124	156	164	169
c6288	157	189	189	189

Taula 8.9: Senyals espuris detectats d'un total de 200 parells de nodes escollits aleatòriament, en funció de la seva limitació de propagació.

8.6 Resum i conclusions del capítol

En aquest capítol s'ha presentat una metodologia d'estudi de la problemàtica dels senyals espuris als circuits digitals. S'ha estudiat la propagació de polsos ideals considerant que un senyal espuri real sempre es pot representar per un pols ideal de la mateixa amplitud. Amb el teorema de recobriment que s'ha presentat, s'ha vist que es poden triar polsos ideals que siguin una fita superior o inferior de propagació.

El criteri de propagació pot ser per amplitud (el senyal es propaga si l'amplitud de sortida és més gran que 2.5 V, la tensió de commutació de la lògica), per duració (propagació si la duració de sortida és més gran que un cert valor), o una combinació dels dos. Aquesta tercera possibilitat en realitat és redundant, perquè com s'ha vist, amplitud i duració estan relacionades unívocament després que el senyal ha travessat unes poques portes. Per la seva banda, el criteri d'amplitud dona uns valors molt conservadors del tamany dels polsos propagats en el sentit que encara que el pols es propagui perquè l'amplitud a la sortida sigui 2.5 V, el seu efecte sobre la lògica serà molt petit. En canvi, s'ha vist que el criteri de duració dona valors més reals, en funció de l'efecte que la propagació de senyals espuris produeix sobre elements de memòria.

La caracterització per polsos ideals fa que sigui natural considerar l'espai de polsos amb eixos duració-amplitud. En aquest espai es representen les corbes de penetració de nivell k , composades pels polsos que produeixen a la sortida del bloc k un senyal que compleixi exactament el criteri de propagació. En general, un pols qualsevol es trobarà entre dues corbes, k i $k + 1$. Amb la gràfica de totes les corbes és possible determinar fàcilment fins quan es propagarà un pols de duració i amplitud donats. En principi, cada camí de propagació tindrà un espaiament de corbes diferent, en funció de la transconductància de cada porta que travessi i del valor de capacitat de sortida de cada bloc. A la pràctica es pot considerar un cas pitjor de propagació a base d'una cadena d'inversors equivalents amb transconductància màxima i capacitat entre inversors mínima.

S'ha analitzat l'efecte que senyals espuris poden tenir sobre un latch. Es veu que hi ha diverses possibilitats de comportament, des de no mostrar cap efecte fins a un canvi d'estat erroni. Naturalment, el comportament dependrà molt del disseny del latch. En aquest sentit, és possible fer dissenys que siguin tolerants a senyals espuris [82]. El cas de flip-flops es diferencia en que els senyals espuris a l'entrada D no tindran cap efecte si no es produeixen a una transició de pujada del rellotge [83]. Això fa més improbable una fallada a un flip-flop que a un latch.

Finalment, s'ha presentat un algoritme per a la generació de vectors que permetin la propagació i detecció de senyals espuris provocats per acoblaments. Aquest algoritme és útil per a comprovar si realment els senyals espuris generats a nodes crítics es poden propagar fins a la sortida i poden provocar error. Tenint en compte la limitació de propagació amb les corbes de penetració exposades, es pot reduir sensiblement el nombre de vectors que s'han d'aplicar, ja que hi haurà molts senyals que no es propaguen degut a aquesta limitació.

Capítol 9

Conclusions

Amb la creixent complexitat i nivell d'integració dels circuits integrats actuals, les interconnexions prenen cada cop una importància més gran en el funcionament dels circuits, introduïnt efectes que poden causar errors en l'operació dels circuits. Aquests efectes s'han de tenir en compte en el disseny mitjanant una modelació adequada de la interconnexió en funció de la seva geometria i dels drivers i receptors que interconnecta.

Els efectes paràsits introduïts per les interconnexions es poden donar a la transmissió de senyals, com a resultat d'acoblaments, o degut a soroll de commutació.

9.1 Efectes a la transmissió

Els dos efectes que introdueixen les interconnexions respecte de la transmissió de senyals són el retard i el soroll degut a oscil·lacions de tensió per reflexions a les línies de transmissió, o per la inductància de la línia.

Per a una avaluació precisa dels dos efectes és necessari decidir quin model es fa servir, ja que hi ha grans diferències entre un model i altre, de manera que triar un model incorrecte pot donar lloc a resultats molt allunyats de la realitat encara que els paràmetres elèctrics siguin correctes.

S'ha vist que les línies sobre substrat semiconductor es poden modelar amb paràmetres elèctrics fins a freqüències de GHz, la qual cosa indica que als circuits actuals de més alta velocitat aquest model comena a veure's compromès.

Actualment, la majoria d'extractors de paràmetres a circuits integrats consideren les interconnexions com una capacitat concentrada. Aquest model, vàlid per a interconnexions curtes, deixa de tenir validesa per a interconnexions llargues i de poca amplada degut a la resistència de la línia, i els retards calculats amb aquest model, per tant, són més petits que en la realitat.

9.1.1 Importància de la inductància

Un paràmetre al qual no se li dóna la importància que caldria en els extractors de paràmetres de layout és la inductància de la línia. La inductància, a part dels efectes que pugui tenir sobre la forma d'ona permet calcular, junt amb la capacitat de la línia, dos altres paràmetres molt importants: impedància característica i velocitat de

propagació (i per tant, temps de propagació del senyal). Comparant aquests paràmetres amb la resistència equivalent del driver i la resistència de la línia pel que fa a la impedància característica, i amb el temps de pujada del senyal pel que fa al temps de propagació, és possible saber quin és el model més apropiat. Encara que des del punt de vista de precisió el millor model sempre és el més complet, considerant tots els paràmetres, s'ha de triar un model que sigui el més senzill possible a fi de que sigui fàcil i eficient simular-lo.

En quant a l'efecte elèctric que provoca la inductància, en forma d'oscil·lacions de tensió, la conclusió és que en els circuits CMOS és difícil que es doni. Només per a circuits amb drivers amb resistència equivalent per sota del valor de la impedància característica de la línia poden donar-se oscil·lacions de tensió degut a reflexions. Com que la impedància característica disminueix en disminuir la distància entre línies, la tendència tecnològica d'alta integració fa més difícil l'aparició de problemes per reflexions de senyals.

9.2 Acoblaments

S'ha vist que en la modelació dels acoblaments, també s'han de tenir en compte les característiques elèctriques dels drivers i receptors. Així, encara que la tendència d'alta integració favoreix molt l'acoblament capacitiu, això no es tradueix directament en senyals espuris més importants. Aquí és on el disseny dels drivers juga a favor o en contra de l'aparició de senyals espuris que puguin perjudicar el funcionament del circuit. S'ha vist que si els drivers de les línies afectada i afectant tenen característiques elèctriques iguals, els senyals espuris produïts per acoblament no provoquen un error lògic a circuits CMOS, degut a que la seva amplitud no arriba mai a la tensió de commutació (prenent com a tal el valor $V_{DD}/2$). Això no vol dir que no puguin provocar error si es solapen amb una transició a la línia víctima, de forma que es produeixi un retard extra del senyal. Aixímateix, la coincidència de dues transicions a dues línies afectants sobre una sola línia afectada pot produir un senyal espuri important també des del punt de vista de l'amplitud, podent arribar a produir error lògic.

També s'ha estudiat l'acoblament inductiu en forma de línies de transmissió. S'ha vist que aquest acoblament és important si a la línia afectant existeixen corrents importants o grans derivades de corrent. Un exemple són les línies d'alimentació del circuit, que provoquen acoblament amb les línies adjacents de senyal, i també soroll de commutació.

9.3 Encapsulats

Els encapsulats, degut a les seves dimensions, tenen un alt valor d'inductància i això provoca problemes de soroll de commutació. S'ha fet una anàlisi de tres encapsulats d'ús corrent i s'ha avaluat el soroll produït degut a l'encapsulat, així com diverses maneres de disminuir aquest soroll. S'ha vist que és un problema important, que fa limitar el nombre de terminals que commutïn simultàniament si no es vol sobrepassar un cert llindar de soroll.

9.4 Efecte dels senyals espuris

S'ha investigat l'efecte dels senyals espuris produïts pels fenòmens abans exposats sobre un element de memòria, tenint en compte tant l'amplitud com la duració del senyal. Per tant, es veu que un senyal espuri pot ser acceptable i no produir error al circuit mentre no sobrepassi uns certs valors d'amplitud i duració. Això condueix al concepte de corbes de propagació presentat aquí i al problema de determinar a través de quantes portes es podrà propagar un senyal espuri i si podrà ser detectat. S'ha fet un algoritme de generació de vectors per a la detecció de senyals espuris basats en l'acoblament entre dues línies, i tenint en compte la limitació en la propagació del senyal espuri. S'ha vist que aquesta limitació és molt important en el nombre de senyals que poden ser detectats, i que per tant s'ha de tenir en compte si es pensa en una estratègia de test basada en la detecció de senyals produïts per acoblament entre línies.

9.5 Línies de treball futur

A continuació s'exposen possibles extensions d'aquesta tesi i línies relacionades amb ella.

Una possible extensió seria considerar l'efecte dels senyals espuris en circuits analògics, que segurament són més sensibles a ells. També es podria estudiar l'efecte del retard afegit introduït pels senyals espuris.

Una altra línia relacionada amb el soroll de commutació és considerar com afecta aquest soroll al circuit integrat amb els corrents que circulen al substrat semiconductor. Actualment existeix una línia de recerca al grup en aquest sentit.

Una feina interessant seria considerar el problema de la partició del sistema a fi de minimitzar el soroll. Actualment existeixen estratègies que intenten minimitzar el retard i augmentar així la velocitat del sistema, però no es preocupen del soroll.

Bibliografia

- [1] Bakoglu H. B. and Meindl J. D. "Optimal Interconnections for VLSI". *IEEE Trans. on Electron Devices*, 32(5), May 1985.
- [2] Watts R. K., editor. "Submicron Integrated Circuits", chapter 6. John Wiley and Sons, 1989.
- [3] Donath W. E. "Wire Length Distribution for Placements of Computer Logic". *IBM J. Res. Develop.*, 25(3), May 1981.
- [4] Hatamian M., Hornak L. A., Little T. E., Tewksbury S. K., and Franzon P. "Fundamental Interconnection Issues". *AT&T Technical Journal*, 66(4), July/August 1987.
- [5] Weste N. and Eshraghian K. "Principles of CMOS VLSI Design". Addison-Wesley, 2nd edition, 1993.
- [6] Shoji M. "CMOS digital circuit technology". Prentice-Hall International, 1988.
- [7] Watts R. K., editor. "Submicron Integrated Circuits", chapter 2. John Wiley and Sons, 1989.
- [8] Seitz C. L. "Concurrent VLSI Architectures". *IEEE Trans. on Computers*, C-33(12), December 1984.
- [9] Bilardi G., Pracchi M., and Preparata F. P. "A Critique of Network Speed in VLSI Models of Computation". *IEEE Journal of Solid State Circuits*, 17(4), August 1982.
- [10] Audet D., Savaria Y., and Arel N. "Pipelining Communications in Large VLSI/ULSI Systems". *IEEE Trans. on VLSI Systems*, 2(1), March 1994.
- [11] Neugebauer C. A. and Carlson R. O. "Comparison of Wafer Scale Integration with VLSI Packaging Approaches". *IEEE Trans. on Components, Hybrids and Manufacturing Technology*, 10(2), June 1987.
- [12] Shih M., Kuh E. S., and Tsay R.-S. "System Partitioning for Multi-Chip Modules Under Timing and Capacity Constraints". In *IEEE Multi-Chip Module Conference*, March 1992.

- [13] Gebotys C. H. "An Optimization Approach to the Synthesis of Multichip Architectures". *IEEE Trans. on VLSI Systems*, 2(1), March 1994.
- [14] Moll F. and Rubio A. "Methodology of Detection of Spurious Signals in VLSI Circuits". In *Proc. of European Test Conference*, 1993.
- [15] Rubio A., Itazaki N., Xu X., and Kinoshita K. "An Approach to the Analysis and Detection of Crosstalk Faults in Digital VLSI Circuits". *IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems*, 13(3), March 1994.
- [16] Ramo S., Whinnery J. R., and Van Duzer T. "*Fields and Waves in Communication Electronics*". Wiley and Sons, 2nd edition, 1984.
- [17] Matthaei G. L., Kiziloglu K., Dagi N., and Long S. I. "The Nature of the Charges, Currents, and Fields in and About Conductors Having Cross-Sectional Dimensions of the Order of a Skin Depth". *IEEE Trans. on Microwave Theory and Techniques*, 38(8), August 1990.
- [18] Brews J. R. "Transmission Line Models for Lossy Waveguide Interconnections in VLSI". *IEEE Trans. on Electron Devices*, 33(9), September 1986.
- [19] Hayes T. F. and Barrett J. J. "Modeling of Multiconductor Systems for Packaging and Interconnecting High-Speed Digital IC's". *IEEE Trans. on Computer-Aided Design*, 11(4), April 1992.
- [20] Edwards T. "*Foundations for Microstrip Circuit Design*". Wiley and Sons, 2nd edition, 1992.
- [21] Landau L. D. and Lifshitz E. M. "*Electrodynamics of Continuous Media*". Pergamon, Oxford, 1960.
- [22] Rainal A. J. "Computing Inductive Noise of Chip Packages". *AT&T Bell Laboratories Technical Journal*, 63(1), January 1984.
- [23] Yen C.-S., Fazarinc Z., and Wheeler R. L. "Time-Domain Skin-Effect Model for Transient Analysis of Lossy Transmission Lines". *Proceedings of the IEEE*, 70(7), July 1982.
- [24] DeFalco J. A. "Reflection and Crosstalk in Logic Circuit Interconnections". *IEEE Spectrum*, 7(7), July 1970.
- [25] Bakoglu H. B. "*Circuits, Interconnections and Packaging for VLSI*". Addison-Wesley, 1990.
- [26] Kaupp H. R. "Waveform Degradation in VLSI Interconnections". *IEEE Journal of Solid State Circuits*, 24(4), August 1989.
- [27] Sakurai T. "Approximation of Wiring Delay in MOSFET LSI". *IEEE Journal of Solid State Circuits*, 18(4), August 1983.

- [28] Elmore W. C. "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers". *J. Appl. Phys.*, 19(1), 1948.
- [29] Technology Modeling Associates, Inc. *TMA RAPHAEL Interconnect Analysis Program*, 1992.
- [30] Ho C. W., Chance D. A., Bajorek C. H., and Acosta R. E. "The Thin-Film Module as a High-Performance Semiconductor Package". *IBM J. Res. and Develop.*, 26(3), May 1982.
- [31] Brews J. R. "Overshoot-Controlled RLC Interconnections". *IEEE Trans. on Electron Devices*, 38(1), January 1991.
- [32] Hasegawa H. and Seki S. "Analysis of Interconnection Delay on Very High-Speed LSI/VLSI Chips Using an MIS Microstrip Line Model". *IEEE Trans. on Electron Devices*, 31(12), December 1984.
- [33] Kiziloglu K., Dagli N., Matthaei G. L., and Long S. I. "Experimental Analysis of Transmission Line Parameters in High-Speed GaAs Digital Circuit Interconnects". *IEEE Trans. on Microwave Theory and Techniques*, 39(8), August 1991.
- [34] Goel A.K. and Huang Y.R. "Modelling of Crosstalk among the GaAs-based VLSI Interconnections". *Proceedings of the IEE Part G*, 136(6), December 1989.
- [35] Moll F., Isera E., Sicard E., and Rubio A. "Analysis of Cross-talk Effects On Logic Cell Delays In CMOS Integrated Circuits". In *Proc of the 34th IEEE Midwest Symposium on Circuits and Systems (Monterrey)*, May 1991.
- [36] Roca M., Moll F., and Rubio A. "Design Rules Avoiding Crosstalk in Microelectronic Circuits". In *4th International Workshop on Power and Timing Modelling and Optimization*, 1994.
- [37] Roca M., Moll F., and Rubio A. "Crosstalk Effects Between Metal and Polysilicon Lines in CMOS Integrated Circuits". *IEEE Trans. on Electromagnetic Compatibility*, 36(3), August 1994.
- [38] Gao D. S., Yang A. T., and Kang S. M. "Modeling and Simulation of Interconnection Delays and Crosstalks in High-Speed Integrated Circuits". *IEEE Trans. on Circuits and Systems*, 37(1), January 1990.
- [39] Tripathi V. K. and Buccolo R. J. "Analysis and Modelling of Multilevel Parallel and Crossing Interconnection Lines". *IEEE Trans. on Electron Devices*, 34(3), March 1987.
- [40] Tewksbury S. T., editor. "*Microelectronic System Interconnections*". IEEE Press, 1993.

- [41] Johnson B., Quarles T., Newton A. R., Pederson D. O., and Sangiovanni-Vicentelli A. "*SPICE3 Version 3e User's Manual*". University of California, Dpt. of Electrical Engineering and Computer Sciences. University of California. Berkeley, CA, 94720, 1991.
- [42] Djordjevic A. R., Sarkar T. K., and Harrington F. "Time-Domain Response of Multiconductor Transmission Lines". *Proceedings of the IEEE*, 75(6), June 1987.
- [43] Senthinathan R. and Prince J. L. "Simultaneous Switching Ground Noise Calculation for Packaged CMOS Devices". *IEEE Journal of Solid State Circuits*, 26(11), November 1991.
- [44] Val C. M. and Martin J. E. "A New Chip Carrier for High Performance Applications: Integrated Decoupling Capacitor Chip Carrier (IDCC)". *CHMT*, 6(3), September 1983.
- [45] Smith L.D., Farmer H.R., Kunesh M., Massetti M.A., Willmott D., Hedman R., Richetta R., and Schmerbeck T.J. "A CMOS-Based Analog Standard Cell Product Family". *IEEE Journal of Solid State Circuits*, 24(2), April 1989.
- [46] Saraswat K. C. and Mohammadi F. "Effect of Scaling of Interconnections on the Time Delay of VLSI Circuits". *IEEE Journal of Solid State Circuits*, 17(2), April 1982.
- [47] Yuan H.-T., Lin Y.-T., and Chiang S.-Y. "Properties of Interconnection on Silicon, Sapphire, and Semi-Insulating Gallium Arsenide Substrates". *IEEE Journal of Solid State Circuits*, 17(2), April 1982.
- [48] Seki S. and Hasegawa H. "Analysis of Crosstalk in Very High-Speed LSI/VLSI Using a Coupled Multiconductor MIS Microstrip Model". *IEEE Trans. on Electron Devices*, 31(12), December 1984.
- [49] Hasegawa H., Furukawa M., and Yanai H. "Properties of Microstrip on Si-SiO₂ System". *IEEE Trans. on Microwave Theory and Techniques*, 19(11), November 1971.
- [50] Matthaei G. L., Shu J. C.-H., and Long S. I. "Simplified Calculation of Wave-Coupling Between Lines in High-Speed Integrated Circuits". *IEEE Trans. on Circuits and Systems*, 37(10), October 1990.
- [51] Cressler J. D., Warnock D. L., Harame D. L., Burghartz J. N., Jenkins J. A., and Chuang C.-T. "A High-Speed Complementary Silicon Bipolar Technology with 12-fJ Power-Delay Product". *IEEE Electron Device Letters*, 14(11), November 1993.
- [52] Izawa T., Watanabe K., and Kawamura S. "21-ps 0.1- μ m CMOS Devices Operating at Room Temperature". *IEEE Electron Device Letters*, 14(11), November 1993.

- [53] Silvester P. and Benedek P. "Microstrip Discontinuity Capacitances for Right-Angle Bends, T Junctions, and Crossings". *IEEE Trans. on Microwave Theory and Techniques*, 21(5), May 1973.
- [54] Seraphim D. P., Lasky R., and Li C.-Y. "Principles of Electronic Packaging". McGraw-Hill, 1989.
- [55] Jr. Blodgett A. J. "Microelectronic Packaging". *Scientific American*, 249, July 1983.
- [56] Terasawa M., Minami S., and Rubin J. "A Comparison of Thin Film, Thick Film, and Co-Fired High Density Ceramic Multilayer with the Combined Technology: T&T HDCM (Thin Film and Thick Film High Density Ceramic Module)". *The Int. Journal for Hybrid Electronics*, 6(1), 1983.
- [57] Davidson E. E., Hardin P. W., Katopis G. A., Nealon M. G., and Wu L. L. "The Design of the ES/9000 Module". *IEEE Trans. on Components, Hybrids and Manufacturing Technology*, 14(4), December 1991.
- [58] Frye R. C. "Physical Scaling and Interconnection Delays in Multichip Modules". *IEEE Trans. on Components, Packaging and Manufacturing Technology Part B: Advanced Packaging*, 17(1), February 1994.
- [59] Davidson E. E. "Electrical Design of a High Speed Computer Package". *IBM J. Res. Develop.*, 26(3), May 1982.
- [60] Quint D. W., Aziz A., Kaw R., and Perezalonso F. J. "Measurement of R, L, and C Parameters in VLSI Packages". *Hewlett-Packard Journal*, October 1990.
- [61] Vidano R. P., Cummings J. P., Jensen R. J., Walters W. L., and Helix M. J. "Technology and Design for High Speed Digital Components in Advanced Applications". In *33rd Electronic Components Conference*, 1983.
- [62] Katopis G. A. "Delta-I Noise Specification for a High-Performance Computing Machine". *Proceedings of the IEEE*, 73(9), September 1985.
- [63] Djordjevic A. R. and Sarkar T. K. "An Investigation of Delta-I Noise on Integrated Circuits". *IEEE Trans. on Electromagnetic Compatibility*, 35(2), May 1993.
- [64] Aksun M. I. and Mittra R. "Spurious Radiation from Microstrip Interconnects". *IEEE Trans. on Electromagnetic Compatibility*, 35(2), May 1993.
- [65] Becker W. D. and Mittra R. "FDTD Modeling of Noise in Computer Packages". *IEEE Trans. on Components, Packaging and Manufacturing Technology Part B: Advanced Packaging*, 17(3), August 1994.
- [66] Das C. *Eurochip Assembly Rules*. EUROCHIP, 1992.

- [67] Kamon M. "Efficient Techniques for Inductance Extraction of Complex 3-D Geometries". Master's thesis, Massachusetts Institute of Technology, 1994.
- [68] Senthinathan R. and Prince J. L. "Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise". *IEEE Journal of Solid State Circuits*, 28(12), December 1993.
- [69] Rainal A. J. "Eliminating Inductive Noise of External Chip Interconnections". *IEEE Journal of Solid State Circuits*, 29(2), February 1994.
- [70] McCluskey E. J. "*Logic Design Principles*". Prentice-Hall International, 1988.
- [71] Unger S. H. and Tan C.-J. "Clocking Schemes for High-Speed Digital Systems". *IEEE Trans. on Computers*, C-35(10), October 1986.
- [72] Kleeman L. and Cantoni A. "Metastable Behavior in Digital Circuits". *IEEE Design and Test of Computers*, December 1982.
- [73] Burns J. R. "Switching Response of Complementary Symmetric MOS Transistor Logic Circuits". *RCA Review*, December 1964.
- [74] Hedenstierna N. and Jeppson K. O. "CMOS Circuit Speed and Buffer Optimization". *IEEE Trans. on Computer-Aided Design*, CAD-6(2), March 1987.
- [75] Moll F., Roca M., Marche D., and Rubio A. "Detectability of Spurious Signals with Limited Propagation in Combinational Circuits". In *IEEE 3rd Asian Test Symposium*, November 1994.
- [76] Fujiwara H. "*Logic Design and Design for Testability*". The MIT Press, 1985.
- [77] Roca M. "*Aportación al estudio de fallos binodales en circuitos microelectrónicos*". PhD thesis, Universitat de les Illes Balears, July 1994.
- [78] Sicard E. and Rubio A. "Analysis of Crosstalk Interferences in CMOS Integrated Circuits". *IEEE Trans. on Electromagnetic Compatibility*, 36(5), May 1992.
- [79] Goel P. "An implicit enumeration algorithm to generate tests for combinational logic circuits". *IEEE Trans. on Computers*, C-30(3), March 1981.
- [80] Goldstein L. "Controlability/observability analysis of digital circuits". *IEEE Trans. on Circuits and Systems*, 1979.
- [81] Brglez F. and Fujiwara H. "A neutral netlist of 10 combinational benchmark circuits and a target translator in Fortran". In *International Symposium on Circuits and Systems*, June 1985.
- [82] Rubio A., Pons J., and Anglada R. "A Crosstalk Tolerant Latch Circuit". *IEE Proceedings on Circuits, Devices and Systems*, 38(1), February 1992.
- [83] Moll F. "Estudi de la propagació de senyals espuris en circuits microelectrònics combinacionals CMOS". Master's thesis, Universitat de les Illes Balears, September 1991.

