



UNIVERSITAT POLITÈCNICA DE CATALUNYA
Departament d'Enginyeria Electrònica

CARACTERITZACIÓ ELÈCTRICA DE CIRCUITS CMOS
DIGITALS AMB DEFECTES TIPUS PONT:
IMPLICACIONS AL TEST PER CORRENT QUIESCENT

Memòria per a obtenir el títol
de doctora en ciències de:

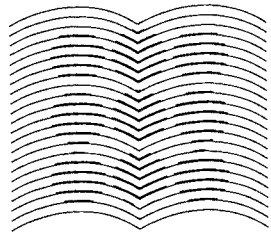
Rosa Rodríguez i Montañés

Director:

Joan Figueras i Pàmies

Desembre 1992

UNIVERSITAT
POLITÈCNICA
DE CATALUNYA



BIBLIOTECA
EX-LIBRIS

Als meus pares,
a l'Àngel,

... per la vostra generositat i alegria.

Agraïments:

Voldria expressar el meu agraïment a tot el que, d'una forma o altra, ha col.laborat en la realització d'aquesta tesi, i molt especialment:

Al meu director de tesi, Dr. Joan Figueras, per la seva guia i suport durant tot el desenvolupament del treball, sense oblidar la seva bona disposició, en tot moment, per a qualsevol discussió tècnica.

També voldria agrair al Dr. Antonio Rubio els seus suggeriments, sempre encisadors.

Al Víctor i al Jaume, companys en el mateix viatge, perquè sens dubte, el ritme ha resultat més fàcil de seguir amb ells al costat.

A l'Eric Bruls (National Labs. de Philips) agrair-li el treball que hem realitzat junts en relació a les estructures de test VMX. A en Keith Baker i en Frans Beenker (National Labs. de Philips, Eindhoven) agrair-les el recolzament i suport donats durant tot el treball realitzat sobre les estructures de test abans esmentades.

Al Prof. C. Hawkins, de la Universitat de New Mexico, pel seu recolzament a la metodologia experimental per a la modelació de defectes realistes emprada en aquesta tesi.

No podria pas oblidar-me dels companys del Departament d'Enginyeria Electrònica que, en tot el possible, han facilitat la meva tasca investigadora. En especial, en Toni, l'administrador de sistema del DEE, per haver fet més lleuger el maneig de les estacions de treball utilitzades en la recerca.

Voldria també, agrair al servei de microscopia electrònica del departament de metal.lúrgia de l'ETSEIB la seva ajuda en la visualització dels monitors estudiats. Sobretot, a na Montse Marsal per la seva professionalitat i "pacient vista".

A la Isabel voldria agrair-li el seu cop de mà en l'edició d'una part de la tesi i les "discussions tècniques" amb ella tingudes.

Voldria, finalment, recordar que aquest treball ha estat possible, en part, gràcies a la Comisión Interministerial para la Ciencia y Tecnología (C.I.C.Y.T.), projecte No TIC 2624; al projecte ARCHIMEDES (Programa ESPRIT III BRA, No 7107), al projecte EVEREST (Programa ESPRIT 2318) i a EUROCHIP.

Índex

1	Introducció	1
1.1	Objectius	2
1.2	Estructura de la tesi	3
2	Els ponts	5
2.1	Modelació dels ponts	6
2.1.1	Model clàssic dels ponts emprant el model stuck-at	7
2.1.2	Model "wired" o cablejat	8
2.1.3	Models a nivell d'interruptor	10
2.1.4	Model voting	11
2.1.5	Model curt circuit de llarg abast	13
2.1.6	Model elèctric resistiu	13
2.2	Test de corrent quiescent (I_{DDQ})	15
2.2.1	Monitorització del corrent	17
3	Mesures de la resistència dels ponts d'un procés pilot CMOS	19
3.1	Modelació dels ponts resistius	19
3.2	Estructura monitor VMX	20
3.3	Classificació dels mòduls defectuosos	22
3.4	Estimació de la resistència dels ponts	29
3.4.1	Primera topologia. Ponts simples pinta/ziga-zaga	30
3.4.2	Segona topologia. Ponts dobles	34

3.5	Probabilitats de les topologies considerades	39
3.5.1	Relació de probabilitats entre ponts simples i compostos	44
3.6	Mesures experimentals de ponts entre metall i metall	47
3.7	Anàlisi dels errors	47
3.8	Resultats sobre ponts Metall-Metall	51
3.8.1	Ponts simples pinta/ziga-zaga	52
3.8.2	Ponts dobles	54
3.8.3	Anàlisi conjunta dels ponts	55
3.9	Anàlisi espectroscòpica	57
3.10	Inspecció visual	58
3.11	Conclusions	59
4	Detecció: test de voltatge i test de corrent	65
4.1	Caracterització de tensions i corrents en circuits amb defectes tipus pont .	66
4.1.1	Comportament elèctric en presència de ponts	68
4.1.2	Caracterització del Subdomini Analògic del Defecte (SAD)	70
4.1.3	Caracterització del Subdomini Analògic de Penetració (SAP)	73
4.2	Detecció dels ponts	75
4.2.1	Ponts externs no realimentats	76
4.2.2	Ponts externs realimentats	87
4.2.3	Ponts interns no realimentats	97
4.3	Detecció de ponts pel test de corrent front el test de tensió	100
4.4	Cobertura de ponts en portes bàsiques CMOS al fer test de corrent amb vectors generats per als stuck-at amb condicions addicionals d'observabilitat	100
4.4.1	Ponts externs a una porta complementària Nand o Nor	101
4.4.2	Ponts interns a una porta Nand o Nor	103
4.5	El conjunt de test és mínim	107
4.6	Conclusions	108

5	Caracterització d'I_{DDQ} en mòduls bàsics combinacionals	109
5.1	L'inversor	109
5.1.1	Subdomini Analògic de Penetració	111
5.1.2	Subdomini Analògic del Defecte	114
5.2	La porta Nand	126
5.2.1	Subdomini Analògic de Penetració	127
5.2.2	Subdomini Analògic del Defecte	127
5.3	La porta Nor	132
5.4	Eina CUTLAB	132
5.5	Conclusions	134
6	Caracterització d'I_{DDQ} en mòduls bàsics seqüencials	135
6.1	Cel.la de memòria estàtica	135
6.1.1	La cel.la defectuosa	136
6.2	Biestable scan	148
6.2.1	La cel.la scan defectuosa	149
6.2.2	Testabilitat lògica front la testabilitat I_{DDQ}	155
6.3	Conclusions	157
7	Conclusions i futur treball	159
A	Classificació dels "wafers"	163
A.1	Planta de Caen	163
A.2	Planta d'Hamburg	164
B	Anàlisi visual dels ponts	175
B.1	Ponts altament resistius	175
B.2	Ponts múltiples	175
	Bibliografia	181

Índex de Figures

2.1	<i>Exemple d'ineficàcia de descripció del model stuck-at (defecte a nivell de transistor)</i>	8
2.2	<i>Manca de correspondència entre el diagrama a) elèctric i b) lògic de portes MOS</i>	8
2.3	<i>Modelació wired del pont que connecta els nodes A i B</i>	9
2.4	<i>Pont no modelable amb els models cablejats</i>	10
2.5	<i>Model voting d'un pont entre un inversor i una porta Nand</i>	12
2.6	<i>Règims del model voting per un inversor i una Nand [ACK88]</i>	12
3.1	<i>Esquema d'un mòdul pinta/ziga-zaga/pinta [BRU91]</i>	21
3.2	<i>Detall de la distribució dels pads S_2, S_3 i S_4</i>	22
3.3	<i>Distribució del tres mòduls en un monitor VMX [BRU91]</i>	23
3.4	<i>Exemple de variació (disminució) de N_e respecte de N</i>	25
3.5	<i>Exemple de càlcul del paràmetre CC</i>	27
3.6	<i>Exemple de pont amb $S \ll 1$</i>	29
3.7	<i>Dimensions màxima i mínima de les taques causants dels ponts entre una pinta i la ziga-zaga</i>	30
3.8	<i>Topologies possibles pels ponts entre una pinta i la ziga-zaga</i>	32
3.9	<i>Figura anterior amb la modelació dels ponts entre una pinta i la ziga-zaga</i> .	32
3.10	<i>Modelació d'un pont simple entre una pinta i la ziga-zaga</i>	33
3.11	<i>Topologia dels ponts dobles que connecten la ziga-zaga amb les dues pintes alhora</i>	34
3.12	<i>Topologia dels ponts dobles</i>	35

3.13	<i>Possibles topologies dels ponts dobles</i>	36
3.14	<i>Cas particular dels ponts dobles: pont simple pinta a pinta</i>	38
3.15	<i>Estructura repetitiva considerada per al càlcul de la probabilitat d'aparició d'un pont simple</i>	39
3.16	<i>Superfície tancada en el pla (centre, diàmetre) on una taca pot crear ponts simples</i>	41
3.17	<i>Dimensionat màxim i mínim de les taques que causen un pont compost</i> . .	42
3.18	<i>Superfície tancada en el pla (centre, diàmetre) on una taca pot crear ponts compostos</i>	43
3.19	<i>Dimensionat per a les taques que creen ponts entre la pinta 1 i la ziga-zaga inferior de l'estructura</i>	45
3.20	<i>Superfícies tancades en el pla (centre, diàmetre) on dues taques poden crear ponts dobles</i>	46
3.21	<i>Monitors C1DM classificats (planta de Caen)</i>	52
3.22	<i>Monitors mesurats en Philips (planta de Caen)</i>	53
3.23	<i>R_b mesurades (planta de Caen)</i>	54
3.24	<i>Monitors classificats (planta d'Hamburg)</i>	55
3.25	<i>R_b mesurades (planta d'Hamburg)</i>	56
3.26	<i>R_b mesurades (planta d'Eindhoven)</i>	57
3.27	<i>Ampliació de la zona de R_b elevades (planta d'Eindhoven)</i>	58
3.28	<i>R_b mesurades 2S (planta d'Hamburg)</i>	59
3.29	<i>R_b mesurades 2S (planta d'Eindhoven)</i>	60
3.30	<i>Resultats de les R_b i llurs intervals d'incertesa mesurats</i>	60
3.31	<i>Ampliació dels resultats de les R_b diferents de zero</i>	61
3.32	<i>Histograma basat en l'extrem superior de l'interval d'incertesa</i>	61
3.33	<i>Histograma basat en l'extrem inferior de l'interval d'incertesa</i>	62
3.34	<i>Anàlisi espectroscòpica d'un pont a) baixament resistiu i b) altament resistiu</i> 62	
3.35	<i>Fotografies del pont a) baixament resistiu i b) altament resistiu de la Figura anterior</i>	63

4.1	<i>Exemple d'il·lustració de les components de corrent causades per un pont a la sortida del primer mòdul</i>	69
4.2	<i>DA i DD dins d'un circuit defectuós [BAL91]</i>	70
4.3	<i>Identificació de les MC corresponents a dos circuits senzills</i>	71
4.4	<i>SAD de la classe A</i>	72
4.5	<i>SAD de la classe B</i>	72
4.6	<i>SAD de la classe C</i>	73
4.7	<i>Pont no realimentat entre el node a i b</i>	77
4.8	<i>Rang de voltatges en els nodes curt circuitats, a i b, quan el mòdul G_a és dominant, amb $E(G_a) = 1$ com a exemple</i>	79
4.9	<i>Rang possible de voltatges en els nodes curt circuitats, a i b, quan cap mòdul és dominant amb $E(G_a) = 1$ i $E(G_b) = 0$</i>	81
4.10	<i>Camí de corrent (ponts externs)</i>	82
4.11	<i>Estructura sèrie de xarxa n i p de màxim corrent</i>	83
4.12	<i>Estructura de xarxa n connectada a alimentació corresponent al màxim corrent quiescent (similar per la xarxa p amb terra)</i>	84
4.13	<i>Estructura sèrie de xarxa n i p de mínim corrent</i>	85
4.14	<i>Pont realimentat entre el node a i b</i>	87
4.15	<i>Circuit amb un pont realimentat</i>	91
4.16	<i>Esquema general d'un pont realimentat que travessa un nombre senar d'inversions</i>	92
4.17	<i>Funció concatenació de les funcions inversores dels mòduls que hi ha dins del camí del pont realimentat</i>	92
4.18	<i>Funció inversora límit</i>	93
4.19	<i>Cadena de $2k + 1$ inversors amb un pont realimentat entre l'entrada i la sortida de la cadena</i>	94
4.20	<i>Oscil·lacions de les cadenes de 5, 7, 9 i 11 inversors iguals amb un pont de resistència nul·la realimentant la sortida amb l'entrada</i>	95
4.21	<i>Model simplificat per l'inversor en petit senyal</i>	95
4.22	<i>Valors de c_g i r_d front la tensió d'entrada de l'inversor</i>	96

4.23	<i>Freqüències d'oscil·lació de les cadenes d'inversors realimentades amb un pont de resistència nul·la</i>	96
4.24	<i>Freqüències d'oscil·lació de les cadenes d'inversors realimentades amb un pont de resistència R_b</i>	96
4.25	<i>Ponts interns en una mateixa xarxa</i>	97
4.26	<i>Ponts entre xarxes de diferents mòduls</i>	98
4.27	<i>Camí de corrent pels ponts entre nodes interns</i>	99
4.28	<i>a) Curt circuit $S-V_{DD}$ i b) Curt circuit $S-Gnd$</i>	102
4.29	<i>a) Curt circuits entre nodes interns i alimentació i b) Curt circuits entre nodes interns i terra</i>	104
4.30	<i>Pont entre els nodes interns i la sortida</i>	105
4.31	<i>Pont entre els nodes interns</i>	106
5.1	<i>Circuit elèctric de la cadena de tres inversors en tecnologia CMOS</i>	110
5.2	<i>Layout dels tres dimensionats considerats pels inversors</i>	110
5.3	<i>Layout dels tres inversors</i>	111
5.4	<i>Layout dels tres inversors amb llurs pads</i>	112
5.5	<i>Característiques de transferència (voltatge i corrent) obtingudes amb SPICE i experimentalment per a inversors de diferents amplades mantenint $W_p=2W_n$ i $L_n=L_p=2\mu m$</i>	113
5.6	<i>Ponts possibles en un inversor</i>	115
5.7	<i>Camí de corrent creat pel pont $N_o - V_{DD}$</i>	116
5.8	<i>Tensió de sortida i consum de corrent vs R_b generats en un inversor de dimensions mínimes amb $N_o - V_{DD}$ segons les expressions de Sah i les simulacions SPICE nivell 1</i>	116
5.9	<i>Tensió de sortida i consum de corrent vs R_b generats en un inversor amb $N_o - V_{DD}$ segons dades experimentals i simulacions SPICE niv.2</i>	118
5.10	<i>Camí de corrent creat pel pont $N_o - Gnd$</i>	119
5.11	<i>Tensió de sortida i consum de corrent vs R_b segons dades experimentals i simulacions SPICE niv.2 per l'inversor amb el pont $N_o - Gnd$</i>	120

5.12	<i>Camins de corrent pels ponts entre el node d'entrada de l'inversor mig de la cadena i els nodes d'alimentació</i>	121
5.13	<i>Voltatges a) d'entrada i sortida de l'inversor defectuós de la cadena i b) voltatge de sortida de la cadena amb l'inversor mig afectat d'un pont $N_i - V_{DD}$</i>	122
5.14	<i>Dependència amb la porta manadora, del camí de corrent estàtic en el SAD de classe B, en un inversor amb el pont $N_i - N_o$</i>	123
5.15	<i>Model en petit senyal de l'inversor realimentat</i>	123
5.16	<i>Resposta en tensió de l'inversor mig afectat d'un pont entrada-sortida . . .</i>	124
5.17	<i>Resposta en tensió de la cadena de tres inversors amb el mitjà afectat d'un pont entrada-sortida</i>	125
5.18	<i>Resposta en corrent de la cadena de tres inversors amb el mitjà afectat d'un pont entrada-sortida</i>	125
5.19	<i>Detall de la resposta en corrent de la cadena de tres inversors amb el central afectat d'un pont entrada-sortida</i>	125
5.20	<i>a) Layout i b) esquema elèctric de la porta Nand en tecnologia CMOS . . .</i>	126
5.21	<i>V_{out} i I_{DDQ} en funció de V_{in1}, amb V_{in2} com a paràmetre</i>	127
5.22	<i>V_{out} i I_{DDQ} en funció de V_{in2}, amb V_{in1} com a paràmetre</i>	127
5.23	<i>Camins de corrent pels ponts de la Classe A</i>	129
5.24	<i>Corbes corresponents a la cota màxima i mínima dels ponts del SAD de classe A per a la porta Nand</i>	130
5.25	<i>Corbes experimentals corresponents a la cota màxima i mínima dels ponts del SAD de classe A per a la porta Nand</i>	130
5.26	<i>Camins de corrent pels ponts de la Classe B</i>	131
5.27	<i>Corbes del corrent quiescent pels ponts de la Classe B</i>	131
5.28	<i>Corbes del corrent quiescent pels ponts de la Classe B extrems corresponents a la Figura anterior</i>	132
5.29	<i>Camí de corrent pel pont de la classe C</i>	133
5.30	<i>Layout d'una porta Nor alimentada per un inversor</i>	133
6.1	<i>Esquema elèctric de la cel.la (cortesia de MATRA M.H.S.)</i>	136

6.2	<i>Layout de la cel.la (cortesia de MATRA M.H.S.)</i>	137
6.3	<i>Ponts independents a la circuiteria externa a l'estructura bàsica</i>	138
6.4	<i>Estructura bàsica de la cel.la defectuosa amb el pont $N_1 - N_2$</i>	139
6.5	<i>Model en petit senyal de la cel.la defectuosa</i>	140
6.6	<i>Graf corresponent al flux de senyal de la cel.la defectuosa on es considera que l'entrada v_n de soroll és nul.la</i>	140
6.7	<i>Resultat de les simulacions de la fase d'escriptura i la fase de memorització corresponent per a la cel.la amb el pont entre N_1 i N_2</i>	142
6.8	<i>Resultats de tensió i de corrent de les simulacions SPICE per a la cel.la amb el pont $N_1 - V_{DD}$ tant en la fase d'escriptura (a) i c)) com en la fase de memorització (b) i d))</i>	143
6.9	<i>Il.lustració dels ponts pertanyents al primer subgrup de ponts externs a l'estructura bàsica</i>	145
6.10	<i>Il.lustració dels ponts pertanyents al segon subgrup de ponts externs a l'estructura bàsica</i>	145
6.11	<i>Esquema lògic de la cel.la scan (ES2 ECPD15&ECPD12 Library Databook)</i>	148
6.12	<i>Esquema elèctric de la cel.la (ES2 ECPD15&ECPD12 Library Databook)</i>	149
6.13	<i>Layout del biestable scan</i>	150
6.14	<i>Layout de la cel.la (cortesia d'ES2) amb un defecte connectant l'entrada A amb \overline{SEL}</i>	150
6.15	<i>Comportament de la cel.la scan defectuosa [BAL92]</i>	152
6.16	<i>Ponts no detectables per l'elevació dels corrent, però sí detectables per l'observació dels voltatges</i>	154
6.17	<i>Estructura realimentada dels ponts no detectables pel test de corrent</i>	155
6.18	<i>Funcions de transferència de la realimentació involucrada en la cel.la amb el pont $\bar{C} - N_{21}$</i>	156
6.19	<i>Funcions de transferència de la realimentació involucrada en la cel.la amb el pont $N_{21} - V_{DD}$</i>	156
6.20	<i>Funcions de transferència de la realimentació involucrada en la cel.la amb el pont $N_{21} - Gnd$</i>	157

A.1	<i>Monitors C2XX classificats (planta de Caen)</i>	163
A.2	<i>Monitors C2DM classificats (planta de Caen)</i>	164
A.3	<i>Classificació del primer wafer de la planta d'Hamburg</i>	165
A.4	<i>Classificació del segon wafer de la planta d'Hamburg</i>	166
A.5	<i>Classificació del tercer wafer de la planta d'Hamburg</i>	167
A.6	<i>Classificació del quart wafer de la planta d'Hamburg</i>	168
A.7	<i>Classificació del cinquè wafer de la planta d'Hamburg</i>	169
A.8	<i>Classificació del sisè wafer de la planta d'Hamburg</i>	170
A.9	<i>Classificació del setè wafer de la planta d'Hamburg</i>	171
A.10	<i>Classificació del vuitè wafer de la planta d'Hamburg</i>	172
A.11	<i>Classificació del novè wafer de la planta d'Hamburg</i>	173
B.1	<i>Fotografia d'un pont d'alumini de resistència elevada</i>	176
B.2	<i>Fotografia d'un pont d'alumini de resistència elevada</i>	176
B.3	<i>Fotografia d'un pont d'alumini de resistència elevada</i>	177
B.4	<i>Fotografia d'un pont d'alumini de resistència elevada</i>	177
B.5	<i>Fotografia d'un pont d'alumini de resistència elevada</i>	178
B.6	<i>Fotografia d'un pont múltiple d'alumini</i>	178
B.7	<i>Fotografia de tres ponts en un mateix circuit monitor</i>	179

Índex de Taules

3.1	<i>Paràmetres de disseny dels mòduls del monitor VMX [BRU91]</i>	22
3.2	<i>Valors dels paràmetres per a ponts entre una pinta i la ziga-zaga</i>	31
3.3	<i>Valors dels paràmetres per a ponts dobles</i>	35
3.4	<i>Distribució dels ponts simples segons el límit superior de l'interval d'incertesa</i>	56
3.5	<i>Distribució dels ponts simples segons el límit inferior de l'interval d'incertesa</i>	57
4.1	<i>Classes de SAD causades per un pont en circuits combinacionals o seqüencials CMOS</i>	71
4.2	<i>Possibles ponts en una porta complementària</i>	101
5.1	<i>Dimensions dels transistors considerats</i>	111
5.2	<i>Resultats teòrics, simulats i experimentals del corrent de pic d'I_{DDQ} pels inversors considerats</i>	112
5.3	<i>Classificació dels ponts dins la porta Nand segons el SAD creat</i>	126
6.1	<i>Classificació dels ponts probables dins l'estructura bàsica de MATRA M.H.S.</i>	137
6.2	<i>Comportament lògic del SFF</i>	148
6.3	<i>Llista dels resultats de l'IFA realitzat sobre la cel.la</i>	151
6.4	<i>Nombre de defectes entre els mòduls</i>	151
6.5	<i>Resultats de la detecció dels ponts que afecten la part combinacional del biestable</i>	153
6.6	<i>Resultats de la detecció dels ponts que afecten als circuits de control únicament</i>	153
6.7	<i>Resultats de la detecció dels ponts que afecten al subcircuit seqüencial</i> . . .	154

Llista de símbols

- β Factor de localització d'un pont sobre un circuit monitor
- β_x ($x=1,2$) Factors de localització sobre els dits de la Pinta 1 i 2, respectivament, en els monitors amb ponts dobles
- β_n Paràmetre de transconductància d'un transistor de canal n
- β_p Paràmetre de transconductància d'un transistor de canal p
- φ i ψ Funcions d'estat i sortida d'un circuit realimentat
- (a) Estat lògic del node a
- c Localització del centre d'una taca
- C_b Component capacitiva de la impedància d'un pont
- CC Paràmetre utilitzat en la classificació dels circuits monitors
- C_x ($x=1,2$) Pad connectat a la pinta x d'un circuit monitor VMX
- d Diàmetre d'una taca
- DA Domini Analògic d'un circuit
- DD Domini Digital d'un circuit
- e_{M_x} Error comès en el mesurament M_x
- $e_{R_{b_x}}$ Error produït en el càlcul d' R_{b_x}
- $E(G_x)$ Esforç d'un mòdul conductor, sobre el node conduït x
- F_M *Fan-in* màxim d'una tecnologia
- G_a Mòdul conductor del node a
- Gnd Node de terra d'un circuit CMOS
- I_{DDQ} Corrent quiescent
- I_{DDQR_b} Corrent quiescent que travessa R_b
- I_o Corrent mínima mesurable en el test per corrent quiescent

-
- L Longitud de les línies d'un circuit monitor VMX
- L_b Component inductiva de la impedància d'un pont
- $L(x)$ Interpretació lògica del senyal x
- MC Malla connectada als nodes d'alimentació
- M_{XY} Mesurament de la resistència existent en el camí entre el pad X i el pad Y
- N Nombre de línies d'un circuit monitor
- N_e Paràmetre utilitzat en la classificació dels circuits monitors
- N_i Node i
- P_c Probabilitat d'aparició d'un pont compost
- P_{cx} Probabilitat d'aparició d'un pont compost en la pinta x
- P_d Probabilitat d'aparició d'un pont doble
- P_n Nombre de transistors n connectats en paral·lel dins d'una xarxa de branca única
- P_p Nombre de transistors p connectats en paral·lel dins d'una xarxa de branca única
- P_s Probabilitat d'aparició d'un pont simple
- P_{sx} Probabilitat d'aparició d'un pont simple en la pinta x
- R_{A-C_x} Resistència del punt de contacte A fins al pad de la pinta x
- R_b Resistència d'un defecte tipus pont
- R_{bx} ($x=1, 2$) Contribució a la resistència d'un pont
- R_c Resistència de contacte entre el circuit mesurat i l'aparell de mesura
- R_{cr} Resistència crítica del pont a partir de la qual el funcionament lògic presenta un canvi
- $R_{C_x f S_y}$ Resistència de fuites entre els pads C_x i S_y
- $R_{C_x-S_1 S_2}$ Mesura de la resistència entre la pinta x i la ziga-zaga amb els pads S_1 i S_2 curts circuitats

-
- R_{dit} Resistència d'un dit o secció de la ziga-zaga
 R_{on} Resistència equivalent d'un transistor MOS en la zona òhmica
 R_s Resistència d'una secció de la ziga-zaga
 R_{XY} Resistència existent entre el pad X i Y d'un circuit monitor VMX
 $R_{ziga-zaga}$ Resistència de la ziga-zaga
 S Espaiat entre les línies d'un circuit monitor VMX
 \vec{S} Vector d'estat d'un sistema seqüencial
 \vec{S}_D Vector d'estat d'un sistema seqüencial defectuós
 SAD Subdomini Analògic del Defecte d'un circuit
 SAP Subdomini Analògic de Penetració d'un circuit
 S_n Nombre de transistors de canal n connectats en sèrie dins d'una xarxa de branca única
 S_p Nombre de transistors de canal p connectats en sèrie dins d'una xarxa de branca única
 V_α i V_γ Acotaments de les tensions de drenador-sortidor i porta-sortidor per al càlcul de la cota mínima de corrent per a transistors n i p connectats en sèrie
 S_x ($x=1,2,3,4$) Pad x d'un circuit monitor VMX
 V_{DD} Node d'alimentació positiva d'un circuit CMOS
 V_i Voltatge en el node N_i
 V_{iLA} i V_{iHA} Marges de sorroll d'entrada a la porta A
 V_{ss} Node d'alimentació negativa d'un circuit
 V_{Tn} i V_{Tp} Tensions llindars d'un transistor de canal n i p , respectivament
 W Amplada de les línies d'un circuit monitor VMX
 w Freqüència d'oscil·lació
 Z_b Impedància d'un pont
 Zz Ziga-zaga d'un circuit monitor

Capítol 1

Introducció

En les darreres tres dècades l'evolució en el test de circuits integrats ha estat notable. Els primers mètodes de verificació començaren al voltant dels anys seixanta amb els circuits de petita escala d'integració (*SSI, Small Scale Integration*). Aquests circuits constaven de poques portes d'escassa complexitat i des dels pins dels seus encapsulats se podia accedir, gairebé directament, a quasi tots els nodes interns. Aleshores, els xips eren excitats amb un reduït nombre de vectors d'entrada (*input patterns*) que, sovint, eren suficients per a cobrir la taula de veritat. Així, el seu funcionament era sotmès a una verificació exhaustiva. Tanmateix, aquesta metodologia de verificació va trobar problemes en créixer el nivell d'integració cap a *LSI, (Large Scale Integration)*, on els circuits estaven formats per un nombre elevat de portes. En aquests nivells d'integració, un circuit combinacional amb n entrades necessitava d'un conjunt de vectors d'entrada de 2^n elements per a la seva comprovació exhaustiva que, tot i amb velocitats de generació elevades, resultava temporalment inviable [FUJ85]. Per circuits seqüencials el problema encara s'agreuja més en haver de considerar la riquesa introduïda pel conjunt d'estats interns del circuit. El nombre de vectors de test necessaris per al test d'un circuit seqüencial és de l'ordre de 2^{n+m} , on n continua essent el nombre d'entrades a l'estructura, mentre m representa el nombre d'elements de realimentació dins del circuit [HAW89]. Fins i tot, per a circuits d'estructura particular, com una memòria, cal considerar la commutació de les cel·les veïnes a la cel·la que es vol verificar. Tot això, fa que la verificació exhaustiva de circuits ja siguin combinacionals o seqüencials, requereixi un temps, en la pràctica, inviable.

Degut a aquesta impossibilitat de realitzar una verificació exhaustiva dels circuits, es van buscar alternatives en la detecció dels circuits defectuosos. A començament de la dècada dels seixanta es van proposar *models* per a descriure simplificadament les fallades introduïdes pels defectes per tal de poder provocar, intel·ligentment des de l'exterior

del circuit, el comportament defectuós. Aquestes primeres descripcions simplificadores o *models* varen basar-se en la caracterització lògica a nivell de porta dels funcionaments defectuosos. El *model* d'aquesta naturalesa més destacable, sens dubte, sobre tots els altres, és el *model stuck-at*, originalment proposat per Eldred [ELD59]. És un *model* molt general que, tot i que és bastant senzill d'aplicar, darrerament ha deixat palesa la poca precisió que ofereix a l'hora de descriure els comportaments causats pels defectes [WAD78], [GAL80], [MAL86].

En la recerca de *models* més realistes s'ha teoritzat i experimentat per tal de conèixer els mecanismes reals que provoquen els defectes. Ha estat amb aquest apropament a la realitat física del mecanisme de defecte que ha destacat la presència d'un tipus entre ells, l'anomenat *pont*. Aquest tipus de defecte és el més freqüent en tecnologies CMOS actuals [GAL80], [SHE85], [MAL88b], [FER88]. Molts esforços s'han dirigit a la recerca d'un *model* acurat, i a l'hora senzill d'aplicar per la detecció dels *ponts* en circuits digitals. Des de llavors, molts han estat els treballs investigant noves modelacions cada cop més realistes pels *ponts*, tant a nivell lògic com elèctric.

La modelació dels *ponts* de res no serviria si no fos acompanyada d'una estratègia d'aplicació per a llur detecció en circuits defectuosos. Molts són els mètodes proposats per a l'assoliment d'aquests objectius, passant per l'observació de tensió fins l'observació d'altres paràmetres físics com poden ser elèctrics, de calor, òptics, etcètera. El primer d'ells, la detecció per vigilància del voltatge, ha estat el més utilitzat sobretot acompanyant a modelacions clàssiques basades en el *stuck-at* [FRI74], [MEI74]. Durant la darrera dècada, acompanyant a modelacions realistes, tant dels *ponts* com d'altres defectes, ha destacat la proposta de mètodes de test mitjançant l'observació d'un paràmetre elèctric estàtic, el corrent quiescent o I_{DDQ} [LEV81], [ACK83], [HAW86], [MAL90].

1.1 Objectius

Aquesta tesi pretén donar noves aportacions a l'esforç dirigit cap a la modelació acurada dels defectes del tipus *pont* en circuits digitals de tecnologia CMOS. Es presentarà un model elèctric realista dels *ponts* basat en mesures experimentals realitzades en mòduls monitors de defectes. Aquest model proposat s'aplicarà dins d'una metodologia de test basada en la vigilància del corrent quiescent consumit pel circuit integrat. També es valoraran les possibilitats del test per I_{DDQ} en circuits digitals CMOS en presència de *ponts* descrits amb el model elèctric proposat.

1.2 Estructura de la tesi

En el segon capítol es farà una presentació dels treballs previs i de l'estat actual de l'art en la modelació i en les tècniques de detecció dels *ponts*. Es justificarà l'interès per aquest tipus de defecte amb la presentació d'estadístiques i treballs, tant teòrics com experimentals, que presenten el *pont* com el tipus de defecte més important en tecnologies CMOS actuals i al que els models clàssics no modelen amb precisió.

En el tercer capítol es mostraran resultats experimentals sobre *ponts* en estructures de test dissenyades i fabricades per Philips en diferents plantes d'Europa. Basant-se en aquests resultats experimentals, es proposarà la modelació elèctrica pels *ponts* que després s'utilitzarà en la caracterització dels circuits CMOS dels capítols següents.

En el capítol quart es classificaran les possibles topologies dels *ponts* i es presentarà la metodologia de test basada en la vigilància del consum d' I_{DDQ} que es compararà amb la metodologia de test per voltatge. També es farà una estimació del rang de corrents esperats en circuits CMOS defectuosos.

En el cinquè capítol es caracteritzarà, teòricament i experimentalment, el comportament lògic i el consum de corrent I_{DDQ} en el grup de portes bàsiques combinacionals CMOS format per l'inversor, la porta Nand i la porta Nor. Amb els resultats del comportament lògic i de consum de corrent, es compararan les possibilitats de la detecció per la vigilància del voltatge o per la vigilància del consum d' I_{DDQ} . Es generalitzaran els comportaments obtinguts en les portes bàsiques en la proposta d'una metodologia general per a la predicció del consum de corrent quiescent en circuits CMOS complexos.

En el sisè capítol es caracteritzarà el consum d' I_{DDQ} en dos mòduls seqüencials bàsics CMOS. S'aplicarà la metodologia utilitzada sobre mòduls combinacionals del capítol anterior. Es compararà la testabilitat lògica front la de corrent quiescent.

Finalment, es presentaran les conclusions de la tesi i el treball futur de continuació.

Capítol 2

Els ponts

El defecte tipus *pont* o *curt circuit*, que consisteix en la connexió no intencionada de dos o més nodes dins d'un circuit integrat, sembla ser el més abundant en circuits VLSI de tecnologies CMOS actuals. Són molts els estudis teòrics i experimentals que recolzen aquesta afirmació. Alguns investigadors han classificat els mecanismes de fallada en circuit MOS [CAS76], [EDW80], [BAN82] i llur relació amb les fallades lògiques produïdes. En [CAS76] es consideren els principals mecanismes causants dels defectes en tecnologies CMOS i es mostren estadístiques de presència d'aquests. Un tant per cent elevat correspon a curt circuits. En [GALIAY80] es presenten resultats experimentals realitzats sobre un microprocessador de 4-bits de tecnologia MOS. Aquests mostren com un total del 55 % dels mecanismes de fallada corresponen als causats pels *ponts*.

En [BAN82] es presenten, també, els *ponts* com un dels modes més abundants de defecte en circuits VLSI MOS i s'estudia l'efecte lògic causat sobre el funcionament del circuit en funció del valor resistiu del *pont*. S'hi presenten exemples de diferents tecnologies MOS com nMOS, nMOS dinàmica i CMOS. La tipologia variada de les fallades provocades fa que el treball proposi una àlgebra multivaluada composta de cinc rangs de voltatge per tal de poder caracteritzar a nivell lògic els errors causats.

En [BEC90] es presenten estadístiques sobre defectes de tecnologia CMOS en monitors anomenats *Yield Spidermask*. El 57 % correspon a curt circuits front el 42 % deguts a les ruptures de l'òxid. Després d'un seguiment amb un programa de millora del rendiment del disseny, es mostra com els *ponts* entre metalls es redueixen fins el 37 %. També Maly, amb la seva proposta d'estructura de test *double-bridge*, va mesurar defectes del tipus *pont* i defectes de tipus trencament en línies de metalització de 1.5 i 2 μm . En [MAL88b] va concloure que el mecanisme dominant en la metalització era degut als *ponts* entre línies adjacents. En el mateix treball menysprea els trencaments degut a llur baixa freqüència

d'aparició.

També, teòricament i utilitzant el model "taca" pels defectes [MAL87], Shen, Maly i Ferguson mostren que els *ponts* són el tipus de fallada més abundant. El procediment utilitzat és l'anàlisi inductiva de fallades (IFA, *Inductive Fault Analysis*) on una "taca" és considerada com una zona de material extra o bé material absent. Depenent de la localització i de la mida de la taca es conclou que els *ponts* poden representar el 30% de les fallades [FER88].

En [JAC89b] es presenta un procediment per a l'extracció de possibles defectes a partir d'un disseny sobre *layout*. Els models utilitzats per a la modelació dels defectes són dos. El primer és basat en la probabilitat dels defectes d'òxid en els canals dels transistors i en les capes d'aïllants. El segon model considera les probabilitats dels defectes fotolitogràfics. Són estudiats els efectes elèctrics sobre el circuit i finalment transformats en fallades elèctriques. Segons la probabilitat de presència dels defectes es fa una estimació dels percentatges d'aparició de les fallades. En l'exemple considerat, els *ponts* poden representar entre el 33.1 i el 47.4 % de les fallades possibles.

En [SAR92] es mostren estadístiques del percentatge de *ponts* respecte del conjunt de fallades totals, representant de l'ordre de 60-95 %. Els dos subgrups més destacats corresponen a línies *stuck-at*, essent un 15-30 % del total dels curts circuits i els *ponts* entre nodes lògics que arriben fins al 40-65 %.

Molts dels esforços en el món del test han estat dirigits doncs, a la millora en la modelació i en l'estratègia de detecció dels *ponts* degut a la seva elevada probabilitat de presència en els circuits integrats actuals. En l'apartat 2.1 s'analitzaran aquestes modelacions proposades. En primer lloc es comentarà el model clàssic *stuck-at*; a continuació s'analitzarà el model *wired* o *cablejat* per continuar amb els models a nivell de transistor; després també s'analitzaran models més recents com són el model *voting* i el model *curt circuit de llarg abast*; el darrer model en ser comentat serà el model *elèctric resistiu*. Acabant el capítol, en l'apartat 2.2, es comentarà la metodologia de test basada en la vigilància del consum de corrent quiescent i els avantatges i inconvenients que presenta respecte de la metodologia clàssica.

2.1 Modelació dels ponts

Dues són les principals raons que han provocat l'aportació de diferents models per a la descripció dels *ponts*; una és la freqüència d'aparició ja comentada en la presentació del

capítol; l'altra és la inadequació dels models clàssics en llur utilització en tecnologies MOS [GAL80], [ACK83]. La fallada tipus *pont* pot ser modelada a diferents nivells d'abstracció. El nivell més utilitzat fins ara, ha estat el nivell lògic que modela la fallada amb la possibilitat de canviar els valors digitals dels nodes afectats. El nivell de modelació que s'emprarà en aquesta tesi és el nivell elèctric on el *pont* és modelat com una fallada elèctrica que modifica els voltatges i els corrents dins del circuit.

L'abast d'un model fa referència tant a l'extensió en la que una fallada modifica el comportament d'un circuit com a l'àrea de circuit de la que cal informació per tal de determinar el comportament defectuós. Depenent de les característiques del model, l'abast necessitat pot ser molt variable. En els següents apartats es farà un repàs als treballs realitzats dins del camp de modelació dels *ponts*.

2.1.1 Model clàssic dels ponts emprant el model stuck-at

El primer model lògic àmpliament utilitzat en el món dels circuits digitals fou el model *stuck-at*. Aquest considera que el node en fallada manté fixat el seu valor lògic a 1 ó a 0, [ELD59], independentment del valor de les entrades al circuit. En el primer cas es diu que el node està "enganxat a 1" ó *stuck-at-1* (s-a-1). En el segon cas el node està "enganxat a 0" ó *stuck-at-0* (s-a-0). Qualsevol node lògic pot presentar aquest tipus de fallada, doncs, cada node aporta dues possibles fallades a la llista. La informació del circuit necessària per a la descripció de la fallada és mínima, ja que no en requereix cap. L'extensió de circuit del qual modifica el comportament es redueix a només el node defectuós. L'abast és, doncs, mínim i igual al node *enganxat*.

A l'hora de modelar acuradament el comportament de la fallada introduïda per un defecte del tipus *pont* en un circuit digital, el resultat és molt desigual dependent de la tecnologia, dels nodes connectats i de la topologia del circuit envoltant al defecte. Així, quan es tracta de modelar *ponts* baixament resistius entre un node lògic i els nodes l'alimentació o terra, la simplificació *stuck-at* descriu acuradament el comportament defectuós. No succeeix el mateix amb els *ponts* altament resistius, on el comportament lògic pot arribar a ser correcte (encara que degradat). En [GAL80], per exemple, són considerats els mecanismes de defecte en circuits LSI MOS i es conclou, de l'aplicació del model clàssic en aquests, que no tots els *ponts* poden modelar-se amb fallades *stuck-at*. Efectivament, si es considera l'estructura elèctrica del circuit de la Figura 2.1, el *pont* 1 no pot pas modelar-se com una *s-a-x* ja que modifica, fins i tot, la funció realitzada per la porta que passa de ser $\bar{Z} = (AB + CD)$ a ser $\bar{Z}^* = (B + D)(A + C)$.

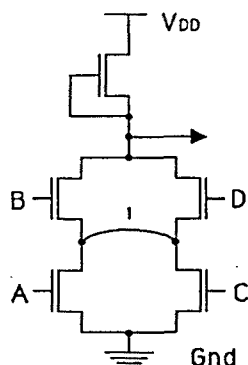


Figura 2.1: Exemple d'ineficàcia de descripció del model stuck-at (defecte a nivell de transistor)

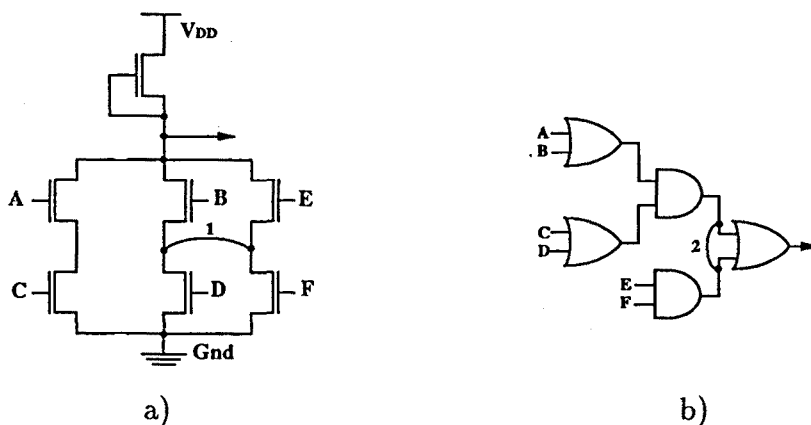


Figura 2.2: Manca de correspondència entre el diagrama a) elèctric i b) lògic de portes MOS

En el mateix treball, [GAL80], destaca la necessitat de la consideració de la topologia elèctrica del circuit front la representació en bloc lògic. En la Figura 2.2 s'il·lustra un exemple semblant al presentat en el treball on es fa palesa la falta de correspondència entre dues connexions fetes sobre les dues representacions d'una mateixa porta. La connexió 1 entre els nodes de l'esquema elèctric no pot modelar-se en la representació a nivell de porta. De forma similar, la connexió 2 de l'esquema de portes no té significat en el circuit elèctric del mòdul.

2.1.2 Model "wired" o cablejat

Com a alternativa a la modelació clàssica es va proposar la modelació del pont mitjançant un altre model lògic anomenat *wired-And* per lògica positiva, i *wired-Or* per lògica negativa

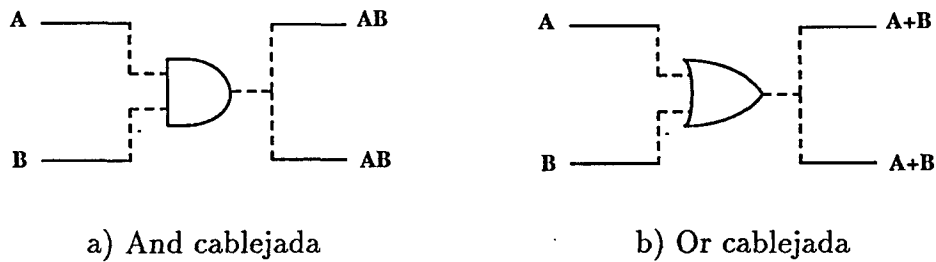


Figura 2.3: Modelació wired del pont que connecta els nodes A i B

[MEI74], [FRI74]. Aquesta descripció consisteix en la modelació del *pont* entre els nodes A i B com una funció lògica $\text{And}(A,B)$ ó $\text{Or}(A,B)$, segons sigui el cas (Figura 2.3). L'abast d'aquest model s'amplia respecte del model *stuck-at* en un node, ja que pel model cablejat són els dos nodes connectats els que constitueixen l'abast del model.

Mei justifica la utilització del model *wired-And* per a les tecnologies bipolars RTL, DTL i ECL, tot i que exclou la TTL [MEI74] degut a la possibilitat d'aparició de voltatges intermedis. També fa la divisió dels *ponts* en quatre diferents grups. El primer grup és el format pels *ponts d'entrada* que connecten dos (*simple*) o més nodes (*múltiple*) en l'entrada d'un bloc combinacional. Els tres grups restants consideren els *ponts realimentats* ja sigui inversors o no inversors, i els *de sortida* no inversors. Fa un estudi de les condicions sota les quals la detecció dels *stuck-at* pot posar de manifest les fallades modelades segons el model *wired*.

Molts autors han valorat la detecció dels *ponts* modelats amb el model *wired* mitjançant el test basat en el *stuck-at*, és a dir, han analitzat com el test dels *stuck-ats* d'un circuit pot detectar la connexió dels parells de nodes que es comporten com a *ponts cablejats*. Per exemple, en [KOD80], es fa una anàlisi dels *ponts* intraporta i dels interporta (sempre considerant només els nodes lògics de les portes). Es mostra com el test basat en el *stuck-at* pot ésser invalidat per la presència de *ponts* interporta no detectables amb el model *cablejat*, problema per al qual proposen generacions de test en el cas particular de xarxes irredundants de dos nivells And-Or. Els mateixos autors presenten les condicions necessàries i suficients sota les quals una xarxa combinacional no pot tenir cap *pont* intraporta indetectable.

Dins del mateix estil, en [ABR83], s'analitzen les relacions entre les fallades *wired* i les fallades *stuck-at* en circuits combinacionals, i es mostra la forma de modificar la generació del test clàssic per la derivació del test pel model *wired*.

En l'apropament a la realitat física dels defectes es pot concloure que, en tecnologies

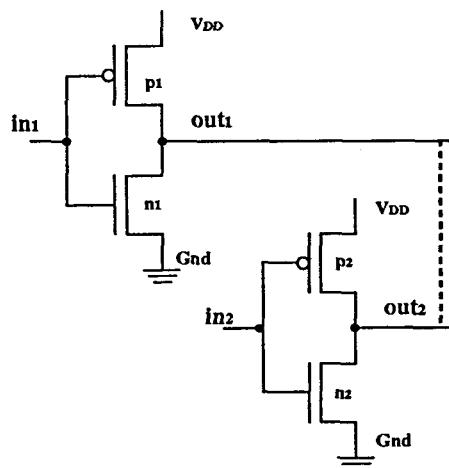


Figura 2.4: Pont no modelable amb els models cablejats

CMOS, el resultat lògic d'un *pont* no és sempre modelable amb la funció *wired-And* ó bé *wired-Or* ja que depèn de la topologia i del circuit elèctric resultant. Això és fàcil d'observar en el *pont* de la Figura 2.4, on dependent del dimensionat dels inversors, el voltatge del nodes curt circuitats poden comportar-se de molt diferents maneres. Suposant, per exemple, el cas de dimensionats iguals, els nodes prenen valors intermedis i per tant, no modelables amb cap dels dos models *cablejats*. Si es considera el cas en el que l'inversor 1 té els transistors amb amplades quatre vegades superior als de l'inversor 2, els dos nodes curt circuitats sempre prendran el valor oposat a l'entrada de l'inversor 1, això és, a vegades dominarà el nivell alt de l'inversor 1, a vegades dominarà el seu nivell baix. Aquests comportaments defectuosos no poden ésser modelats amb els models *cablejats*.

2.1.3 Models a nivell d'interruptor

Basant-se en el fet que un transistor MOS pot ésser considerat com un interruptor controlat pel nivell de porta, Bryant va proposar la modelació de dos comportaments defectuosos derivats d'aquesta naturalesa interruptora [BRY84]. Així, quan el transistor (interruptor) es troba permanentment tancat, es diu que presenta una fallada *stuck-on*; de forma simètrica, un transistor permanentment obert presenta una fallada *stuck-off*. Aquestes dues fallades a nivell de transistor poden ésser considerades com a fallades *stuck-at-1* i *stuck-at-0*, respectivament, afectant els nodes de porta.

En aquesta modelació a nivell d'interruptor del circuit, cada transistor és considerat com un interruptor amb dos possibles estats, *conducció* o *bloqueig*. La resistència d'un

transistor en estat de conducció es suposa molt petita respecte la que oferiria en estat de bloqueig. [RAJ87] i [HSI86] són mostres d'aquests estudis. En contrapartida a la facilitat de maneig del circuits així modelats, destaca, com a principal limitació, el fet que la consideració a nivell d'interruptor és poc acurada a l'hora de predir el resultat lògic causat en CMOS [FER90b]. En [ZAG90] es desenvolupa una tècnica basada en regles gràfiques sobre les característiques no lineals dels dispositius amb la finalitat de millorar la capacitat de predicció dels voltatges intermedis. Aquesta tècnica permet cercar la característica conductiva equivalent del circuit, resultant de les estructures en sèrie i/o paral·lel dels transistors lliures de fallades o amb *ponts* porta-drenador.

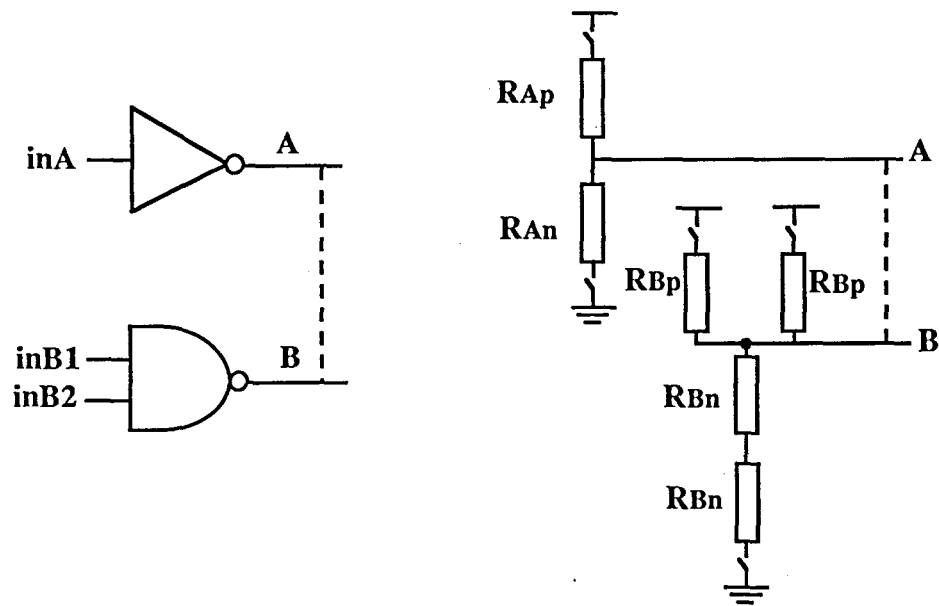
2.1.4 Model voting

Un apropament a la realitat elèctrica del *pont* el feu Acken amb la presentació del model lògic anomenat *voting* [ACK88]. En ell, proposa la substitució dels transistors involucrats en el *pont* per les seves resistències equivalents. L'abast del model comprèn, no només els nodes curt circuitats, sinó també, els mòduls conductors dels nodes defectuosos així com les entrades que els alimenten. Depenent de quins són els paràmetres de la tecnologia utilitzada i el dimensionat dels transistors, apareixen diferents règims en el resultat de la modelació del *pont*. En la Figura 2.5 a) s'il·lustra un *pont* entre les sortides d'un inversor i d'una porta Nand de dues entrades. En la Figura 2.5 b) s'observa la xarxa resistiva resultant. Doncs, dependent de la relació entre les resistències equivalents de les xarxes n i p de les dues portes s'obtenen els règims de la Figura 2.6.

La limitació d'aquest model lògic es troba en la zona de règim desconegut. El model deixa de ser acurat, doncs, per la seva naturalesa, pels *ponts* de resistència de l'ordre de la resistència dels transistors. Segons els dissenys i la tecnologia considerats per Acken, això passa dins del rang (2, 4) K Ω . Tanmateix, ell considera un rang de resistències menor de 500 Ω basant-se en dades experimentals presentades per Yarbrough [YAR88]. Això fa que els dos nodes curt circuitats tinguin el mateix voltatge i que la zona de règim desconegut desaparegui.

En quant a la generació de tensions intermèdies desconegudes, Acken estudia les possibilitats que un valor intermedi aparegui i es propagui al llarg dels següents nivells. Degut a l'estreta zona on el guany dels mòduls és elevat, Acken justifica que una tensió intermèdia és molt improbable que romangui al llarg del circuit ja que en passar dos o tres mòduls ja s'ha convertit a digital.

Un altre punt important en l'aplicació del model és la possibilitat de que diferents



a) Esquema lògic

b) Esquema elèctric

Figura 2.5: Model voting d'un pont entre un inversor i una porta Nand

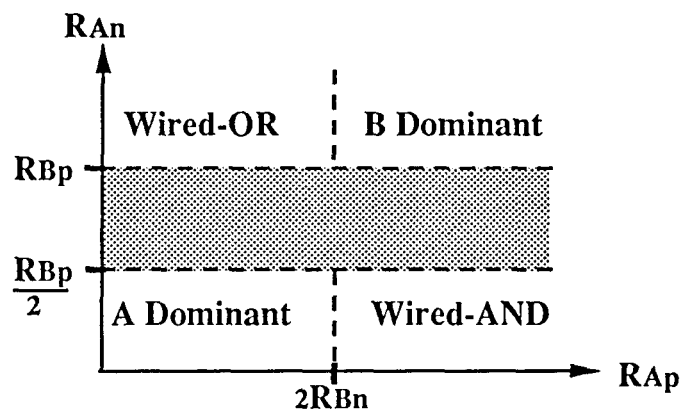


Figura 2.6: Règims del model voting per un inversor i una Nand [ACK88]

portes amb desiguals tensions llindars interpretin lògicament diferent un mateix voltatge. Aquest fet, segons Acken, és improbable degut a que els dimensionats utilitzats comunament fan que els voltatges resultants estiguin prou allunyats dels llindars lògics de les portes CMOS considerades.

2.1.5 Model curt circuit de llarg abast

Aquest és un model amb un abast semblant al del model *voting* i és presentat per Jacoment en [JAC89b] que, per tenir un abast major que els models clàssics, l'anomena *model pont de llarg abast (large-scope short)*. La modelació del comportament defectuós consta de dues descripcions possibles dependent de la relació de forces entre les xarxes n i p dels mòduls involucrats i dels voltatges llindars dels mòduls de càrrega. Segons sigui el resultat, la fallada *pont* es modela com a lògica (*logical large-scope short, LLSS*) o bé com a incrementadora del corrent (*current increase large-scope short, CLSS*). La determinació de quina és la fallada provocada pel *pont* es fa computant la diferència existent entre els voltatges generats en les sortides dels mòduls involucrats en el *pont* i les tensions llindars de les portes següents. Si la diferència és suficient per a assegurar una discrepància, la fallada és modelada segons la descripció lògica. Si els voltatges agafen uns valors intermedis desconeguts, la fallada és modelada amb el *CLSS*. Segons sigui el model escollit per a la descripció de la fallada, el test per a la seva detecció haurà de fer-se per vigilància de les tensions o bé per vigilància dels corrents consumits.

2.1.6 Model elèctric resistiu

Tot i que el model *voting* no considera la resistència oferta pel *pont*, que a partir d'ara es denominarà R_b , són d'altres els investigadors que l'han tinguda en compte. Aquests investigadors han denominat als curt circuits com a *ponts resistius* [BUR89]. En [HAW85] es mesuren resistències de quatre *ponts* porta-font, anant els resultats des de 800Ω fins a $4,7 K\Omega$. Mesures paramètriques en altres *ponts* del mateix treball suggereixen la dependència del comportament degradat amb R_b .

En [MAL86] s'estudien els diferents efectes lògics produïts per un mateix *pont* amb diferents valors resistius en circuits MOS combinacionals. La R_b és determinant en l'efecte causat, podent anar des del funcionament correcte fins al funcionament incorrecte passant pel probablement correcte i pel probablement incorrecte. En l'exemple presentat d'una Nand amb una Nor, la resposta de la porta Nand és sempre correcta independentment de R_b , mentre, la resposta de la Nor passa de correcta a incorrecta en disminuir R_b sota 20

K Ω .

Més recentment, Hao i McCluskey han presentat un estudi de com R_b influeix en circuits CMOS pel cas de tres tipus de *ponts*: porta-font, porta-drenador i font-drenador. La dependència del resultat del *pont* amb la resistència també hi és mostrada [HAO91].

[VIS91] és un altre exemple dels estudis de com els *ponts* porta-font en mòduls CMOS complexos poden comportar-se com *stuck-at*, pseudo-open o emmascarats, dependent del seu valor resistiu.

En [ROD90], [CHA91] i [ROD91b] es mostra com el comportament lògic de *ponts* en circuits senzills combinacionals depèn del valor resistiu de la connexió introduïda pel defecte.

En aquesta tesi es presenten dades experimentals de R_b dins del rang (0, 20) K Ω per a línies de metall. Degut a la influència de R_b en el comportament del circuit, els curts circuits resistius han de considerar-se en la caracterització dels circuits amb *ponts*. Doncs, en el model elèctric que s'utilitzarà es considerarà la influència del valor resistiu ocasionat pel *pont*.

Fins aquí s'ha presentat l'estat de l'art en la modelació de les fallades ocasionades pels defectes del tipus *pont*. S'han comentat llurs avantatges i limitacions a l'hora d'assolir descripcions acurades dels comportaments defectuosos causats pels *ponts*. També, s'ha presentat la modelació escollida pel treball desenvolupat en aquesta tesi. Degut al model realista utilitzat, es considera la possibilitat d'aparició de voltatges intermedis en els nodes lògics, així com també en els interns. Una estratègia de test basada en l'observació dels valors digitats dels nodes lògics no pot pas treballar amb valors de voltatge intermedis, pel que un test lògic no és el que ha d'acompanyar a la modelació escollida. En la secció següent es mostrarà l'alternativa al test lògic considerada en la tesi que es basa en l'observació del corrent quiescent consumit.

2.2 Test de corrent quiescent (I_{DDQ})

La tecnologia CMOS complementària és una tecnologia de baix consum en estat quiescent. A principis de la dècada dels vuitanta es va proposar el test per vigilància del consum del corrent estàtic, I_{DDQ} , per a la verificació dels circuits [LEVI81], [ACK83]. Efectivament, sota funcionament correcte només una de les xarxes que formen una porta CMOS tanca el circuit entre els seus nodes extrems. Tot *pont* introdueix un camí abans inexistent entre els nodes curt circuitats i, doncs, un vector de test que tanqui el camí entre V_{DD} i Gnd críticament pel camí introduït pel *pont* pot provocar un flux de corrent elevat. En [HOR87] i en [HAW89] es presenten dades experimentals relacionades amb aquesta propietat on es pot veure com circuits que han passat tests lògics consumeixen corrent elevat per certs vectors d'entrada. S'il·lustren també, algunes mostres de comportament I_{DDQ} front V_{DD} per a diferents tipus de defecte.

Malaiya, en [MAL82], proposa un nou model relacionat amb aquesta tècnica; és el model *conductiu* en el que un transistor pot prendre dos valors de conductància: elevada quan es troba en estat ON i baixa quan està OFF. Si el comportament defectuós del transistor en l'estat de conductància OFF fa que prengui un valor de conductància elevada, es diu que s'ha provocat una fallada del tipus *fuita* (*leakage*). En el cas extrem, la fallada arriba a ser el *stuck-on* del transistor. Pel test de *fuita* es sensibilitza un transistor conduint-lo a l'estat OFF connectant els seus terminals a V_{DD} i V_{ss} amb camins de resistència baixa. D'aquesta forma es fa una classificació de les conductivitats de cadascun dels transistors que componen el circuit i es detecta la presència de transistors defectuosos.

Tanmateix, d'altres autors aprofiten la disminució de la resistència R_b , de forma que només la mesura d'un I_{DDQ} elevat entre els nodes d'alimentació fa que el circuit sigui classificat com a defectuós sense la necessitat d'una caracterització individual per a cada transistor. En [JAC89] es mostra com la presència de *ponts* pot causar el creixement del corrent quiescent en circuits CMOS. En contrapartida, també s'enumeren els principals inconvenients que un test basat en aquesta tècnica pot trobar:

- La mesura externa del corrent pot necessitar massa temps per a la seva mesura. Les freqüències del test d' I_{DDQ} són, doncs, inferiors a les freqüències del test lògic.
- Tot circuit CMOS té un corrent normal de fuita. Aquest ha de ser menyspreable comparat amb el causat per la fallada per tal de no emmascarar els resultats.
- Aquesta metodologia només té sentit durant el comportament quiescent dels mòduls. En la mesura del corrent s'han d'eliminar totes les possibles contribucions causades

pels consums dinàmics del circuit.

El test per vigilància del corrent, no només és capaç de detectar els *ponts* sinó que també fa possible la detecció de comportaments degradats que no arriben a provocar fallades [BAS86], [McE90], [SOD90], [MAL90] però poden causar riscos en la fiabilitat [HAW86], [HOR87]. Efectivament, molts defectes poden no ser detectables amb un test de tensió i sí ser-ho amb un test de corrent [BAK90]. La vigilància del corrent cobreix la detecció d'aquest tipus de degradacions. També el test de *retard* pot arribar a llur detecció. En [FER90] es comparen els avantatges i inconvenients del test per corrent front el test de *retard* i el test lògic. El test per *retard* és més costós que els altres dos, ja que necessita de la seqüenciació dels vectors per tal d'evitar *glitches* en el camí de propagació de l'error de *retard*. Pel contrari, el test per a fallades d' I_{DDQ} és menys costós i està format per menys vectors que el *stuck-at*. En la detecció dels *ponts* cal, però, comptar amb els efectes dinàmics causats pel defecte [FAV92].

En [STO90] es compara la cobertura del test de corrent front el test de tensió (en tecnologia CMOS). El primer és generat a partir del model d'interruptor, mentre el segon ho és a partir del model de *stuck-at*. En els exemples considerats, la generació del test I_{DDQ} és més fàcil, a més a més d'obtenir cobertures superiors. Aquest fet és degut a la no necessitat de propagació del resultat cap a les sortides lògiques externes.

En [FRI90] es presenta una modificació a un ATPG convencional amb el fi d'augmentar el cobriment de fallades *stuck-at* simples i múltiples mitjançant el test d' I_{DDQ} . Mostra els avantatges del test de corrent en el que un *stuck-at* no pot emascarar l'increment d' I_{DDQ} degut a un altre *stuck-at*. Un 100 % de cobriment en la commutació del nodes del circuit garanteix la detecció del 100 % dels *stuck-at* simples i múltiples.

En aquest interès en la comparació entre el test de corrent i el test clàssic, es presenta el treball [STO91], on s'arriba a una proposta de complementació entre els dos mètodes. Després de l'experiència que realitzen els seus autors sobre circuits combinacionals i seqüencials, la conclusió arribada és que la monitorització del corrent durant el test clàssic, tot i que eficient, pot ser millorada i reduït el nombre de vectors, amb una generació desenvolupada pròpiament per al test de corrent. Ara bé, a tots dos mètodes se'ls hi escapen circuits defectuosos, pel que la proposta final del treball és la unió dels dos mètodes per a l'assoliment de nivells de qualitat elevats.

2.2.1 Monitorització del corrent

La monitorització del corrent es pot realitzar amb dos mètodes diferents dependent de si el sensor és intern o és extern. La mesura del corrent quiescent de forma externa sembla presentar alguns desavantatges respecte la mesura des del mateix circuit. Aquests desavantatges són, principalment, l'emascament del corrent mesurat degut a l'elevat consum dels *pads* d'entrada/sortida i, la lentitud del test introduïda per les elevades capacitats de les sondes externes. Degut a aquestes característiques, darrerament s'han presentat algunes propostes de sensors interns.

En [MAL88a] i en [FEL88], es proposa un disseny intern on l'element sensor és un transistor bipolar. El disseny busca un compromís entre les característiques necessàries per a la seva utilització dins d'un circuit; el sensor ha de mesurar un rang de corrents anormals el suficientment ampli per a cobrir la detecció d'un espectre gran de defectes; la caiguda de potencial, causada per la utilització dels sensor, no ha de pertorbar el funcionament correcte del circuit al que verifica; l'àrea ocupada pel circuit destinat al sensor ha de ser el suficientment petita i el funcionament ha d'ésser senzill per tal de no presentar, ell mateix, errors de funcionament. Els treballs experimentals que es presenten en els dos treballs mostren la concordança entre les anàlisis teòriques fetes amb SPICE i els resultats trobats en el laboratori. D'aquesta forma proposa solucions als inconvenients ja plantejats en [CRA87] a propòsit d'una mesura externa del corrent.

En [RUB90] es fa la proposta d'un sensor extern i d'un sensor intern. El primer és un sensor per a la utilització en ATEs clàssics. El segon és una proposta de sensor intern molt senzill, compost de dos transistors nMOS i una capacitat que, en carregar-se o no, durant el període de test, dóna informació de la possible existència d'un consum elevat de corrent.

En [RIU92], es proposa el disseny d'un sensor intern basat en un dispositiu bipolar lateral fàcilment incorporable en qualsevol procés CMOS *standard*. El corrent consumit pel circuit sota test és desviat cap a una part resistiva del sensor, generant-se, així, una tensió proporcional al corrent consumit. El disseny segueix un compromís entre l'àrea ocupada, la velocitat de resposta i el rang de corrents mesurats.

En [MIU92] es fa una proposta de sensor intern que evita el problema de diferenciació entre el corrent dinàmic de commutació i el corrent quiescent. Aquesta propietat d'assoleix amb la integració del corrent tant dinàmic com estàtic, durant un cert període de temps. El sensor consta de tres etapes formades per un convertidor V-I seguit d'un convertidor de nivell i finalment d'un circuit integrador. Els nivells de corrent detectats són determinats

pel dimensionat dels transistors.

La recerca de sensors amb prestacions òptimes és un camp encara molt ampli per a investigar en el futur.

Després d'haver revisat els treballs previs referents a la modelació i metodologies de detecció dels *ponts*, en el capítol següent es presentaran els resultats de mesures experimentals realitzades sobre *ponts* per tal d'obtenir informació de llur rang de resistències.

Capítol 3

Mesures de la resistència dels ponts d'un procés pilot CMOS

La caracterització del comportament defectuós dels circuits CMOS amb *ponts* serà tant més acurada com ho sigui la modelació escollida pel defecte. En funcionament dinàmic la modelació d'un *pont* pot aproximar-se per una impedància $Z_b = (R_b, C_b, L_b)$ generalitzada. Ara bé, en funcionament estàtic, les components capacitiva i inductiva són menyspreables contribuint, només, la part resistiva $Z_b = R_b$. En aquest capítol es mesurarà la R_b de *ponts* presents en una línia pilot CMOS de Philips per tal de conèixer el rang de variació de la resistència dels *ponts*.

En primer lloc, es farà un repàs a les escasses dades publicades relacionades amb els valors de R_b . En segon lloc, es mostrarà l'estructura del circuit monitor utilitzat en el treball experimental, per a continuar amb la metodologia de classificació dels monitors defectuosos mesurats. Els següents apartats seran destinats al càlcul de l'expressió de R_b per a cadascuna de les topologies defectuoses considerades, juntament al càlcul dels errors introduïts. Finalment, es mostraran els resultats numèrics trobats, així com els resultats de l'anàlisi espectroscòpica i visual realitzada. Es finalitzarà el capítol amb els comentaris de les principals conseqüències derivades dels resultats obtinguts.

3.1 Modelació dels ponts resistius

Tradicionalment, els *ponts* han estat modelats com si fossin curts circuits francs entre les pistes defectuoses [MÉI74], [KOD80], [MAL82], [ABR83]. Tanmateix, darrerament alguns autors han considerat la no nul·litat de la resistència dels *ponts* en els anomenats *ponts resistius* [BAN85], [AKC88], [ROD90], [HAO91]. L'anàlisi que Malaiya va fer del

comportament defectuós causat per un *pont resistiu* en una porta CMOS qualsevulla, [MAL86], ja va deixar palesa la important dependència entre la fallada i el tipus de defecte que la provoca. Com mostra Malaiya, una variació de 20 K Ω en R_b pot fer variar el comportament de mòduls combinacionals CMOS des de correcte fins a defectuós.

Veient la importància que té el valor resistiu del *pont*, es pot plantejar fins quin punt és acurat el model $R_b = 0$. Són pocs els treballs experimentals publicats amb mesures de resistències de *ponts* en tecnologies MOS. Són pocs i amb resultats diversos. En [HAW85], es presenten dades de curt circuits de porta on es mesura des de 800 Ω fins a 4,7 K Ω . Diferents són els resultats presentats en [ACK88] sobre l'anàlisi feta de les mesures de [YAR88]. Els valors resistius dels *ponts* entre línies de metall es mouen per sota de 500 Ω ó per sobre de 50 K Ω .

Els *ponts* entre línies de metall semblen ser els més abundants [SAN91], però poques són les dades experimentals publicades sobre els valors resistius d'aquests. En [SOU91] i [SAR92] es presenta una metodologia per a l'anàlisi de la testabilitat física. Aquesta metodologia considera les estadístiques del procés referents als defectes físics més probables juntament amb la informació del *layout* i de la tecnologia. En els treballs se presenta una classificació de les fallades *pont* i llur detecció. El resultat de l'aplicació de l'eina presentada sobre uns exemples mostra com els *ponts* entre les capes de metall representen un tant per cent elevat respecte del total.

En el treball de [GAL80] s'analitza la composició del *ponts* trobats de forma que el 71 % corresponen a connexions entre les línies de metall. En [BEC90], el 70 % i el 64 % dels *ponts* de dos processos analitzats, també corresponen a curt circuits entre metalls.

Coneixent la influència de R_b en l'efecte elèctric del *pont* sobre el circuit es presentaran, en aquest capítol, les dades experimentals mesurades sobre curt circuits en línies de metall d'un procés de tecnologia CMOS de Philips (dos nivells de metall).

3.2 Estructura monitor VMX

Amb la finalitat d'obtenir informació sobre el rang de R_b en la línia pilot CMOS, s'han realitzat mesures en uns circuits monitors dins d'un projecte de recerca ESPRITH (EVER-EST). Els circuits monitors, proporcionats per Philips Research Laboratories, són anomenats VMX degut al fet d'incloure tres mòduls dissenyats amb regles de disseny de diferents processos CMOS; d'aquí el nom *VLSI MIX* abreujat a monitor *VMX* [BRU91], [BRU92].

En la Figura 3.1 està esquematitzada l'estructura de cadascun dels tres mòduls que

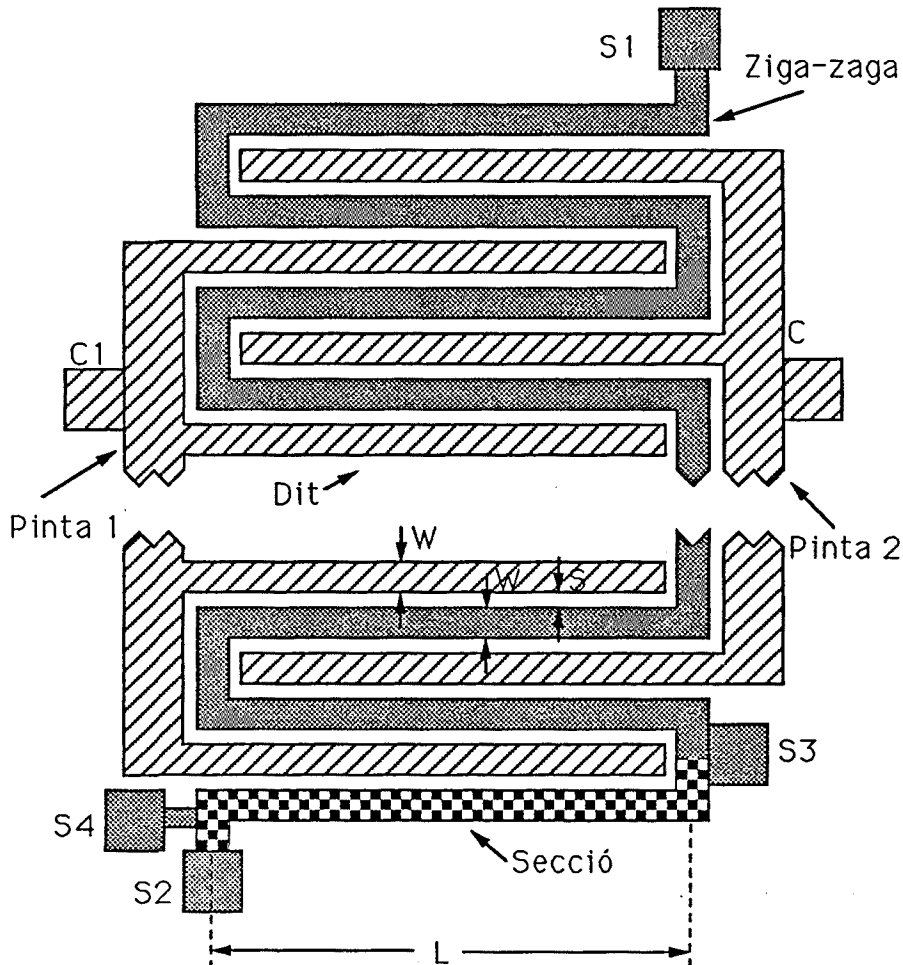
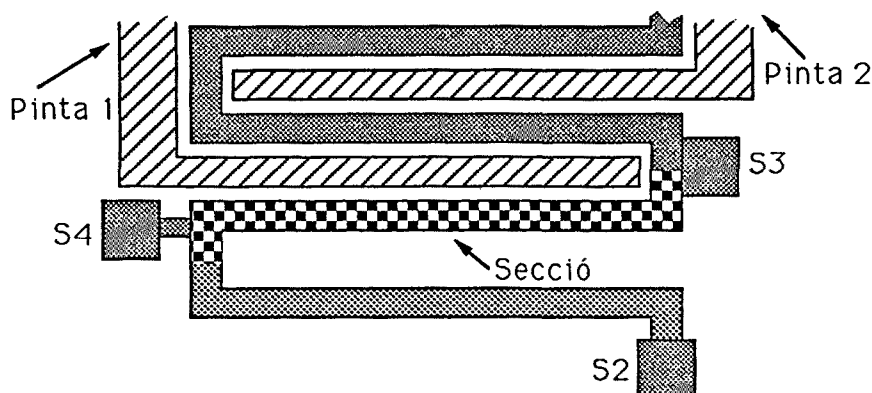


Figura 3.1: Esquema d'un mòdul pinta/ziga-zaga/pinta [BRU91]

formen un circuit monitor VMX. L'estructura és de pinta/ziga-zaga/pinta on les dues pintes es troben enfrontades i llurs dits encaixats de forma que l'espai que dibuixen entre ells defineix el camí per al material en forma de ziga-zaga que es mou entremig. El material utilitzat és l'alumini i el polisilici. Aquesta estructura va estar dissenyada per a la monitorització d'alguns paràmetres del procés, tot i que, degut a la seva estructura, ha estat aprofitada per a la finalitat buscada en aquest capítol.

Cada una de les estructures porta associades sis connexions cap a l'exterior o *pads*. Al metall en forma de ziga-zaga es troben connectats quatre *pads* que són S_1 , S_2 , S_3 i S_4 . Les connexions extrems són S_1 i S_2 i són utilitzades per a mesurar la resistència total de la ziga-zaga. Les altres dues connexions serveixen per a conèixer la resistència d'una secció ja que estan disposades segons s'il·lustra en la Figura 3.2. Cada una de les pintes


 Figura 3.2: Detall de la distribució dels pads S_2 , S_3 i S_4

	C2DM				C2XX				C1DM			
	W	S	L	N	W	S	L	N	W	S	L	N
	(en μm)				(en μm)				(en μm)			
Metall1	1.8	1.8	4398	202	1.5	1.5	4397	242	1.0	1.0	4395	364

Taula 3.1: Paràmetres de disseny dels mòduls del monitor VMX [BRU91]

té un pad propi, C_1 per a la pinta 1 i C_2 per a la pinta 2.

En la Figura 3.3 s'indica la disposició dels tres mòduls bàsics amb llurs connexions cap a l'exterior o pads. En la Taula 3.1 es mostren l'amplada (W), l'espaiat (S), la longitud d'una secció (L) i el nombre de seccions que hi ha en la ziga-zaga (N) (veure la Figura 3.1). Les mesures realitzades sobre els pads permetran la selecció dels mòduls que continguin defectes *pont* com es mostra en el subapartat següent.

3.3 Classificació dels mòduls defectuosos

Degut a l'estructura utilitzada, la presència d'un *pont* es manifesta com una connexió entre la ziga-zaga i una o les dues pintes. Per a la detecció d'aquesta connexió s'han de realitzar un conjunt de mesures capaces de, en ser analitzades, identificar els mòduls defectuosos. Per a assolir aquest objectiu s'han definit [BRU91] un grup de mesures que es llisten a continuació (la notació utilitzada, R_{XY} , denota la resistència mesurada entre el pad X i l' Y):

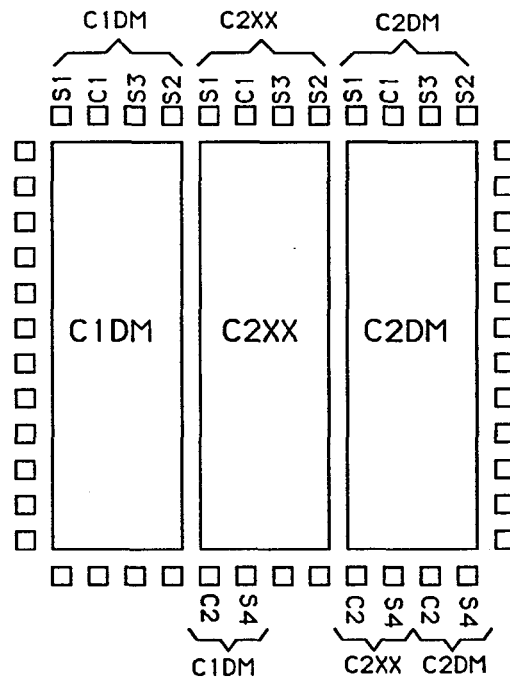


Figura 3.3: Distribució del tres mòduls en un monitor VMX [BRU91]

1. $R_{C_1-s_1s_2}$. (En la realització d'aquesta mesura els pads S_1 i S_2 es troben curt circuitats mitjançant l'instrument de mesura). Amb aquesta resistència es comprova si existeix connexió entre la pinta 1 i la ziga-zaga, connexió que, per disseny, no hauria d'existir i és deguda a l'aparició d'un *pont* durant el procés de fabricació.
2. $R_{C_2-s_1s_2}$. (Durant aquesta mesura els pads S_1 i S_2 es troben curt circuitats mitjançant l'instrument de mesura). En aquest cas, aquesta resistència informa de la connexió entre la pinta 2 i la ziga-zaga.
3. $R_{S_1s_2}$. Consisteix en la mesura de la resistència de la ziga-zaga sencera.
4. $R_{C_1C_2}$. Amb aquesta mesura es detecta qualsevol connexió entre les dues pintes.
5. $R_{S_3s_4}$. Informa de la resistència d'una secció de la ziga-zaga.

Per tal d'obtenir més informació, necessària per al càlcul dels valors resistius dels *punts*, al grup de cinc mesures se li han afegit les tres que a continuació es mostren:

6. $R_{C_1s_1}$ i $R_{C_1s_2}$. Amb aquestes dues resistències es pot diferenciar el valor resistiu dels camins entre la ziga-zaga i la pinta 1.

7. $R_{C_2S_1}$ i $R_{C_2S_2}$. Amb aquestes dues resistències s'obté la informació referent als camins resistius entre la ziga-zaga i la pinta 2.
8. $R_{S_2S_3}$, $R_{S_2S_4}$. Aquestes resistències, juntament amb la cinquena del grup anterior, permeten conèixer variacions en els paràmetres del procés (pot variar el gruix o l'amplada de les pistes i, per tant, la resistència laminar).

Després de realitzar el grup de les primeres cinc mesures sobre cadascun dels mòduls, [BRU91] defineix uns paràmetres per a poder procedir a llur classificació en circuits lliures de defecte o en circuits defectuosos. La tasca de mesurar els circuits per tal de classificar-los segons el grup de les cinc primeres mesures, juntament amb el processat de les dades per a la determinació del tipus de defecte de cada mòdul han estat realitzats per les mateixes plantes de Philips on s'han fabricat els circuits. El paràmetres que han estat utilitzats són llistats a continuació:

- Paràmetre N_e .

Es defineix en [BRU91] com la relació entre la resistència de la ziga-zaga i la resistència d'una secció.

$$N_e = \frac{R_{S_1S_2}}{R_{S_3S_4}} \quad (3.1)$$

En un mòdul lliure de defectes, N_e ha d'equivaler al nombre de seccions que formen la ziga-zaga. En l'aplicació que d'aquest paràmetre es fa en aquesta tesi s'ha d'interpretar com l'aparició d'un *pont* en l'estructura pot fer disminuir el valor del paràmetre, però mai pot augmentar-lo. El factor de disminució depèn de la mida i de la localització del defecte. En la Figura 3.4 a) es veu un *pont* que connecta la ziga-zaga amb la pinta 2 pels dos punts de contacte anomenats *A* i *B*. Si es considera el *pont* amb un resistència R_b , l'esquema elèctric resultant de l'estructura és el representat en la Figura 3.4 b) on:

- R_s és la resistència d'una secció de la ziga-zaga.
- R_a és la resistència de la ziga-zaga des de S_1 fins al punt de contacte *A*.
- R_d és la resistència de la ziga-zaga des del contacte *B* fins el *pad* S_2 .
- β és un factor menor que 1, utilitzat per a definir la situació del *pont*.

Les resistències mesurades són,

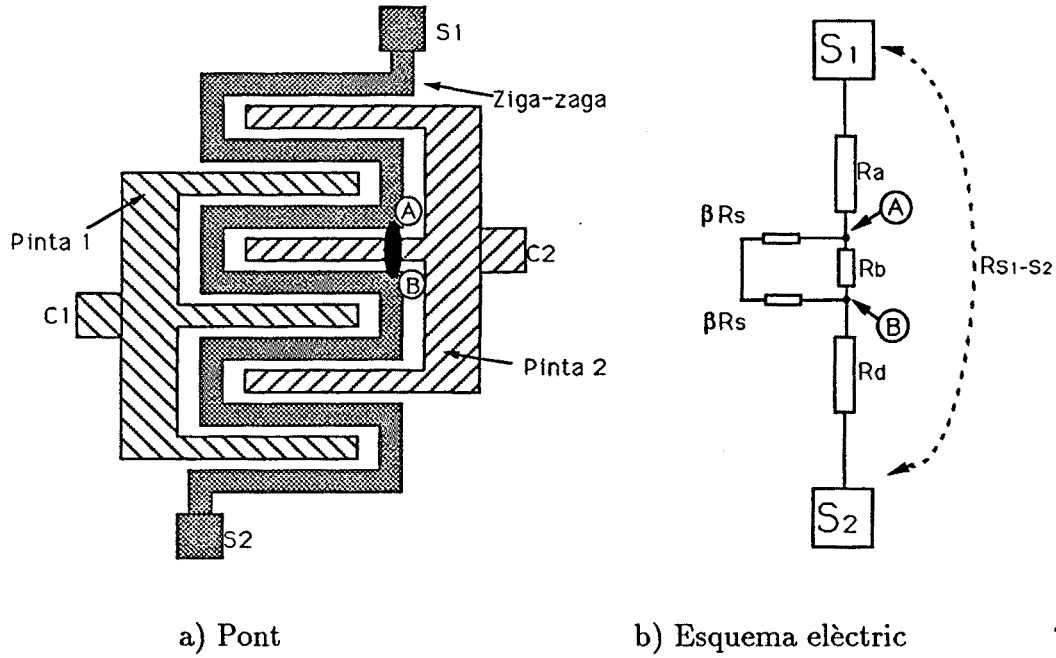


Figura 3.4: Exemple de variació (disminució) de N_e respecte de N

$$R_{S_1 S_2} = R_a + R_b \parallel 2\beta R_s + R_c \quad (3.2)$$

$$R_{ziga-zaga} = R_a + R_c + 2\beta R_s = N R_s \quad (3.3)$$

De les dues equacions anteriors,

$$\begin{aligned} N_e &= \frac{R_{S_1 S_2}}{R_{S_3 S_4}} = \frac{R_{S_1 S_2}}{R_s} = \\ &= \frac{R_a + R_b \parallel 2\beta R_s + R_c + (2\beta R_s - 2\beta R_s)}{R_s} = \\ &= \frac{N R_s}{R_s} - \underbrace{(2\beta R_s - (R_b \parallel 2\beta R_s))}_{\geq 0} \end{aligned} \quad (3.4)$$

d'on s'obté que,

$$N_e \leq N \quad \forall R_b$$

No tots els *ponts* provoquen la disminució del paràmetre N_e ja que, per exemple, qualsevol *pont* que només connecti la ziga-zaga amb una de les dues pintes no afegirà cap camí paral·lel en la ziga-zaga i el valor $R_{S_1 S_2} = N R_s$.

- Paràmetre CC .

Aquest paràmetre es defineix en [BRU91] com la relació entre la resistència entre les dues pintes i la resistència d'una secció.

$$CC = \frac{R_{C_1 C_2}}{R_{S_3 S_4}} \quad (3.5)$$

Per a la incorporació d'aquest paràmetre al càlcul de R_b , s'aprofita el fet que, en un mòdul lliure de defectes no hi ha connexió entre les pintes, pel que la resistència entre elles és, idealment, infinita (en la pràctica és de l'ordre de $G\Omega$). Al contrari succeeix en mòduls amb defecte, segons sigui la topologia introduïda per aquest. Es mostrarà, seguidament, el càlcul de CC per a dues topologies de defectes que fan minvar CC de diferent manera:

i) El primer cas considerat es pot veure a la Figura 3.5 a) on el *pont* connecta les dues pintes per un punt. Sobre l'esquema elèctric corresponent en Figura 3.5 b) es defineix:

- R_b és la resistència que ofereix el *pont* i que es divideix en dues contribucions R_{b1} i R_{b2}
- R_{b1} és la contribució a R_b corresponent a la part del *pont* que va des de la ziga-zaga fins a la pinta 1
- R_{b2} és la contribució a R_b que va des de la ziga-zaga fins a la pinta 2
- R_{dit} és la resistència d'un dit de les pintes. Coincideix amb el valor de R_s ,
- R_z és la resistència del dit des del punt B fins a la seva base
- R_y és la resistència del dit des del punt A fins a la base
- R_a i R_d són la divisió de $R_{ziga-zaga}$ tal que $R_a + R_c = R_{ziga-zaga}$
- β és un factor de posició

Llavors,

$$R_{C_1 C_2} = R_z + R_{b1} + R_{b2} + R_y \quad (3.6)$$

i com,

$$R_z + R_y = (1 - \beta)R_{dit} + \beta R_{dit} = R_{dit} \quad (3.7)$$

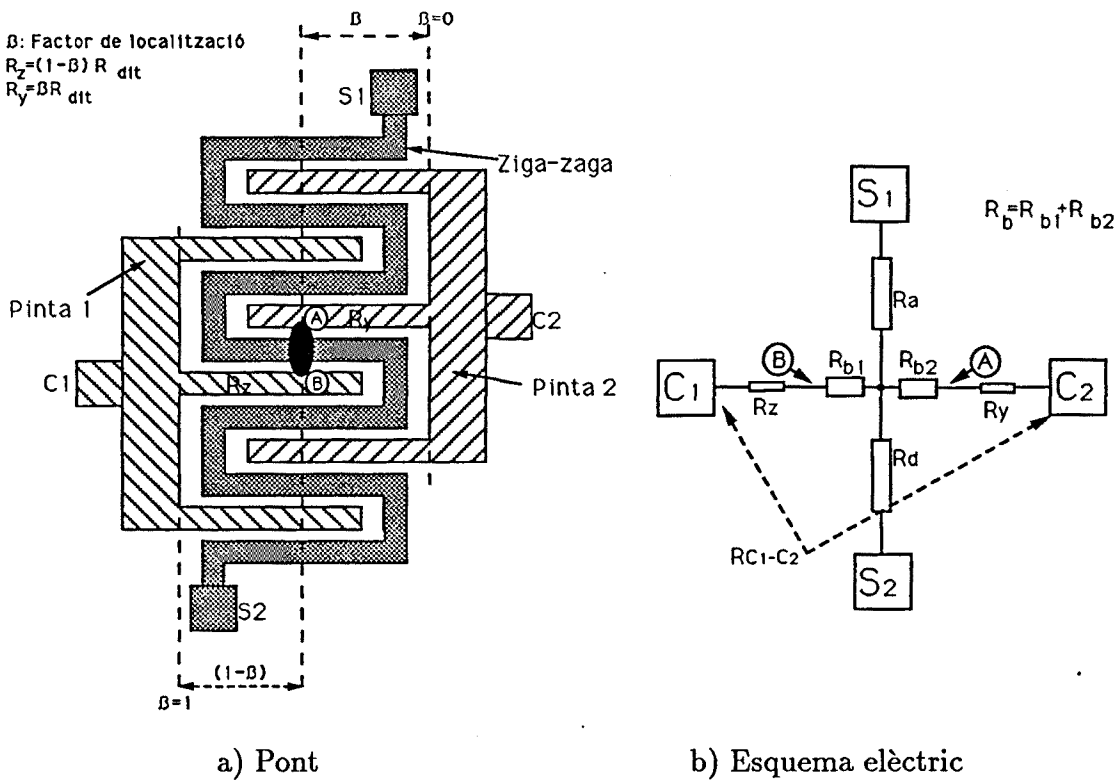


Figura 3.5: Exemple de càlcul del paràmetre CC

l'equació 3.6 pot escriure's com,

$$R_{C_1 C_2} = R_b + R_{dit} \tag{3.8}$$

Substituint l'expressió 3.8 en 3.5,

$$CC = \frac{R_{C_1 C_2}}{R_{S_3 S_4}} = \frac{R_b + R_{dit}}{R_s} = \frac{R_b}{R_s} + 1 \tag{3.9}$$

Pel que, en aquest tipus de ponts del cas i,

$$CC > 1 \tag{3.10}$$

ii) Ara bé, el paràmetre CC no caurà sempre dins del rang igual o superior a la unitat sinó que, en certs cassos, també pot ser inferior a 1. Això succeirà, per exemple, en el cas de ponts múltiples que creïn uns quants camins en paral·lel entre les dues pintes de forma que la resistència total sigui menor que la d'un dit. Per a aquests circuits es complirà que,

$$CC < 1 \quad (3.11)$$

- Paràmetre S .

Aquest paràmetre informa de quina és la pinta connectada a la ziga-zaga o si són les dues les que ho estan. Es troba dividint la resistència que hi ha entre la pinta 1 i la ziga-zaga i la resistència que hi ha entre la pinta 2 i la ziga-zaga, tal com es defineix en [BRU91]:

$$S = \frac{R_{C_1 S_1}}{R_{C_2 S_1}} \quad (3.12)$$

En la consideració del paràmetre per a l'estudi de R_b d'aquesta tesi cal preveure com, per a mòduls defectuosos, S pot prendre un ampli rang de valors dependent de si la pinta pontejada és la pinta 1 (cas a)) o si és la pinta 2 (cas b)) o ambdues (cas c)):

a) Per a *ponts* entre la pinta 1 i la ziga-zaga el valor de S és bastant menor que 1 com es dedueix de la Figura 3.6 a) i b) ja que, essent,

- R_a la resistència de la ziga-zaga des de S_1 fins al punt de connexió A .
- R_d és la resistència de la ziga-zaga des de S_2 fins al punt A .
- R_z la resistència del dit de la pinta que va des del punt A fins a la seva base.
- R_{A-C_2} l'elevada resistència que connecta la ziga-zaga en el punt A amb la pinta 2. Aquesta resistència és deguda a les fuites de l'estructura i és de l'ordre de $G\Omega$.

es pot escriure,

$$R_{C_1 S_1} = R_a + R_b + R_z \quad (3.13)$$

$$R_{C_2 S_1} = R_a + R_{A-C_2} \quad (3.14)$$

i com, $R_{A-C_2} \gg R_z, R_a, R_b$

es dedueix que,

$$S = \frac{R_{C_1 S_1}}{R_{C_2 S_1}} = \frac{R_a + R_b + R_z}{R_a + R_{A-C_2}} \ll 1 \quad (3.15)$$

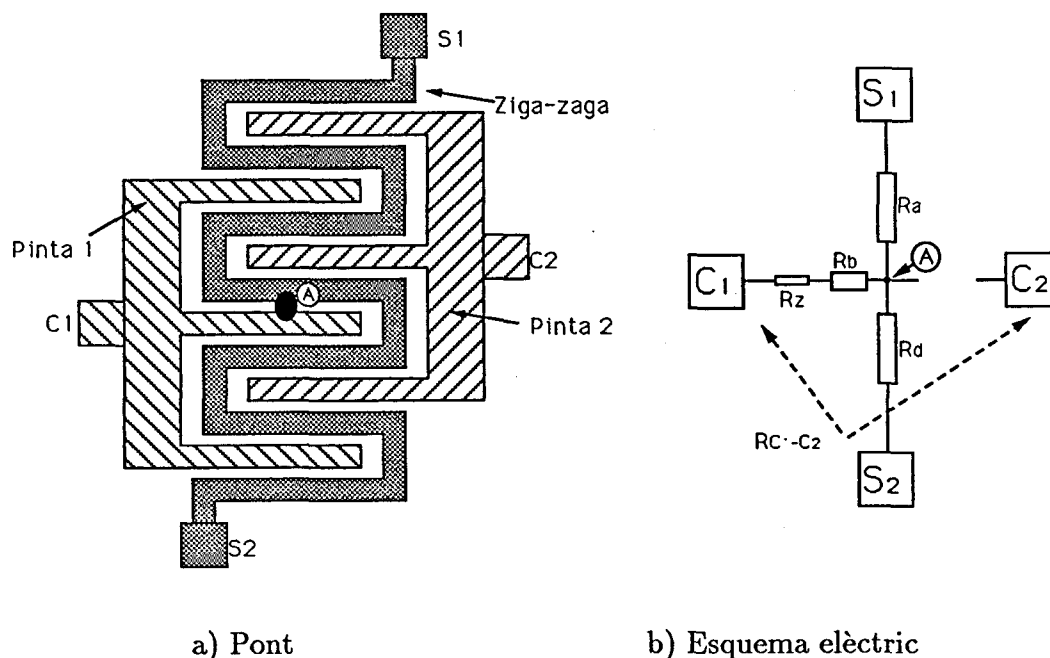


Figura 3.6: Exemple de pont amb $S \ll 1$

- b) Per a *ponts* amb la pinta 2, el valor és molt més gran que 1 degut a que la resistència entre els pads $S1$ i $C1$ es fa molt més gran que el valor del denominador.
- c) Per a *ponts* que involucren les dues pintes, S depèn de la localització i de les dimensions del defecte.

Seguidament, es mostrarà l'aplicació dels tres paràmetres anteriors en l'estimació de la resistència dels *ponts* detectats.

3.4 Estimació de la resistència dels ponts

Amb l'aplicació dels tres paràmetres N_e , CC i S en la caracterització de la topologia causada per un *pont*, es pot fer una classificació dels mòduls defectuosos. Les possibles topologies depenen del nombre de *ponts* que afecten un mateix monitor, així com del dimensionat i de la localització d'aquests. El que es pretén en aquest capítol, és el càlcul del valor de la resistència del *pont*, per tant, els monitors que presentin tres o més connexions resultaran impossibles de caracteritzar amb el conjunt de mesures realitzades sobre els monitors. Aleshores, només quedaran els monitors amb un o dos *ponts* per a considerar. Ara bé, si la mida del *pont* i la seva localització fan que siguin més de tres les línies connec-

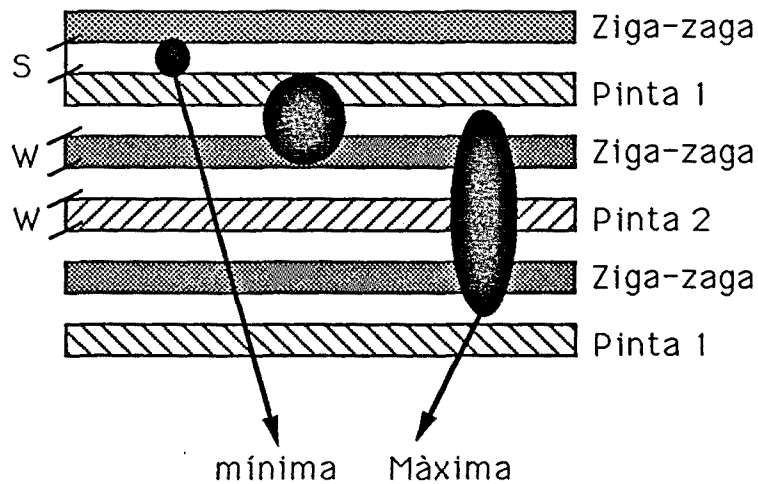


Figura 3.7: Dimensions màxima i mínima de les taques causants dels ponts entre una pinta i la ziga-zaga

tades, resultarà impossible el càlcul de R_b degut a la mateixa raó. D'entre les topologies, doncs, caracteritzables, s'escolliran dues per a la mesura del seu valor resistiu. La primera topologia és la corresponent a *ponts* que connecten la ziga-zaga amb només una de les pintes. La segona és la corresponent als *ponts* que connecten la ziga-zaga amb les dues pintes alhora, però només involucrant un dit de cada pinta i deixant invariant $N_e = N$. En les subseccions següents s'estudien les dues topologies.

3.4.1 Primera topologia. Ponts simples pinta/ziga-zaga

Aquest grup és el format pels curts circuits que només connecten la ziga-zaga amb una qualsevulla de les pintes [ROD92]. Assumint un model de taca circular, el mínim diàmetre que pot originar un *pont* és S . El màxim diàmetre generador d'un *pont* entre una pinta i la ziga-zaga és $4S + 3W$. Aquest fet és il·lustrat en la Figura 3.7.

La tria dels *ponts* entre una pinta i la ziga-zaga es fa segons els paràmetres definits N_e , CC i S . Aquests només presenten dues possibilitats d'agrupació com es veu en la taula 3.2. Com la connexió és entre la ziga-zaga i només una de les pintes, el valor de $R_{S_1 S_2}$ no es veu modificat, essent $N_e = N$. El segon paràmetre, CC , ha d'esperar-se molt més gran que 1, ja que el *pont* no arriba a connectar a les dues pintes entre sí. Finalment, el valor de S dependrà de quina és la pinta que ha curtcircuitat el *pont* amb la ziga-zaga. Si la pinta en qüestió és la 1, S valdrà gairebé zero, ara bé, si la pinta connectada és la 2

Defecte	N_e	CC	S
Pont entre Zz i Pinta 1	N	$\gg N$	$0 < S < 1$
Pont entre Zz i Pinta 2	N	$\gg N$	$\gg 1$

Taula 3.2: *Valors dels paràmetres per a ponts entre una pinta i la ziga-zaga*

el valor S serà bastant més gran que 1 ja que valdrà,

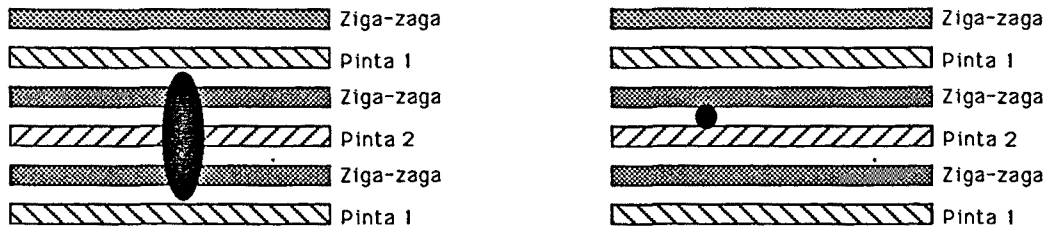
$$S = \frac{R_{C_1 S_1}}{R_{C_2 S_1}} = \frac{R_{C_1 f S_1}}{R_{C_2 S_1}} \quad (3.16)$$

on $R_{C_1 f S_1}$ denota la resistència de fuga entre la pinta i la ziga-zaga essent de l'ordre de $G\Omega$ segons dades experimentals facilitades per Philips.

Finalitzada la tria dels *pont* que connecten la ziga-zaga amb només una de les pintes, s'analitza el circuit elèctric corresponent per a calcular el valor de la resistència del *pont*. Per fer això, es representa l'esquema elèctric del mòdul substituint el *pont* pel model resistiu. Ara bé, en el grup d'aquests *ponts* existeixen dues topologies possibles que són les presentades en la Figura 3.8. Totes dues connecten la ziga-zaga amb una de les pintes (la pinta 2 en aquest cas) però la Figura 3.8 a) ho fa mitjançant tres punts de contacte mentre la Figura 3.8 b) ho fa mitjançant només dos. Topologies que s'anomenaran, a partir d'ara, *pont compost* i *pont simple*, respectivament. A l'hora de representar l'esquema elèctric corresponent en la Figura 3.9, es nota la influència que el nombre de punts de connexió té en el càlcul del valor de la resistència del *pont*. Així, en el cas a) (*pont compost*), no és conegut el percentatge de R_b en R_{b1} ni en R_{b2} . Per aquesta raó s'estudiaran els *ponts simples* i no els *compostos*.

La tria dels *ponts simples* no es pot fer mai per medis elèctrics, ja que amb el grup de mesures realitzades no es pot distingir entre l'existència d'un punt de contacte o dos punts (Figura 3.8). Per aquesta raó s'ha fet per medis visuals. En el nostre cas, el microscopi utilitzat ha estat un microscopi electrònic d'escombrada (*scanning electron microscope*, SEM) model JEOL 6400 proveït d'una connexió EDS.

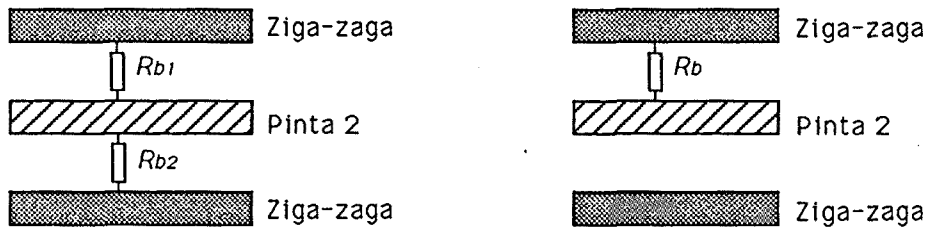
Abans d'analitzar l'expressió de la resistència d'un *pont simple*, es presenta la nomenclatura utilitzada. En la Figura 3.10 a), es mostra, esquemàticament, un mòdul defectuós amb una connexió entre la ziga-zaga i la pinta 1 i amb el *pont* substituït pel model resistiu. El significat de cadascuna de les resistències i el paràmetre β definits són els següents:



a) Pont compost

b) Pont simple

Figura 3.8: Topologies possibles pels ponts entre una pinta i la ziga-zaga



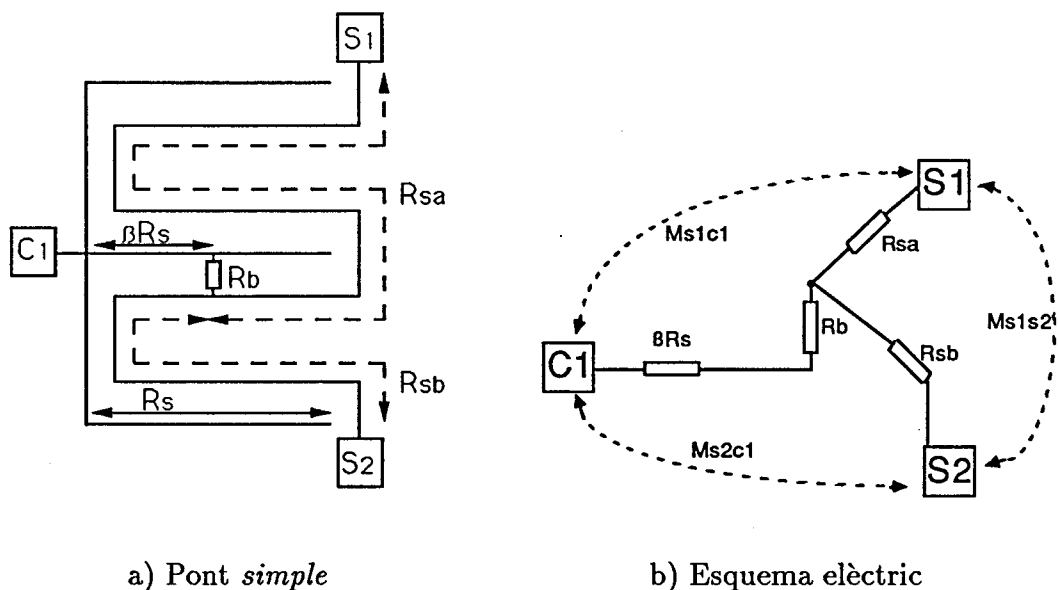
a) Pont pinta-ziga-zaga compost

b) Pont pinta-ziga-zaga simple

Figura 3.9: Figura anterior amb la modelació dels ponts entre una pinta i la ziga-zaga

- R_{S_a} indica la resistència parcial de la ziga-zaga que connecta el *pad* S_1 amb l'extrem corresponent del *pont*.
- R_{S_b} indica la resistència parcial de la ziga-zaga que connecta el *pad* S_2 amb l'extrem corresponent del *pont*.
- R_b indica el valor de la resistència del *pont simple*.
- β és un factor de localització: $0 \leq \beta \leq 1$
 β val 0 quan el *pont* es troba a la base del dit de la pinta
 β val 1 quan el *pont* es troba a l'extrem del dit de la pinta
- R_s és la resistència d'una secció de la ziga-zaga

En la Figura 3.10 b) es representa l'esquema elèctric corresponent a la Figura 3.10 a). La nomenclatura introduïda és la M_{XY} que es refereix al mesurament realitzat entre el *pad*



a) Pont simple

b) Esquema elèctric

Figura 3.10: Modelació d'un pont simple entre una pinta i la ziga-zagà

X i el pad Y i, amb R_c es denota la resistència de contacte entre el circuit i l'instrument de mesura. De l'anàlisi de l'esquema elèctric es deriven les tres equacions següents:

$$M_{S_1 C_1} = R_{S_a} + R_b + \beta R_s + 2R_c \quad (3.17)$$

$$M_{S_2 C_1} = R_{S_b} + R_b + \beta R_s + 2R_c \quad (3.18)$$

$$M_{S_1 S_2} = R_{S_a} + R_{S_b} + 2R_c \quad (3.19)$$

Resolent el valor de R_b del sistema de tres equacions anteriors queda:

$$R_b = \frac{1}{2}(M_{S_1 C_1} + M_{S_2 C_1} - M_{S_1 S_2}) - \beta R_s - R_c \quad (3.20)$$

Expressió que es pot escriure de nou com,

$$R_b = \frac{m}{2} - \beta R_s - R_c \quad (3.21)$$

on,

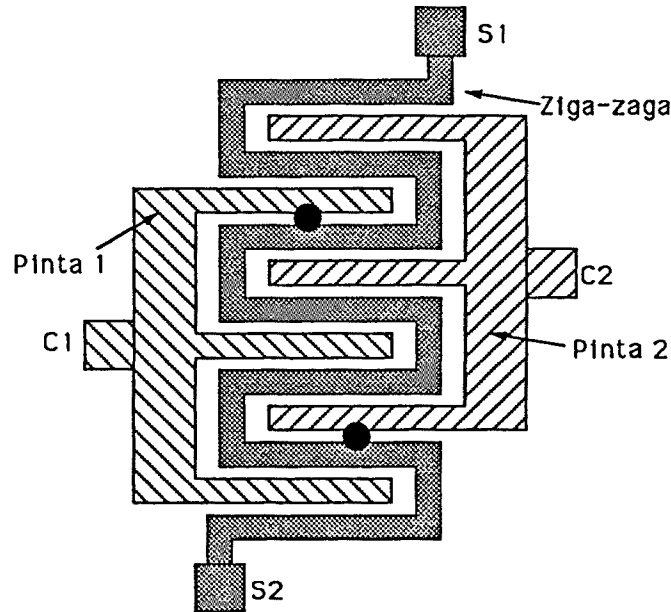


Figura 3.11: Topologia dels ponts dobles que connecten la ziga-zaga amb les dues pintes alhora

$$m = M_{S_1 C_1} + M_{S_2 C_1} - M_{S_1 S_2} \quad (Zz - P1) \quad (3.22)$$

Pel cas d'un *pont* entre la ziga-zaga i la Pinta 2,

$$m = M_{S_1 C_2} + M_{S_2 C_2} - M_{S_1 S_2} \quad (Zz - P2) \quad (3.23)$$

L'expressió 3.21 serà utilitzada per al càlcul de la resistència causada pel *pont* en cada un dels mòduls defectuosos.

3.4.2 Segona topologia. Ponts dobles

Aquest grup està compost pels *ponts* que connecten la ziga-zaga amb les dues pintes alhora, però que no fan disminuir el paràmetre $N_e = N$; s'anomenaran *dobles*. En la Figura 3.11 s'il.lustra la topologia resultant.

La classificació dels *ponts dobles* es fa amb la determinació dels paràmetres N_e , CC i les components del paràmetre S . En la Taula 3.3 es mostra el valor dels paràmetres. Com el *pont* no disminueix el camí de la ziga-zaga, N_e es manté invariant però, a l'existir una connexió entre les dues pintes, CC no és tan gran com en el cas dels *ponts simples* sinó

Defecte	N_e	CC	$R_{C_1 S_1}$	$R_{C_2 S_1}$
Pont doble comú	N	≥ 1	$< 100 \text{ K}\Omega$	$< 100 \text{ K}\Omega$

Taula 3.3: Valors dels paràmetres per a ponts dobles

que es fa menor dependent de R_b . D'igual forma, existeix connexió entre la ziga-zaga i cadascuna de les dues pintes pel que tant el numerador com el denominador de l'expressió de S (3.12) es fan menors que un cert valor que depèn de R_b i s'espera menor que 100 $\text{K}\Omega$.

L'esquema resultant per un mòdul amb un *doble pont* és mostrat en la Figura 3.12. L'esquema elèctric corresponent pot ser de dos tipus dependent de quina és la pinta que primer es connecta a la ziga-zaga respecte els *pads* S1 i S2 com es veu a la Figura 3.13. La primera topologia s'anomenarà D1 mentre la segona serà la D2. Les equacions que compleixen aquests circuits depenen de quina és la classe a la que pertanyen.

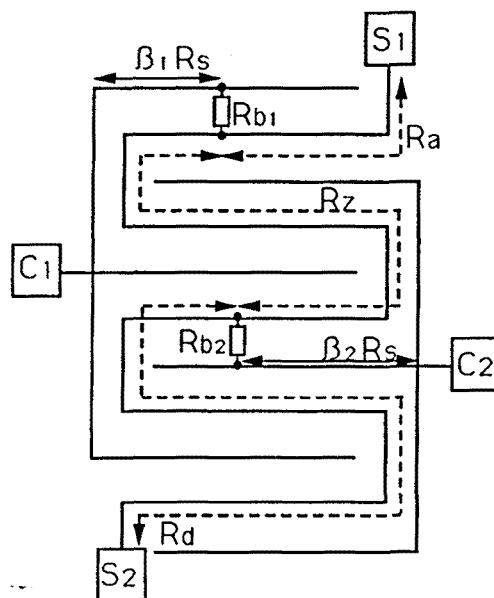


Figura 3.12: Topologia dels ponts dobles

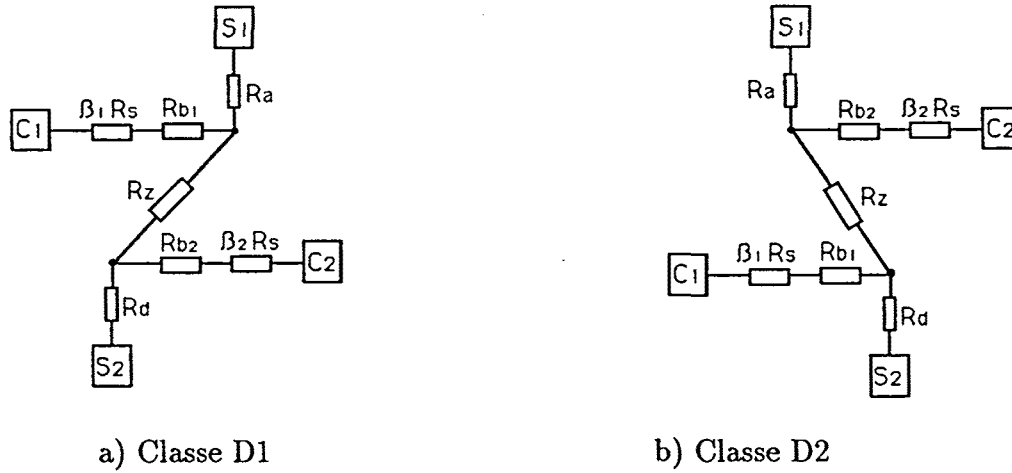


Figura 3.13: Possibles topologies dels ponts dobles

Ponts dobles de classe D1

S'analitzarà l'esquema elèctric corresponent a un *pont doble* de classe D1, mantenint una nomenclatura similar a la utilitzada en l'anàlisi dels *ponts simples* pinta/ziga-zaga:

- R_a és la resistència de la part de la ziga-zaga que comença en el pad S1 i acaba en el primer *pont* que troba en el seu camí cap al pad S2.
- R_z és la resistència de la part de ziga-zaga que es troba entre els dos *ponts*.
- R_d correspon a la resistència de la part de ziga-zaga que hi ha entre al pad S2 i el primer *pont* que es troba anant cap a S1.
- R_{b1} i R_{b2} són les resistències del *pont* més proper a S1 i a S2, respectivament.
- β_1 i β_2 són els factors de localització sobre els dits de la Pinta 1 i 2, respectivament.
- R_s és la resistència d'un dit o secció.
- R_c és la resistència de contacte entre un pad i l'instrument de mesura.

De la connexió de la ziga-zaga amb la pinta 1, es troben les següents expressions,

$$M_{C_1 S_1} = R_a + R_{b1} + \beta_1 R_s + 2R_c \quad (3.24)$$

$$M_{C_1 S_2} = R_d + R_z + R_{b1} + \beta_1 R_s + 2R_c \quad (3.25)$$

De la connexió amb la pinta 2,

$$M_{S_1C_2} = R_a + R_z + R_{b2} + \beta_2 R_s + 2R_c \quad (3.26)$$

$$M_{S_2C_2} = R_d + R_{b2} + \beta_2 R_s + 2R_c \quad (3.27)$$

A més a més, també es compleixen les dues relacions,

$$M_{S_1S_2} = R_a + R_z + R_d + 2R_c \quad (3.28)$$

$$M_{C_1C_2} = \beta_1 R_s + R_{b1} + R_z + R_{b2} + \beta_2 R_s + 2R_c \quad (3.29)$$

Aquestes sis equacions són dependents entre elles, de forma que només existeixen cinc independents. De la resolució dels valors de les resistències dels dos *ponts* s'obté:

$$R_{b1} = \frac{M_{S_1C_1} + M_{S_2C_1} - M_{S_1S_2}}{2} - \beta_1 R_s - R_c \quad (3.30)$$

$$R_{b2} = \frac{M_{S_1C_2} + M_{S_2C_2} - M_{S_1S_2}}{2} - \beta_2 R_s - R_c \quad (3.31)$$

Expressions que poden escriure's com,

$$R_{bx} = \frac{m_x}{2} - \beta_x R_s - R_c \quad (3.32)$$

on,

$$\left. \begin{aligned} m_1 &= M_{S_1C_1} + M_{S_2C_1} - M_{S_1S_2} \\ m_2 &= M_{S_1C_2} + M_{S_2C_2} - M_{S_1S_2} \end{aligned} \right\} \quad (3.33)$$

Aquestes expressions són equivalents a la corresponent als *ponts* simples de la secció anterior.

Cas particular. Pont doble entre dos dits Existeix un cas particular molt interessant de topologia dins d'aquest grup que és la presentada en la Figura 3.14 i corresponent al cas $R_z=0$. En aquests mòduls es compleix la relació,

$$R_b = R_{b1} + R_{b2} = M_{C_1 C_2} - R_s \tag{3.34}$$

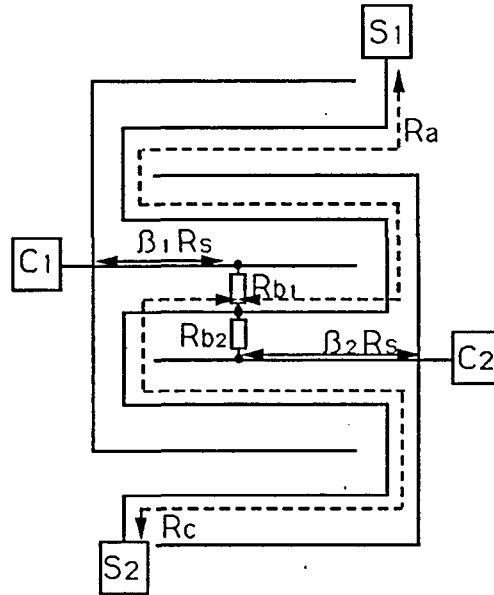


Figura 3.14: Cas particular dels ponts dobles: pont simple pinta a pinta

Amb l'equació 3.32 es calcularan les resistències dels dos *ponts* que connecten la ziga-zaga amb cadascuna de les dues pintes (R_{b1} i R_{b2}). Si el cas particular fa que el punt de contacte sigui comú, l'expressió 3.34 determinarà el valor de la resistència total $R_b = R_{b1} + R_{b2}$.

Ponts dobles de classe D2

De l'anàlisi de l'esquema resistiu se'n desprèn que les equacions per al càlcul de R_{b1} i de R_{b2} són les mateixes que per a la classe D1. Igual succeeix en el cas particular on el punt de contacte del *pont doble* és comú. Ara bé, la distinció entre els mòduls que contenen un *pont doble* de classe D1 i els que el contenen de classe D2 es farà amb la comprovació de les següents relacions, diferents segons sigui la classe:

Classe D1:

$$R_{C_1 C_2} + R_{S_1 S_2} = R_{S_1 C_2} + R_{S_2 C_1} \tag{3.35}$$

Classe D2:

$$R_{C_1 C_2} + R_{S_1 S_2} = R_{S_1 C_1} + R_{S_2 C_2} \tag{3.36}$$

Així doncs, en el càlcul dels valors resistius dels *ponts* no hi ha distinció entre la classe de *pont doble* on pertanyi el circuit.

3.5 Probabilitats de les topologies considerades

En aquesta subsecció es calcularà la probabilitat d'aparició d'algunes de les topologies defectuoses que s'han presentat prèviament. Es compararà la relació existent entre elles.

En la Figura 3.7, s'ha mostrat el dimensionat mínim i màxim de la taca que pot provocar un *pont* entre la ziga-zaga i una de les pintes, ja sigui un *pont simple* o bé un *pont compost*. La probabilitat que un *pont* sigui simple o sigui compost depèn de la distribució del radi de les taques i de la localització del seu centre. Per a calcular aquestes probabilitats es faran les següents hipòtesis:

1. La taca causant del *pont* té forma circular.

L'estructura unitària i repetitiva que es considerarà a l'hora d'analitzar l'efecte d'una taca circular sobre un monitor és la mostrada en la Figura 3.15. L'alçada d'aquest patró és igual a $4W + 4S$.

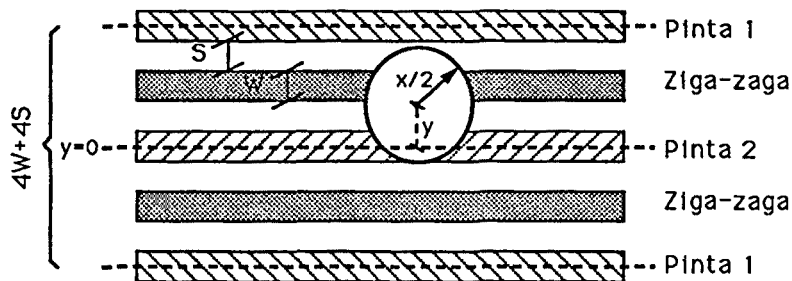


Figura 3.15: Estructura repetitiva considerada per al càlcul de la probabilitat d'aparició d'un *pont simple*

2. La localització del centre de la taca, y , es distribueix uniformement dins la banda considerada.

Corresponent a l'estructura assumida, la probabilitat que el centre d'una taca, c , caigui dins l'àrea d'alçada dy és,

$$p(y \leq c < y + dy) = \frac{1}{4W + 4S} dy \quad (3.37)$$

on $4W+4S$ és l'alçada de l'estructura repetitiva.

3. El diàmetre de la taca, d , és independent de la posició del centre i té una densitat de probabilitat coneguda de la forma [GLA90],

$$p(x \leq d < x + dx) = \frac{k}{x^3} dx \quad (3.38)$$

Partint de la formulació d'aquestes hipòtesis es calcularà, en primer lloc, la probabilitat d'aparició d'un *pont simple*. Degut a la proporcionalitat inversa de la funció de densitat de probabilitat amb el cub del diàmetre, la probabilitat de presència dels *ponts simples* ha d'esperar-se molt superior a la probabilitat d'aparició d'un *pont compost*. Aquest fet es comprovarà amb el càlcul posterior de la dita probabilitat. Finalment seran considerats els *dobles ponts*.

Ponts simples

Consideri's les condicions que ha de complir la taca de radi $x/2$ i centre y de la Figura 3.15 per a crear un *pont simple* entre la pinta 2 (en el centre) i la ziga-zaga (línia superior a la pinta 2):

1. La taca ha de contactar amb la ziga-zaga, pel que ha de complir que,

$$y + \frac{x}{2} > \frac{W}{2} + S \quad (3.39)$$

2. La taca ha de contactar amb la pinta 2, és a dir,

$$y - \frac{x}{2} < \frac{W}{2} \quad (3.40)$$

3. La taca no ha d'estar connectada amb la pinta 1,

$$y + \frac{x}{2} < \frac{3W}{2} + 2S \quad (3.41)$$

4. La taca només ha de connectar una secció de la ziga-zaga, en aquest cas la superior a la pinta 2,

$$y - \frac{x}{2} > -\frac{W}{2} - S \quad (3.42)$$

Per a la consideració d'un *pont* entre la pinta 2 i la línia de la ziga-zaga inferior a aquesta, només cal substituir y per $-y$ en la formulació de les quatre condicions a complir.

En la Figura 3.16 es troben representades les condicions abans esmentades sobre un gràfic $(y, x) = (\text{centre}, \text{diàmetre})$. L'ordre en l'enumeració de les condicions coincideix amb el subíndex seguit sobre la Figura. L'àrea tancada per l'acompliment de les quatre condicions proporciona el domini on s'ha d'integrar la funció que defineix la probabilitat que una taca causant de *pont* caigui en y i tingui diàmetre x . Es a dir, la probabilitat, P_{s2} , de que aparegui un *pont simple* entre la pinta 2 i la ziga-zaga es calcula amb l'expressió,

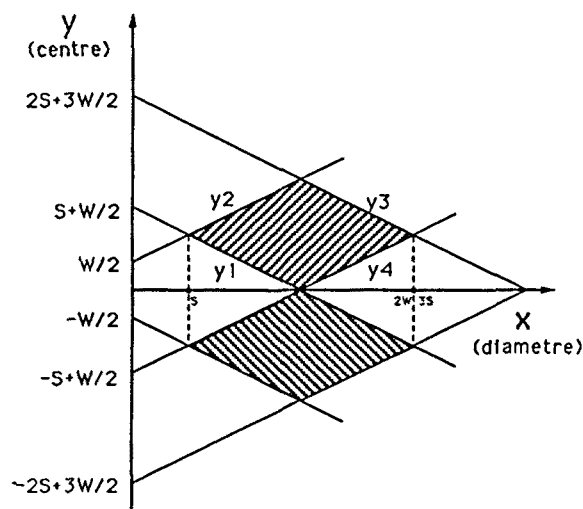


Figura 3.16: Superfície tancada en el pla (centre, diàmetre) on una taca pot crear ponts simples

$$P_{s2} = 2 \left\{ \int_S^{W+2S} \int_{y_1(x)}^{y_2(x)} p(y \leq c < y + dy) p(x \leq d < x + dx) dx dy + \int_{W+2S}^{2W+3S} \int_{y_4(x)}^{y_3(x)} p(y \leq c < y + dy) p(x \leq d < x + dx) dx dy \right\} \quad (3.43)$$

Substituint en l'equació 3.43 les expressions de les probabilitats donades en les equacions 3.37 i 3.38 s'obté:

$$P_{s2} = \frac{2k}{4W + 4S} \left\{ \frac{-1}{W + 2S} + \frac{1}{2S} + \frac{1}{4W + 6S} \right\} \quad (3.44)$$

Pel cas particular corresponent als dissenys mesurats, pel que $S = W$, la substitució en l'expressió 3.44 dona com a resultat,

$$P_{s2} = \frac{2k}{4S + 4S} \left\{ \frac{-1}{3S} + \frac{1}{2S} + \frac{1}{10S} \right\} = \frac{2k}{30S^2} \quad (3.45)$$

on, k és la constant de l'expressió referent a la densitat de probabilitat del diàmetre de la taca (equació 3.38) i S és la separació entre dits (en el cas particular coincideix amb l'amplada).

Seguidament, es calcula la probabilitat de presència de *ponts compostos*.

Ponts compostos

Pel cas de *ponts compostos*, el dimensionat màxim i mínim de la taca és mostrat en la Figura 3.17. Les condicions que ha de complir la localització de la taca, juntament amb el diàmetre d'aquesta, són enumerades a continuació:

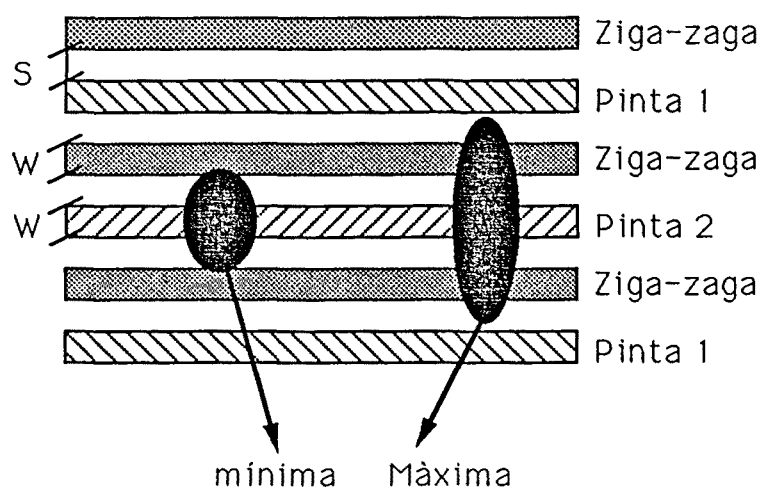


Figura 3.17: Dimensionat màxim i mínim de les taques que causen un pont compost

1. La taca connecta amb la secció superior de la ziga-zaga,

$$y + \frac{x}{2} > \frac{W}{2} + S \quad (3.46)$$

2. La taca no arriba pas fins a la secció superior de la Pinta 1,

$$y + \frac{x}{2} < \frac{3W}{2} + 2S \quad (3.47)$$

3. La taca connecta amb la secció inferior de la ziga-zaga,

$$y - \frac{x}{2} < -\frac{W}{2} - S \quad (3.48)$$

4. La taca no connecta amb la secció inferior de la Pinta 1,

$$y - \frac{x}{2} > -\frac{3W}{2} - 2S \quad (3.49)$$

En la Figura 3.18 es mostren representades les quatre condicions, donant lloc a una regió tancada dins del pla (centre, diàmetre). L'expressió final que calcula la probabilitat de *pont compost* entre la ziga-zaga i la Pinta 2 és de la forma,

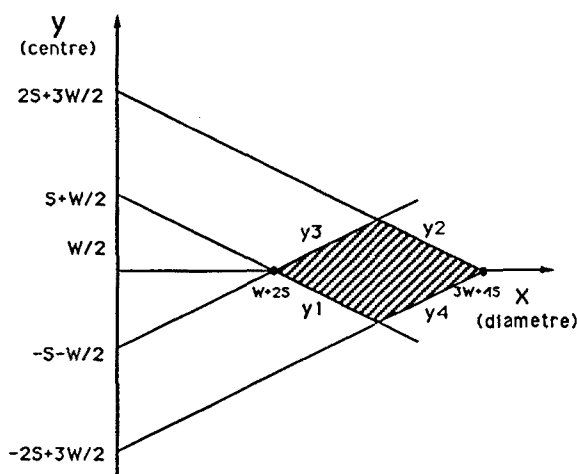


Figura 3.18: Superfície tancada en el pla (centre, diàmetre) on una taca pot crear ponts compostos

$$P_{c2} = \int_{W+2S}^{2W+3S} \int_{y_1(x)}^{y_3(x)} p(y \leq c < y + dy)p(x \leq d < x + dx)dx dy + \int_{2W+3S}^{3W+4S} \int_{y_4(x)}^{y_2(x)} p(y \leq c < y + dy)p(x \leq d < x + dx)dx dy \quad (3.50)$$

Amb la substitució de les expressions de les equacions 3.37 i 3.38 en l'equació 3.50 s'arriba a,

$$P_{c2} = \frac{k}{4W + 4S} \left\{ \frac{-1}{2W + 3S} + \frac{1}{2(W + 2S)} + \frac{1}{2(4S + 3W)} \right\} \quad (3.51)$$

Pel cas particular en el que $S = W$, el resultat de l'expressió 3.51 és igual a,

$$P_{c2} = \frac{k}{210S^2} \quad (3.52)$$

on, com en el cas de *ponts simples*, k és la constant de l'expressió referent a la densitat de probabilitat del diàmetre de la taca (equació 3.38) i S és la separació entre dits (en el cas particular $S=W$).

3.5.1 Relació de probabilitats entre ponts simples i compostos

Conegudes les probabilitats d'existència d'un *pont simple* i un *pont compost*, la relació entre elles és, quan $S = W$,

$$\frac{P_s}{P_c} = \frac{2/30}{1/210} = 14 \quad (3.53)$$

Aquest resultat fa que s'espera, en l'experimentació, un nombre de mostres corresponents a *ponts simples* superior al nombre de mostres de *ponts compostos*. Aquest fet es podrà comprovar en l'apartat destinat al resultats experimentals, més endavant.

Dobles ponts

En el càlcul dels *dobles ponts* es considerarà la mateixa estructura unitària repetitiva d'alçada $4W + 4S$ considerada pels *ponts simples* i *compostos*. Ara, però, es considerarà la coincidència d'un *pont* entre la ziga-zaga i la pinta 1 junt amb un *pont* entre la ziga-zaga i la pinta 2. La hipòtesi de la que es partirà suposa que la situació i mida del *pont* amb la pinta 1 és independent de la situació i mida del *pont* amb la pinta 2. Les condicions que ha de complir una taca per a crear un *pont* amb la pinta 2 ja han estat descrites pel cas de *ponts simples*. S'il·lustrarà, només, el càlcul de la probabilitat de *ponts* amb la pinta 1 pel qual es considerarà la propietat repetitiva de l'estructura considerada amb el fet que la mitja secció de la pinta 1, superior en l'estructura, té continuació en la mitja secció inferior en l'estructura.

Es calcularà la probabilitat dels *ponts* entre la pinta 1 i la secció de la ziga-zaga inferior com es mostra en la Figura 3.19. Les condicions que ha de complir la taca són les quatre

següents:

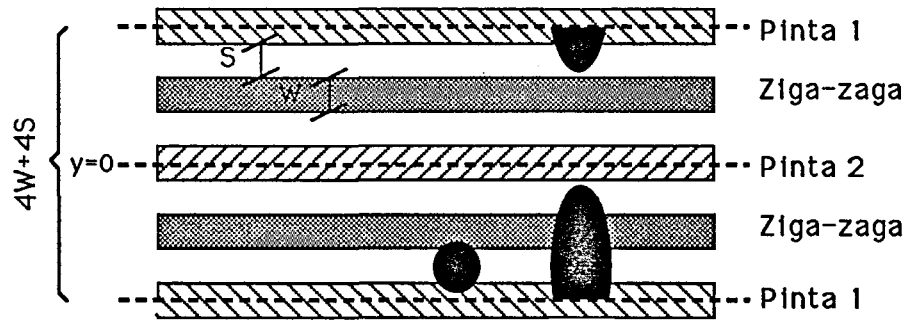


Figura 3.19: Dimensionat per a les taques que creen ponts entre la pinta 1 i la ziga-zaga inferior de l'estructura

1. La taca connecta amb la pinta 1

$$y + \frac{x}{2} > \frac{3W}{2} + 2S \quad (3.54)$$

2. La taca toca la secció superior de la ziga-zaga

$$y - \frac{x}{2} < \frac{3W}{2} + S \quad (3.55)$$

3. La taca no connecta amb la pinta 2

$$y - \frac{x}{2} > \frac{W}{2} \quad (3.56)$$

4. La taca no toca la secció inferior de la ziga-zaga

$$y + \frac{x}{2} < \frac{5W}{2} + 3S \quad (3.57)$$

Per al càlcul dels *ponts* que connecten la pinta 1 amb la secció superior de la ziga-zaga, l'aplicació de les condicions és molt similar. En la Figura 3.20 són mostrades les àrees

tancades dins les quals s'han d'integrar les funcions delimitadores de les probabilitats. Per la hipòtesi d'independència dels dos *ponts* esmentada, la probabilitat de *doble pont*, P_d , vindrà donada pel producte de les probabilitats de *pont* entre la pinta 1 i la pinta 2 amb la ziga-zaga:

$$P_d = \left(\int \int_{\text{àrea1}+\text{àrea2}} p(y \leq c < y + dy)p(x \leq d < x + dx)dx dy \right) \left(\int \int_{\text{àrea3}+\text{àrea4}} p(y \leq c < y + dy)p(x \leq d < x + dx)dx dy \right) \quad (3.58)$$

Tenint en compte les expressions de la probabilitat de *pont simple* (3.44),

$$P_d = P_{s1}P_{s2} = P_s^2 \quad (3.59)$$

on P_s denota la probabilitat d'aparició d'un *pont simple*, no importa amb quina de les dues pintes.

Substituint l'equació 3.45 pel cas particular que ens ocupa, on $W = S$ es troba que,

$$P_d = \left(\frac{k}{30S^2} \right)^2 \quad (3.60)$$

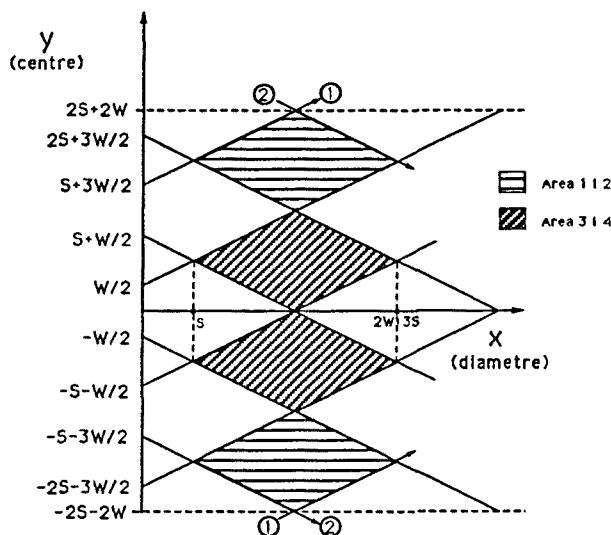


Figura 3.20: Superfícies tancades en el pla (centre, diàmetre) on dues taques poden crear ponts dobles

3.6 Mesures experimentals de ponts entre metall i metall

La instrumentació utilitzada en les mesures realitzades sobre els circuits monitors ha estat l'analitzador de paràmetres de semiconductors HP4145B. Les mesures han estat realitzades a temperatura ambient i amb la il·luminació ambiental.

3.7 Anàlisi dels errors

En l'expressió resultant per R_t s'ha de considerar la presència d'una sèrie d'errors que provenen de diferents fonts:

1. Instrumentació utilitzada per a realitzar els mesuraments M_{XY}
2. Desconeixença dels paràmetres β , β_1 i β_2
3. Variació de l'ample de les línies de metall i variació de la resistència laminar durant el procés de fabricació, i.e., variació de R_s
4. Estimació de la resistència de contacte R_c

Per a cada una d'aquestes fonts, es calcula l'error introduït:

1. L'instrument utilitzat per a mesurar el grup de resistències requerides pel càlcul de R_t és l'analitzador de paràmetres de semiconductors HP4145B. La precisió de l'aparell està especificada pel fabricant segons $\pm (0.1\% + 10\text{mV} + 0.4\Omega I_{mes})$ pel voltatge mesurat:
 - El primer terme correspon al 0.1 % del voltatge generat.
 - El segon terme és constant i igual a 10 mV.
 - El darrer terme és proporcional al corrent mesurat, I_{mes} .

Aquestes especificacions estan definides a $23\text{ }^\circ\text{C} \pm 5\text{ }^\circ\text{C}$.

Per a cada un dels mesuraments M_{XY} , es genera una escombrada de tensió que va des de $(-x, x)$ Volts. El valor x és el màxim que provoca un flux de corrent inferior a $100\mu\text{A}$. La raó està en evitar un escalfament del mòdul que produiria mesures errònies degut a variacions de la temperatura. La utilització d'una escombrada

serveix, també, per a caracteritzar el tipus d'unió causada pel *pont*, bé òhmica, bé rectificadora.

L'error en qualsevol de les resistències mesurades s'ha calculat segons l'expressió,

$$e_{M_x} = \frac{eV_x}{I_x} = \frac{0.001V_x + 10mV}{I_x} + 0.4\Omega \quad (3.61)$$

on, V_x i I_x són el valor de tensió generat i el corrent mesurat, respectivament.

2. L'error introduït per la desconexió de l'alçada en el dit on es troba el *pont* està maximitzat per la resistència d'un dit sencer, (R_s). Degut a la dificultat de localització del *pont*, s'ha suposat un valor mig $\beta = \frac{1}{2}$ en el càlcul de R_b com a valor orientatiu. Ara bé, aquest valor orientatiu s'ha considerat puntual dins el rang de variació total (0, 1) per a β a l'hora de calcular l'error causat.
3. L'error introduït per la variació d'amplada de les línies de metall durant el procés és estimat en un 6% basant-se en dades proporcionades pel fabricant sobre els tres processos utilitzats, C2DM, C2XX i C1DM.
4. El càlcul del valor de la resistència de contacte, R_c , entre les agulles de les sondes i els *pads* del circuit es va basar en la disposició dels *pads* S_2 , S_3 i S_4 . De la Figura 3.2 es dedueix que,

$$M_{S_2S_3} = R_{S_2S_3} + 2R_c \quad (3.62)$$

$$M_{S_2S_4} = R_{S_2S_4} + 2R_c \quad (3.63)$$

$$M_{S_4S_3} = R_{S_4S_3} + 2R_c \quad (3.64)$$

Restant l'equació 3.62 de la suma de les 3.63 i 3.64 s'obté,

$$M_{S_2S_4} + M_{S_4S_3} - M_{S_2S_3} = R_{S_2S_4} + R_{S_2S_3} - R_{S_2S_3} + 2R_c \quad (3.65)$$

i, com,

$$R_{S_2S_4} + R_{S_4S_3} = R_{S_2S_3} \quad (3.66)$$

s'obté,

$$M_{S_2S_4} + M_{S_4S_3} - M_{S_2S_3} = 2R_c \quad (3.67)$$

D'on s'aïlla,

$$R_c = \frac{M_{S_2S_4} + M_{S_4S_3} - M_{S_2S_3}}{2} \quad (3.68)$$

Utilitzant aquesta expressió 3.68 i després de feta una mitjana, la resistència mitja oposada per les agulles de les sondes en contactar amb el circuit és $\overline{R_c} = 30\Omega$.

Interval d'incertesa pel ponts simples i dobles

Per a cada mòdul defectuós s'han mesurat les resistències necessàries per al càlcul de les R_{bx} , i.e., R_b ó R_{b1} i R_{b2} . El valor obtingut s'ha considerat com a punt inclòs dintre d'un interval d'incertesa que ha estat calculat amb la contribució de totes les fonts d'error pel cas més desfavorable. De l'expressió de R_{bx} general (equació 3.32) expressada, ara, de la forma,

$$R_{bx} = \frac{1}{2}(M_1 + M_2 - M_3) - \beta_R R_s - R_c \quad (3.69)$$

es dedueix que,

$$R_{bx} + e_{R_{bx}} = \frac{1}{2}[(M_1 + e_{M_1}) + (M_2 + e_{M_2}) - (M_3 + e_{M_3})] - \beta(R_s + e_{R_s}) - (R_c + e_{R_c}) \quad (3.70)$$

d'on s'aïlla l'error $e_{R_{bx}}$,

$$e_{R_{bx}} = \frac{1}{2}(e_{M_1} + e_{M_2} - e_{M_3}) - (\beta - \beta_R)R_s - \beta e_{R_s} - e_{R_c} \quad (3.71)$$

On,

- β_R és el valor real de β (desconegut per a nosaltres)
- M_1 és la mesura $M_{S_1C_x}$
- M_2 és la mesura $M_{S_2C_x}$
- M_3 és la mesura $M_{S_1S_2}$
- e_{M_x} és l'error de la mesura M_x ($x = 1, 2$ ó 3)
- e_{R_y} és l'error de la mesura R_y ($y = s$ ó c)

El resultat de la resistència del *pont* es considera inclòs dins l'interval,

$$R_{bx} \in [R_{bx} - e'_{R_{bx}}, R_{bx} + e^*_{R_{bx}}] \quad (3.72)$$

on $e'_{R_{bx}}$ és el valor absolut de l'error més negatiu i $e^*_{R_{bx}}$ és l'error més positiu. El càlcul d'aquests dos valors s'ha fet considerant l'error introduït pel desconeixement de β de la següent forma:

- L'error més positiu introduït en R_b coincideix amb $\beta=0$ i $\beta_R=1$,

$$e^*_{R_{bx}} = \frac{1}{2}(e_{M_1Max} + e_{M_2Max} + e_{M_3Max}) + R_s + e_{R_c} \quad (3.73)$$

- L'error més negatiu causat en R_{bx} apareix per a $\beta=1$ i $\beta_R=0$ i val,

$$e'_{R_{bx}} = -\frac{1}{2}(e_{M_1Max} + e_{M_2Max} + e_{M_3Max}) - R_s - e_{R_s} - e_{R_c} \quad (3.74)$$

Cas particular. Pont doble amb punt de contacte comú L'interval d'incertesa pels *ponts* del cas particular de punt comú de contacte consta de menys termes com es mostra a continuació tant per la classe D1 com la D2,

$$R_b = M_1 - R_s - 2R_c R_b + e_{R_b} = M_1 + e_{M_1} - (R_s + e_{R_s}) - 2(R_c + e_{R_c}) \quad (3.75)$$

d'on es dedueix que,

$$e_{R_b} = e_{M_1} - e_{R_s} - 2e_{R_c} \quad (3.76)$$

Es considerarà la resistència inclosa dins del rang,

$$R_b \in [R_b - e'_{R_b}, R_b + e^*_{R_b}] \quad (3.77)$$

on e'_{R_b} és el valor absolut de l'error més negatiu i $e^*_{R_b}$ és l'error més positiu.

- L'error màxim per excés introduït en R_b coincideix amb la suma dels errors parcials més grans.

$$e^*_{R_b} = e_{M_1Max} + e_{R_s} + 2e_{R_c} \quad (3.78)$$

- L'error més negatiu causat en R_b apareix en la suma dels errors màxims per defecte i val, també,

$$e'_{R_b} = +e_{M_1Max} + e_{R_s} + 2e_{R_c} \quad (3.79)$$

Amb la definició, feta en aquest apartat, de les expressions per al càlcul de R_b i del seu interval d'error, es presenten, en la secció següent, els resultats obtinguts de la seva aplicació sobre els monitors defectuosos mesurats.

3.8 Resultats sobre ponts Metall-Metall

Els mòduls mesurats han estat fabricats en els laboratoris de Philips amb seu a Caen (França), Hamburg (Alemanya) i Eindhoven (Països Baixos). El nombre de *wafers* analitzats ha estat de catorze.

Per a cadascuna de les *wafers*, els laboratoris de Philips proporcionaren un conjunt de quatre mapats informant de la classificació prèvia realitzada per ells segons els paràmetres N_e , CC i S . Com a mostra d'aquesta informació, s'il·lustra, en la Figura 3.21, el mapat corresponent als mòduls C1DM del *wafer* de la planta de Caen (dos mapats similars foren subministrats referents als mòduls C2XX i C2DM mostrats en l'Apèndix A). La nomenclatura utilitzada és la següent,

- * Assenyala els mòduls sense cap defecte
- S Es refereix a un *pont* que connecta la Zz amb una de les pintes
- L denota un *pont* entre la Zz i les dues pintes alhora
- O defineix un trencament en la Zz

Per tal de poder situar físicament els mòduls sobre el *wafer*, un quart mapat fou proporcionat com el mostrat en la Figura 3.22. En aquest mapat, les coordenades de posició, (x, y) , són fàcilment deduïbles.

Seguidament, es presentaran els resultats trobats en les mesures de les *wafers* esmentades. La presentació es farà diferenciant els *ponts simples* dels *dobles* i, dins de cada grup, es mostraran els resultats relacionant-los amb cada laboratori. Finalment, s'agruparan els resultats i es valoraran de forma conjunta.

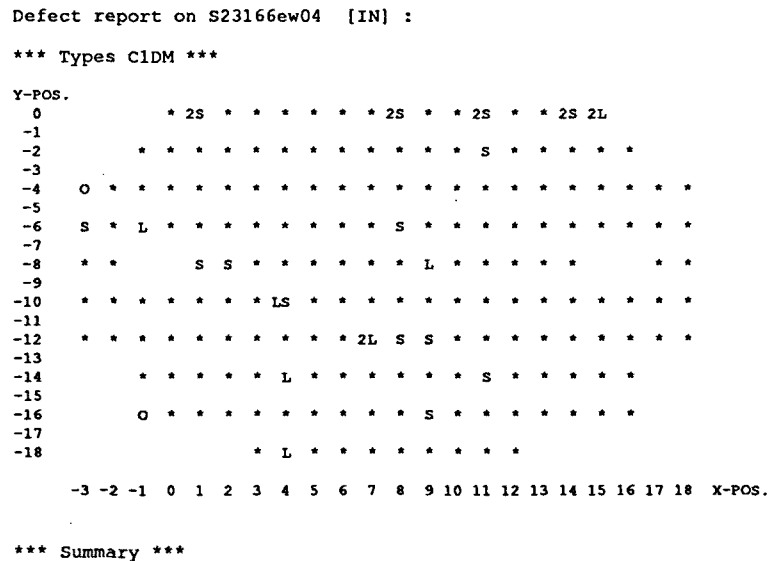


Figura 3.21: Monitors C1DM classificats (planta de Caen)

3.8.1 Ponts simples pinta/ziga-zaga

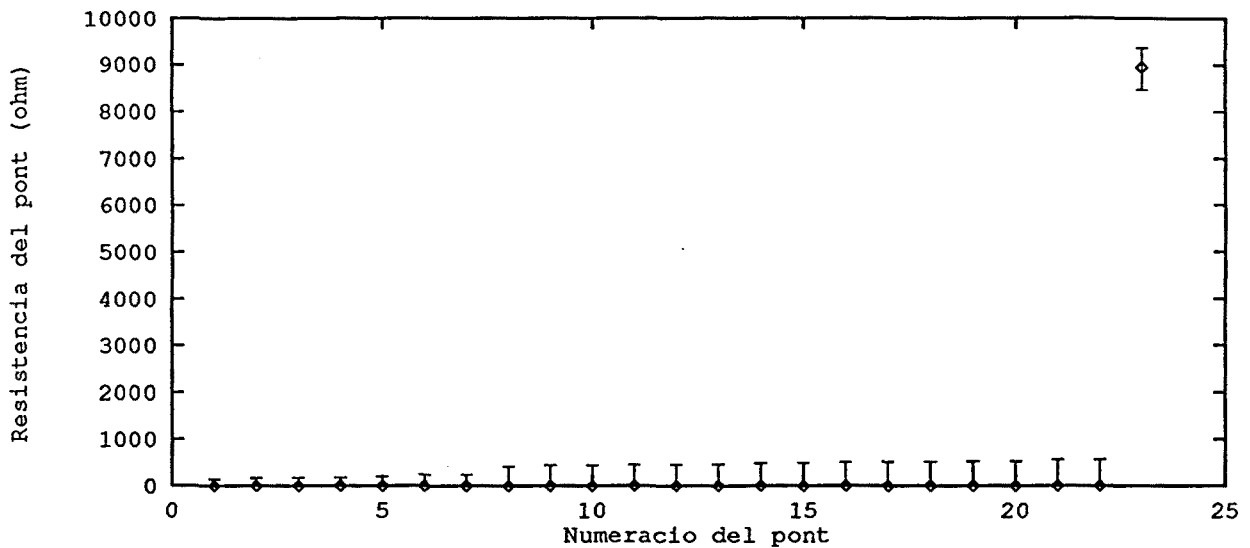
En aquesta subsecció es presenten les resistències mesurades en *ponts simples* entre la ziga-zaga i una de les pintes. La presentació es farà separatament per a cadascuna de les tres línies.

Línia de Caen

De la planta de Caen es va subministrar la *wafer W04* del Batch S23166e. Els monitors mesurats en Philips són presentats en la Figura 3.22 amb el símbol *M*.

De la classificació feta segons els tres paràmetres N_e , CC i S , queda una distribució de monitors defectuosos com les presentades en la Figura 3.21.

Els resultats de mesurar R_b pels circuits amb un *pont simple pinta/ziga-zaga* són mostrats en la Figura 3.23 ordenats segons l'extrem superior del seu interval d'incertesa. Es veu que d'entre 23 *ponts* mesurats, 22 tenen una R_b menor de 600Ω . Només un *pont* presenta $R_b \in [8.5, 9.4]K\Omega$.

Figura 3.23: R_b mesurades (planta de Caen)

3.8.2 Ponts dobles

Dels mapats dels *wafers* proporcionats per Philips s'observa com la quantitat de *ponts dobles* senyalats amb $2S$ és molt inferior a la quantitat de *ponts simples*, S , com s'esperava. Els resultats de les mesures i càlcul d'errors sobre aquests *ponts dobles* és el següent.

Línia de Caen

Dels quatre mòduls marcats amb $2S$ cap correspon a les dues topologies considerades. Tots quatre es componen de dos connexions entre la ziga-zaga i la mateixa pinta.

Línia d'Hamburg

Dels *ponts dobles* corresponents a la planta d'Hamburg els resultats són mostrats en la Figura 3.28. Dinou dels *ponts* tenen resistència inferior a 800Ω , mentre només un cau dins del rang (1.5, 2.5) $K\Omega$.

Línia d'Eindhoven

Els *ponts dobles* mesurats en les *wafers* d'Eindhoven es mostren en la Figura 3.29. D'entre els vint-i-quatre *ponts* mesurats, dinou presenten resistència inferior a $1 K\Omega$, quatre estan

VMX monitors from production line in Hamburg.

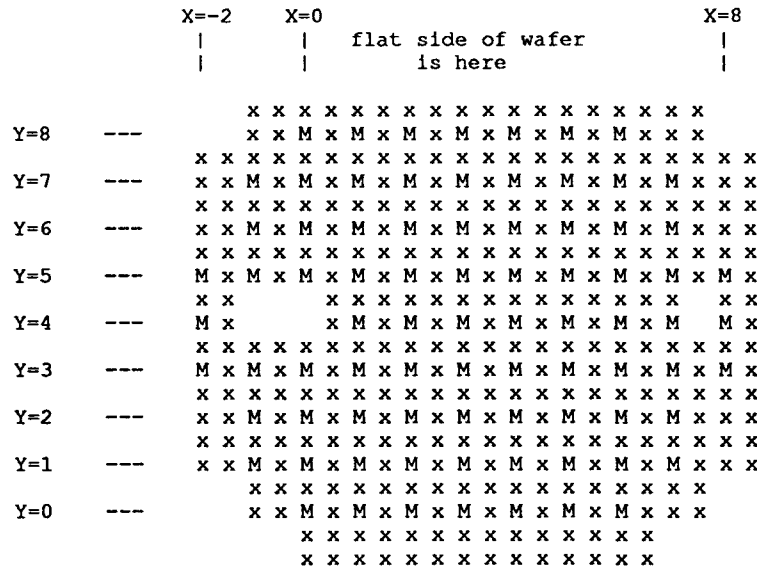


Figura 3.24: Monitors classificats (planta d'Hamburg)

per sota d'1.15 KΩ i un està dins del rang (2, 3.5) KΩ.

3.8.3 Anàlisi conjunta dels ponts

Entre els *ponts simples* i els *ponts dobles* pinta/ziga-zaga presentats en les subseccions anteriors, 403 foren els *ponts* mesurats. En la Figura 3.30 es presenten els resultats globals de totes les resistències mesurades. En la Figura 3.31 s'amplia la zona corresponent a *ponts* de resistència diferent de zero.

De l'anàlisi dels resultats obtinguts es pot fer una divisió en tres grups:

1. El primer grup està format pels *ponts* de baixa resistència. La resistència d'aquests *ponts* està per sota dels 500 Ω, ja que el límit superior de l'interval és menor que aquest valor. En la Figura 3.32 i la taula 3.4 es veu com la majoria dels *ponts simples*, 261 (64,8 %), s'escauen dins aquest grup.
2. El segon grup és el dels *ponts* altament resistius. S'inclouen dins aquest grup als que, fins i tot pel pitjor cas, tenen una R_b superior a 500 Ω. En la Figura 3.33 i taula 3.5 es veu com el nombre de *ponts* detectats dins aquest grup és de 14 (3.47 %), anant llurs valors fins a 19.1KΩ. El percentatge de *ponts simples* en cadascuna

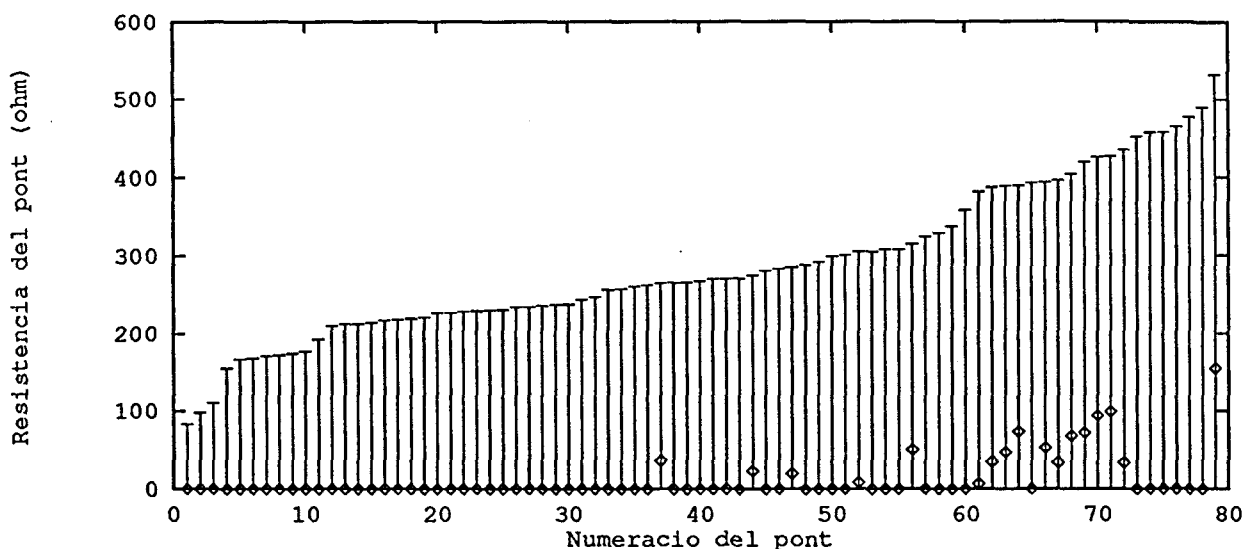


Figura 3.25: R_b mesurades (planta d'Hamburg)

Rang garantit	Número ponts simples
$R_b \leq 0.5$	261 (64.8 %)
$R_b \leq 1$ K	382 (94.8 %)
$R_b \leq 5$ K	397 (98.5 %)
$R_b \leq 10$ K	400 (99.2 %)
$R_b \leq 20$ K	403 (100 %)

Taula 3.4: Distribució dels ponts simples segons el límit superior de l'interval d'incertesa

de les *wafers* mesurades és molt variant d'una a l'altra i, pot anar des de 0% fins al 8%.

- El darrer grup està constituït pels *ponts* que tenen $R_{bm} < 500\Omega$ i $R_{bM} > 500\Omega$. On R_{bm} i R_{bM} es refereixen a l'extrem inferior i superior de l'interval d'incertesa, respectivament. En aquest grup de *ponts* se'n troben 121 (30.02 %).

Doncs, el 64.8 % dels *ponts simples* pinta-ziga-zaga mesurats tenen una $R_b < 500\Omega$. Per a tots ells, tenint en compte les resistències dels transistors *n* i *p* dins dels circuits CMOS actuals, l'aproximació de *curt circuit franc* és força acurada. Ara bé, existeix un 3.47 % dels *ponts* que tenen una resistència superior a 500 Ω pels que aquesta aproximació no pot ser garantida com a acurada.

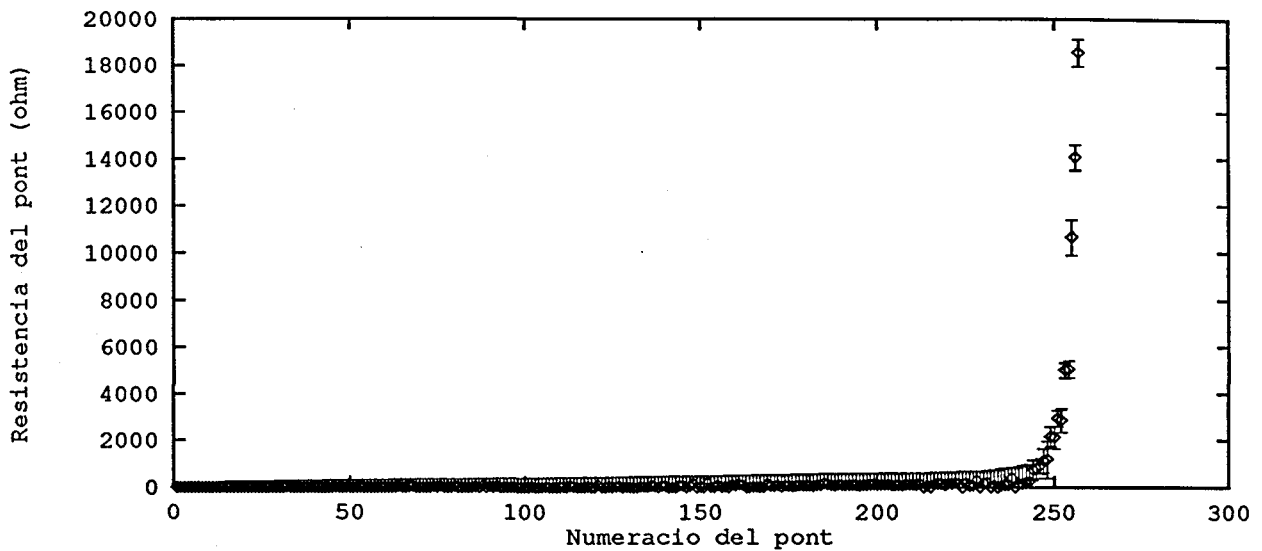


Figura 3.26: R_b mesurades (planta d'Eindhoven)

Rang garantit	Número de ponts simples
$R_b \geq 20$ K	0 (0 %)
$R_b \geq 10$ K	2 (0.50 %)
$R_b \geq 5$ K	4 (1.00 %)
$R_b \geq 1$ K	12 (2.98 %)
$R_b \geq 0.5$ K	14 (3.47 %)

Taula 3.5: Distribució dels ponts simples segons el límit inferior de l'interval d'incertesa

Per tal d'obtenir més informació dels *ponts* mesurats, sobretot dels que presenten resistència elevada, s'han observat alguns d'ells amb un microscopi electrònic *scanning* i se'ls hi ha fet una anàlisi espectroscòpica per tal d'obtenir informació sobre el material causant del defecte. En les següents seccions es mostren els resultats obtinguts d'aquestes anàlisis.

3.9 Anàlisi espectroscòpica

Tots els *ponts* d'alta resistivitat han estat analitzats espectroscòpicament per tal de determinar el material causant d'aquesta propietat. Alguns dels baixament resistius també han estat analitzats.

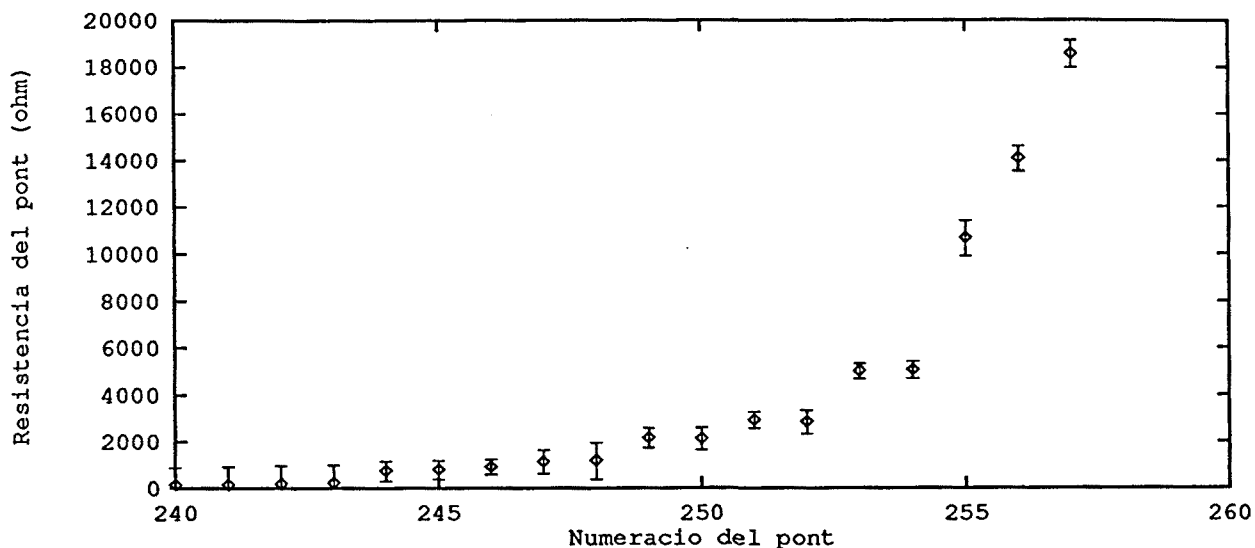


Figura 3.27: Ampliació de la zona de R_b elevades (planta d'Eindhoven)

Tots els *ponts* analitzats han tingut en comú el material trobat. Aquest ha estat el propi metall que forma les pistes, l'alumini. En la Figura 3.34 a) veiem el resultat de l'anàlisi feta a un *pont simple* baixament resistiu i en b) el corresponent a un d'altament resistiu. D'aquest fet es dedueix que el material no ha estat determinant de l'alta o de la baixa resistivitat dels defectes. L'explicació ha d'estar en una altra raó i, per tal de trobar-la, s'han inspeccionant visualment els circuits amb un SEM.

3.10 Inspecció visual

En la Figura 3.35 s'il.lustren les fotografies pertanyents als *ponts* analitzats en la Figura 3.34. S'observa una important diferència entre la topologia del baixament resistiu (a)) i la de l'altament resistiu (b)). El primer connecta les dues pistes al llarg d'una longitud, d'aproximadament, igual a l'ample de la mateixa línia ($1\mu m$). El segon connecta les dues línies per mig d'un material que, per la seva forma, ofereix menys secció de pas.

En l'Apèndix B es mostren alguns dels resultats de la inspecció visual realitzada sobre la resta de ponts mesurats.

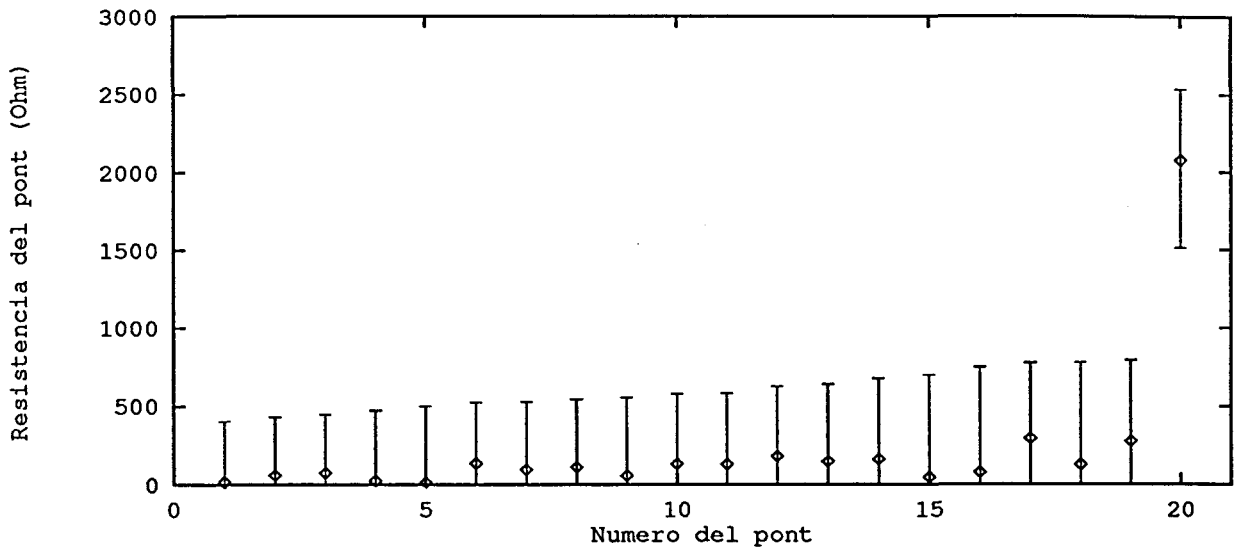


Figura 3.28: R_b mesurades 2S (planta d'Hamburg)

3.11 Conclusions

En aquest capítol s'han mesurat les resistències de *ponts* presents dins de circuits monitors d'una línia CMOS de Philips. Els resultats mostren que la majoria dels *ponts* tenen resistència inferior a 500Ω encara que un 3.47 % tenen resistència superior dins l'interval $(0.5, 20) K\Omega$. Aquest tant per cent de *ponts* altament resistius contrasta amb el que fins ara s'havia considerat en la majoria de treballs sobre la modelació dels *ponts*. No obstant, alguns autors ja han considerat la importància del valor resistiu dels *ponts* en el comportament dels circuits defectuosos. Els resultats obtinguts en aquest capítol recolzen la necessitat de la consideració d'una R_b diferent de zero a l'hora de caracteritzar l'efecte dels *ponts* sobre els circuits CMOS.

També s'ha analitzat el material causant dels *ponts* i s'ha visualitzat la forma d'aquests. Això ha permès comprovar que tots els *ponts* han estat causats per connexions fetes pel propi metall però amb importants diferències de forma. La coincidència en el material ha fet pensar que el responsable dels valors de R_b no és el material sinó les característiques dels contactes (superfície d'unió, àrea de la secció) i la possible reacció del metall resultant en compostos resistius.

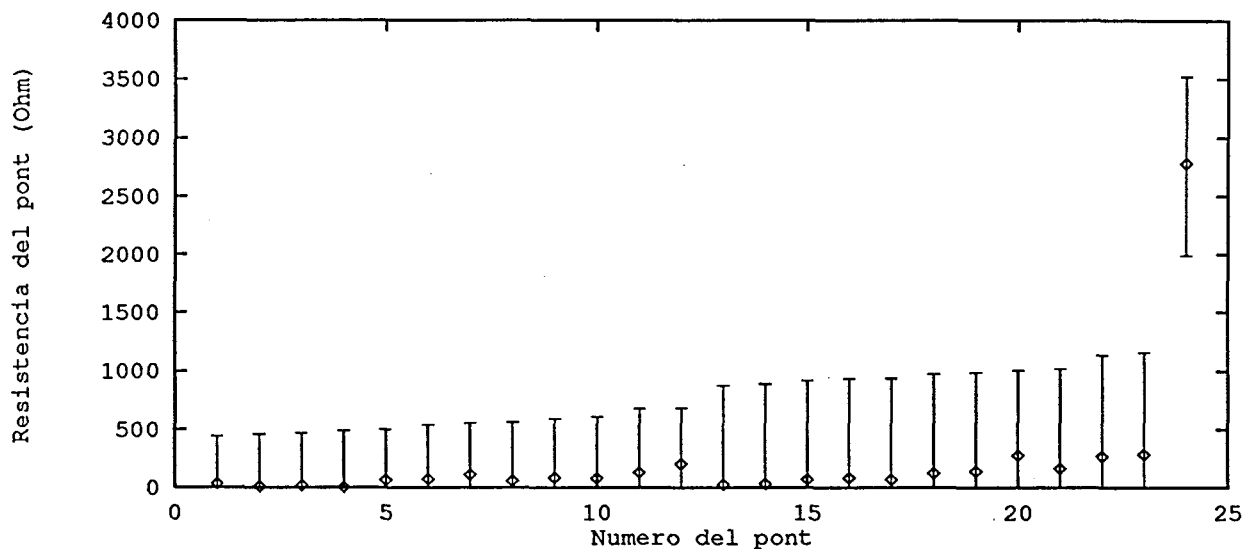


Figura 3.29: R_b mesurades 2S (planta d'Eindhoven)

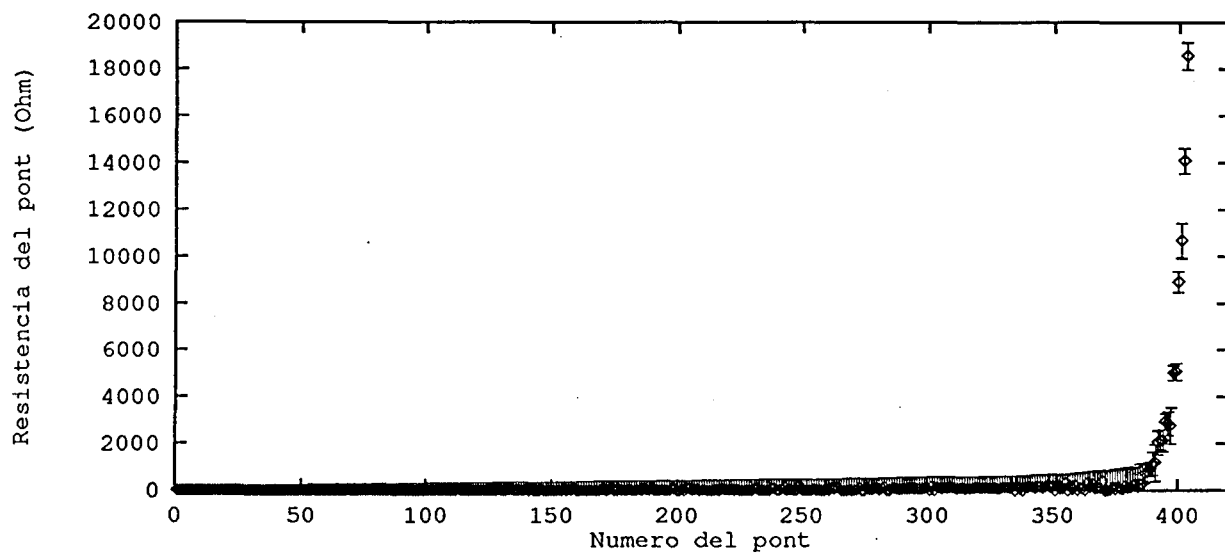


Figura 3.30: Resultats de les R_b i llurs intervals d'incertesa mesurats

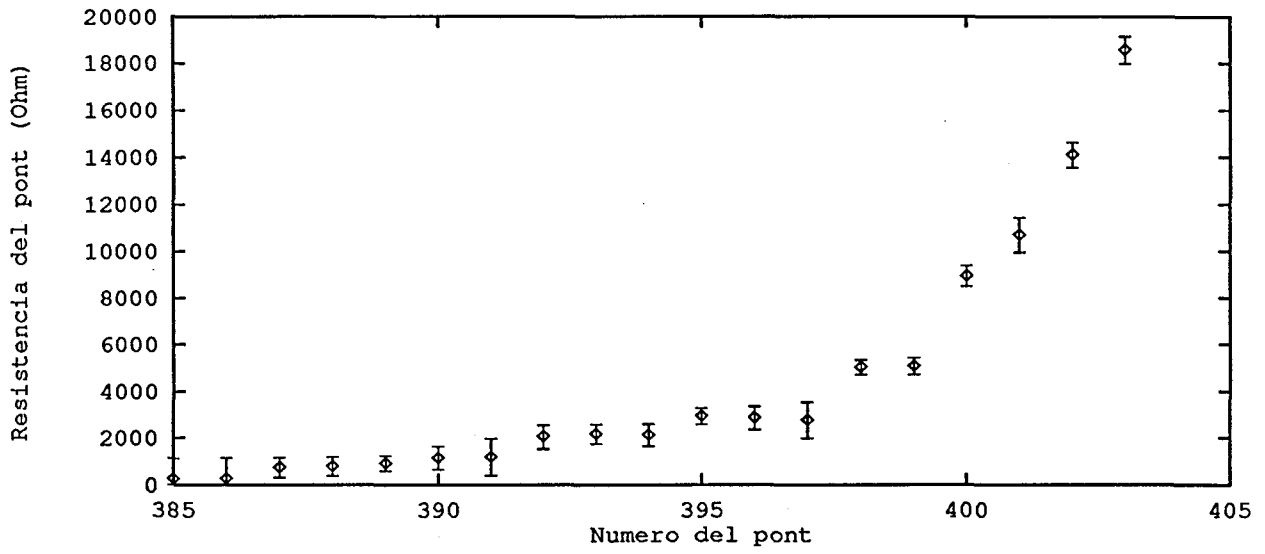


Figura 3.31: Ampliació dels resultats de les R_b diferents de zero

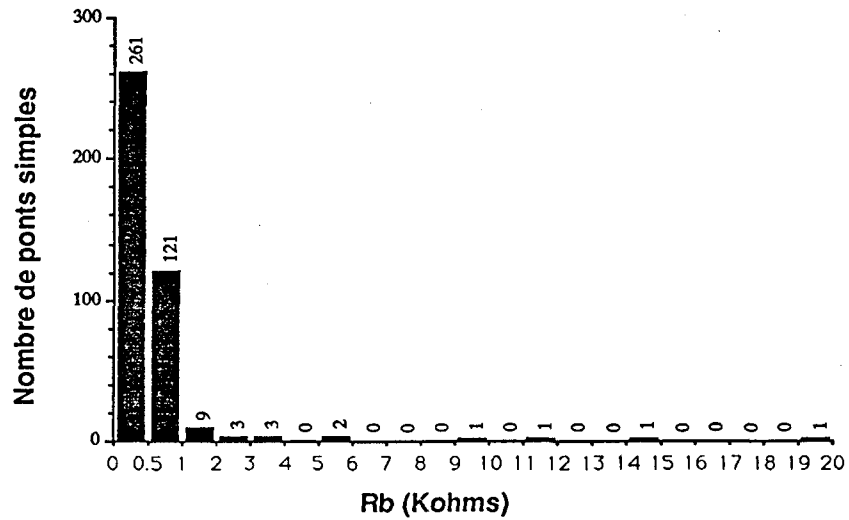
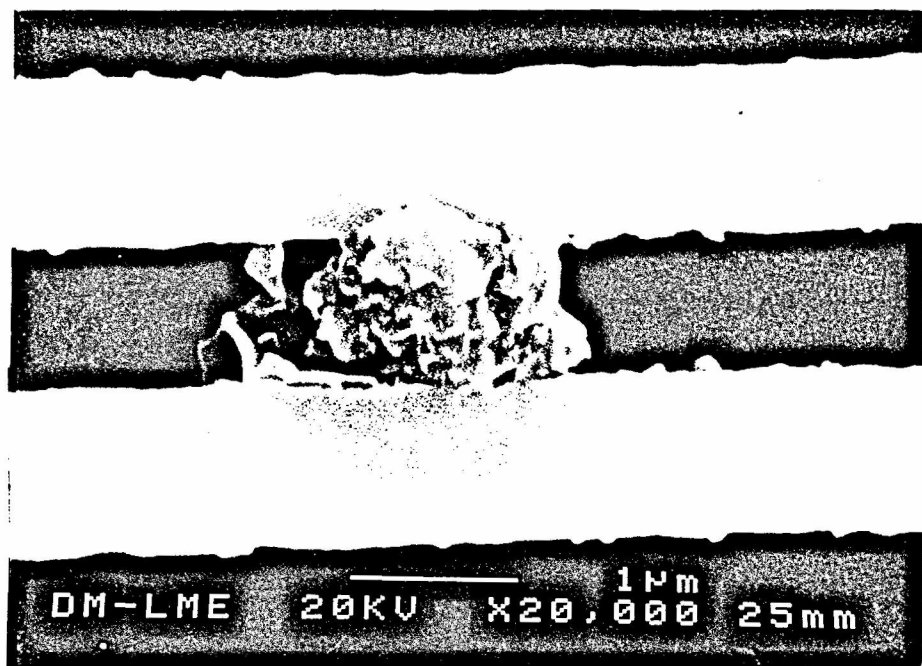
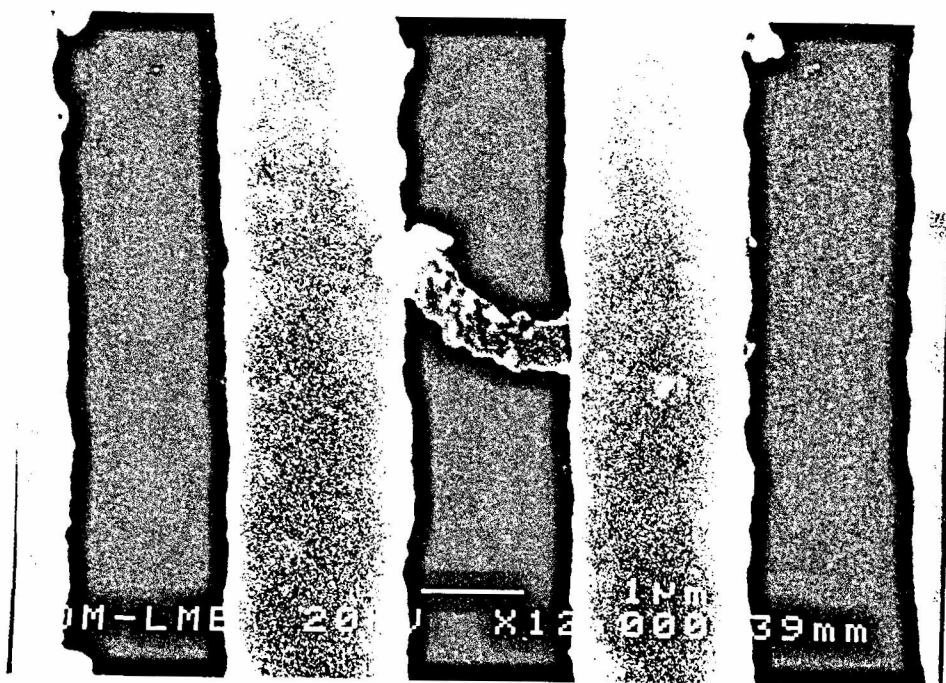


Figura 3.32: Histograma basat en l'extrem superior de l'interval d'incertesa



a)



b)

Figura 3.35: Fotografies del pont a) baixament resistiu i b) altament resistiu de la Figura anterior

Capítol 4

Detecció: test de voltatge i test de corrent

En el capítol anterior s'han presentat mesures realitzades sobre *ponts* en un procés CMOS de Philips. L'existència de R_b diferents de zero justifica la modelació dels *ponts* com a resistències de valor variable. L'elecció d'un model ve determinat per l'estratègia de test utilitzada. En aquest capítol s'analitzarà la detecció dels *ponts* mitjançant el test de voltatge i el test de corrent quiescent. La vigilància d'un paràmetre elèctric, com és el corrent subministrat al circuit, requereix la utilització d'un model elèctric; en aquest cas, l'utilitzat consisteix en una resistència de valor variable.

Com s'ha vist en el capítol 2, els valors de tensió i de corrent en circuits CMOS defectuosos depenen de la topologia pròpia de cada disseny [MAL86], [ACK88], [ROD90]. Hao i McCluskey, en [HAO91], estudien el comportament lògic de mòduls CMOS amb *ponts* porta-drenador, porta-sortidor i drenador-sortidor. Mostren com el comportament en fallada d'una porta pot dependre fortament del valor resistiu del *pont* provocant un comportament lògic que va des de nivells de voltatge degradats, passant per fallades de *retard* i de transició fins a fallades *stuck-at* i *stuck-on*. També mostren com l'efecte dels *ponts* porta-drenador i porta-sortidor no es queda només reduït al domini de la porta que el conté sinó que s'estén al mòdul *manador*. Diferents són els *ponts* porta-sortidor que només involucren a la porta que els inclou.

Acken, en [ACK91], utilitzant el model *voting* fa una classificació del resultat lògic de les fallades causades per *ponts* dependent de les xarxes p i n que hi intervenen. Considera topologies formades per varis transistors, ja siguin en sèrie o en paral·lel. Només un percentatge molt baix dels resultats lògics no pot ésser classificat ja que correspon al cas en que les dues xarxes presenten una resistència similar. La majoria dels resultats

classificables causen un valor lògic baix degut a la conductància superior dels transistors de canal n en les cel·les analitzades per Acken. En la classificació considera la resistència del *pont* com a nul·la.

En aquest capítol es caracteritzarà el comportament en tensió i en corrent de circuits amb *ponts* interns i externs a les portes, considerant la riquesa introduïda per la consideració del model resistiu.

Una vegada està caracteritzat el comportament introduït pel *pont*, cal definir les condicions sota les quals es podrà dur a terme llur detecció amb l'estratègia de test escollida. Maly i Nigh defineixen les condicions per al test per corrent en [NIG89] i [NIG90]: una connexió entre el node N_i i el node N_j es pot detectar per la mesura d'un corrent quiescent elevat si tots dos nodes són conduïts a valors lògics oposats. És a dir, el vector d'excitació ha de connectar un dels nodes a V_{DD} i l'altre a Gnd , fet que produirà un pas de corrent anormalment elevat. Aprofitant que els tests per a la detecció mitjançant l'observació del voltatge també provoquen l'oposició entre els valors lògics dels nodes del circuit, en [STO91] es mostra com la mesura del corrent durant un test generat pel test de voltatge presenta un cobriment similar al cobriment obtingut amb una generació per al test de corrent. En el mateix estil, en [MAH92], s'analitza com un test que cobreix el 100 % dels *stuck-at* en un circuit construït a base de portes primitives Not, Nand i Nor en tecnologia CMOS complementària també cobreix el 100 % de la detecció per corrent dels *ponts* interns a les portes.

Es presentarà també, en aquest capítol, la caracterització elèctrica (voltatges i corrents) del comportament de circuits CMOS defectuosos degut a *ponts*. Es farà una comparació entre les dues estratègies de detecció comentades tant per a *ponts* interns com per a *ponts* externs. S'analitzarà la cobertura del conjunt de vectors que detecten per tensió als *stuck-at*. En la part final del capítol es trobaran cotes superiors i inferiors per al corrent quiescent esperat en circuits CMOS defectuosos amb *ponts*.

4.1 Caracterització de tensions i corrents en circuits amb defectes tipus pont

En aquesta secció es fa un repàs a la classificació dels *ponts* segons les modificacions que introdueixen dins del circuit. S'analitza després, els efectes elèctrics causats pels *ponts* sobre els circuits digitals CMOS. Es fa una classificació dels comportaments defectuosos provocats i de llur detectabilitat.

Classificació dels ponts

La classificació dels *ponts simples* (entre dos nodes) feta per Malaiya en [MAL86] està formada pels següents grups:

- Ponts dins un element lògic.

Per element lògic, Malaiya et al. estenen una porta primitiva o porta complexa. Dins d'aquest grup consideren els *ponts* que poden aparèixer entre els nodes lògics o no lògics dins l'element, pel que cal definir la porta a nivell de transistor a l'hora de fer una anàlisi de l'efecte del *pont* sobre el comportament de l'element lògic.

- Ponts entre nodes lògics sense realimentació.

Dins d'aquest grup estan inclosos únicament els *ponts* que afecten nodes lògics, això és, nodes d'entrada i de sortida. En el treball, Malaiya analitza el resultat defectuós d'aquests *ponts* per portes CMOS en funció de la resistència del *pont*, arribant a la classificació en quatre diferents comportaments: operació incorrecta, probablement incorrecta, probablement correcta i operació correcta.

- Ponts entre nodes lògics amb realimentació.

Aquests *ponts* també connecten nodes d'entrada o de sortida però, aquesta vegada, el valor lògic d'un dels nodes és derivat del valor lògic de l'altre node involucrat en el *pont*. Si el llaç de realimentació no conté elements de memòria sincronitzats per un senyal de rellotge, s'introdueixen camins de realimentació asíncrons. Generalment, això fa que blocs combinacionals esdevinguin seqüencials asíncrons que poden presentar estats estables o, quan el nombre d'inversions introduït en el camí de realimentació és senar, el circuit pot entrar en un comportament oscil·latori. Si el *pont* afecta circuits seqüencials, el *pont* pot fer variar els estats del circuit.

- Ponts entre nodes no lògics de diferents elements lògics.

Dins d'aquest grup són considerats els *ponts* entre nodes interns a dues portes diferents. L'anàlisi d'aquest *ponts* és més complexa que la dels altres grups.

Teixeira et al. proposen, en [TEI92], una divisió de les fallades *pont* depenent del tipus de nodes curt circuitats acompanyant cada classe amb el grau de detecció assolida. La classificació és la següent:

1. Ponts entre nodes d'entrada, sortida o altres nodes lògics i les alimentacions
2. Ponts entre nodes elèctrics i les alimentacions
3. Ponts entre nodes lògics
 - (a) Entre elements lògics
 - i. Ponts no realimentats
 - A. Externs a un fanout reconvergent
 - B. Dins d'un fanout reconvergent
 - ii. Ponts realimentats
 - A. Externs a un fanout reconvergent
 - B. Dins d'un fanout reconvergent
 - (b) Dins d'un mateix element lògic
 - i. Entre entrades (no realimentats)
 - ii. Entre entrades/sortides d'elements lògics normals (realimentats locals)
 - iii. Entre entrades/sortides de portes de transmissió (realimentats locals)
4. Ponts entre nodes lògics i elèctrics
 - (a) Entre elements lògics
 - (b) Dins del mateix element lògic
5. Ponts entre nodes elèctrics
 - (a) Entre elements lògics
 - (b) Dins del mateix element lògic

Seguidament, es presentarà una classificació del comportament elèctric del circuit defectuós consistent en la caracterització de la tensió dels nodes de sortida juntament amb la caracterització del corrent estàtic consumit.

4.1.1 Comportament elèctric en presència de ponts

Degut a la topologia dels circuits CMOS es poden considerar els efectes del *pont* sobre la creació de corrents quiescents en un cas genèric. Per a fer això s'utilitzarà una terminologia general [BAL91] que es presenta a continuació. Tota l'àrea que es veu recorreguda

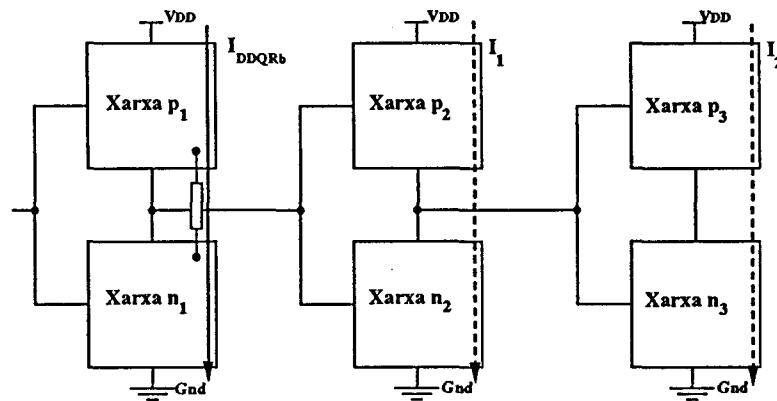


Figura 4.1: Exemple d'il·lustració de les components de corrent causades per un pont a la sortida del primer mòdul

pel corrent I_{DDQ} elevat rep el nom de *Domini Analògic*, (*DA*). Ara bé, la diferència entre les contribucions de corrent implicarà la diferenciació entre el que anomenarem *Subdomini Analògic del Defecte* (*SAD*) i *Subdomini Analògic de Penetració* (*SAP*). El primer coincideix amb els mòduls per on passa I_{DDQ} causada directament pel defecte. El segon coincideix amb la resta de mòduls no defectuosos per on circula un I_{DDQ} elevat.

El *SAD* és alimentat pels mòduls precedents amb tensions dins del rang lògic però, degut a la presència del *pont*, en la seva sortida poden aparèixer tensions analògiques que provoquen l'existència del *SAP*. El darrer mòdul que pertany al *SAP* i a la vegada al *Domini Analògic*, és el que, tot i tenint tensions analògiques a les seves entrades, genera tensions dins el rang lògic a les seves sortides. D'aquesta manera, el nivell següent ja no patirà d'un corrent I_{DDQ} elevat. En finalitzar el *DA* només es troben tensions lògiques, per això és anomenat, tota la resta del subcircuit que treballa amb valors lògics, *Domini Digital*, *DD*. El *Domini Digital* és recorregut per un corrent quiescent similar al del circuit sense defecte (ordre de desenes de nA).

Consideri's el següent exemple, il·lustrat en la Figura 4.1 i format per tres mòduls CMOS complementaris, per a la caracterització del comportament en tensió i en corrent de circuits CMOS en presència de *ponts*. S'assumeix que el primer mòdul té un *pont* que pot causar, amb la seqüència de test adequada, un camí de corrent entre el node d'alimentació i el node de terra. En relació al comportament elèctric del circuit es pot dir que:

L'aparició del *pont* pot introduir una elevació en el consum del corrent quiescent I_{DDQ} degut a la possible creació del camí entre els nodes connectats. Aquest pas de corrent fa

que apareguin caigudes de tensió en cadascun dels transistors per on circula el corrent, fet que pot causar l'aparició de sortides amb valors analògics. Ara bé, si el voltatge generat pel mòdul defectuós alimenta a un altre mòdul amb un valor de tensió intermedi, de forma que fa conduir totes dues xarxes alhora, apareix una component addicional de corrent (I_1 en la Figura). Aquest altre mòdul també consumirà un corrent quiescent fora del rang esperat i podrà provocar el mateix efecte en una tercera etapa (I_2 en la Figura).

Es distingeixen dues contribucions de corrent. La primera, en general, més important en quantia, és el corrent que surt de V_{DD} i acaba en Gnd passant per R_b . Aquesta component es denominarà I_{DDQR_b} . La segona contribució coincideix amb els corrents consumits pels mòduls alimentats per la sortida del defectuós i es caracteritzen per que surten de V_{DD} i arriben a Gnd creuant la xarxa p i la xarxa n d'un mateix mòdul sense passar per R_b .

En la Figura 4.2 s'il·lustra la divisió provocada per un *pont* en qualsevol circuit defectuós [BAL91].

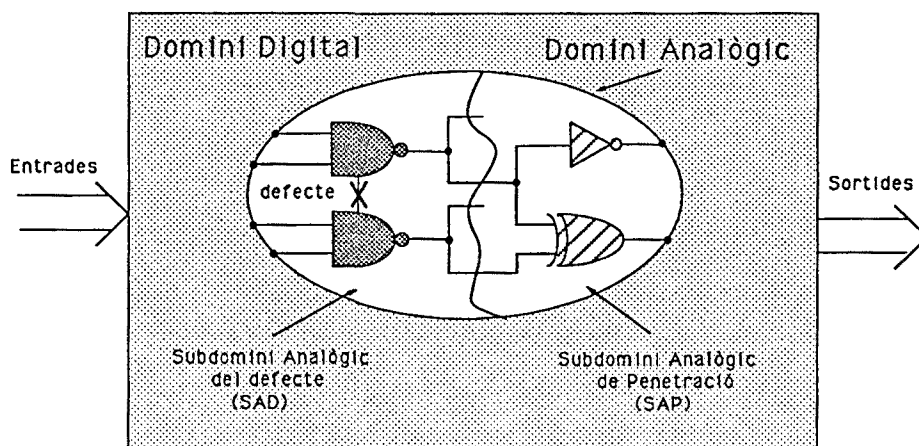


Figura 4.2: DA i DD dins d'un circuit defectuós [BAL91]

4.1.2 Caracterització del Subdomini Analògic del Defecte (SAD)

Tal com s'ha definit el SAD, està constituït pel o pels mòduls per on passa el corrent I_{DDQR_b} . Es presentaran les possibles topologies a continuació. Per a això, es definirà una *Malla Connectada a V_{DD} i a Gnd* , que s'abreujarà per *MC*, com el grup de nodes d'un mòdul, aïllat per l'òxid de silici de les portes dels seus transistors, formant una malla

Tipus de nodes	Node intern		Node d'entrada		Node de Sortida	
	Mòdul i	Mòdul j	Mòdul i	Mòdul j	Mòdul i	Mòdul j
Node intern Mòdul i	Classe A	Classe C	Classe B	Classe C	Classe A	Classe C
Node d'entrada Mòdul i			Classe C	Classe C	Classe B	Classe C
Node de Sortida Mòdul i						Classe C

Taula 4.1: Classes de SAD causades per un pont en circuits combinacionals o seqüencials CMOS

connectada a alimentació i a terra. En la Figura 4.3 a) es mostra la *mallà connectada* a V_{DD} i Gnd corresponent a un inversor, on les barreres de SiO_2 impedeixen el pas de corrent entre la MC i el circuit exterior, sempre que no afecti cap defecte a l'aïllament de les portes. En la Figura 4.3 b) es mostra un exemple de circuit realimentat format per dues MC s.

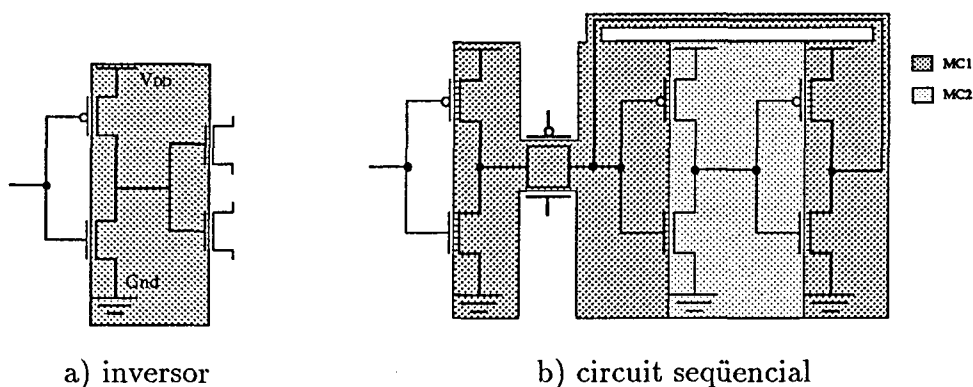


Figura 4.3: Identificació de les MC corresponents a dos circuits senzills

Les possibles topologies de SAD que un *pont* pot provocar dins d'un circuit, sigui combinacional o seqüencial, corresponen als *ponts* interns a una MC i als *ponts* entre dues MC s. Les tres topologies són definides a continuació (Taula 4.1):

- Classe A

Està constituïda pels *ponts* entre nodes interns a la *mallà connectada* d'un mòdul. En Figura 4.4 es mostra un exemple de SAD de classe A, on el propi mòdul defectuós coincideix amb el *Subdomini Analògic del Defecte*.

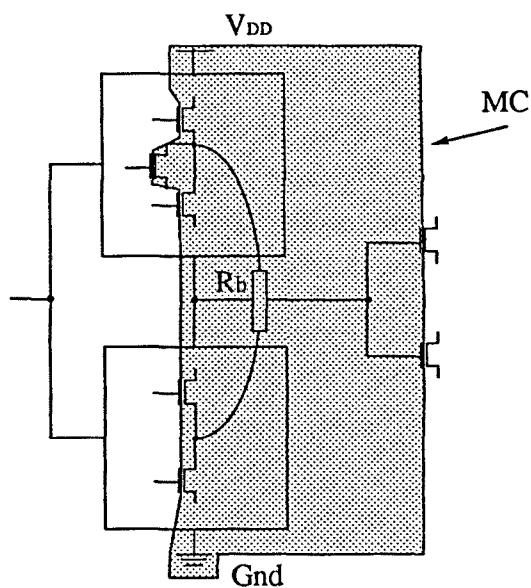


Figura 4.4: SAD de la classe A

- Classe B

Es defineix com la formada pels *ponts* que connecten un node d'una *MC*; amb un node d'una altra *MC*; que, a la seva vegada, és conductora d'alguna de les entrades de la primera (Figura 4.5). Per a aquesta classe el *Subdomini Analògic del Defecte* consta de dos mòduls elèctricament relacionats.

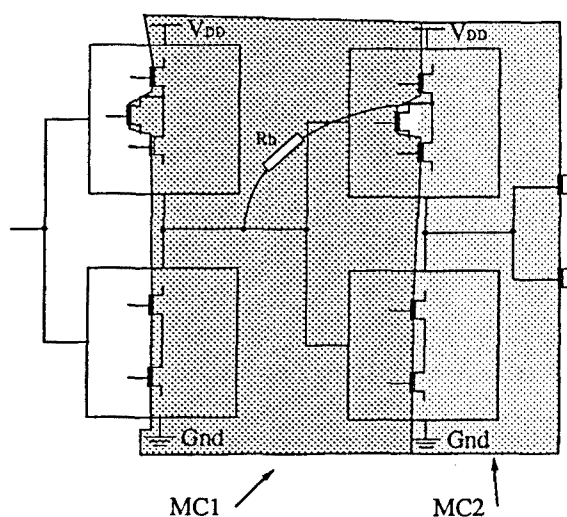


Figura 4.5: SAD de la classe B

- Classe C

És la classe formada pels *ponts* entre un node intern a la MC_i i un node d'una altra MC_j que no alimenta al mòdul corresponent a la MC_i (Figura 4.6). El *SAD* inclou als dos mòduls.

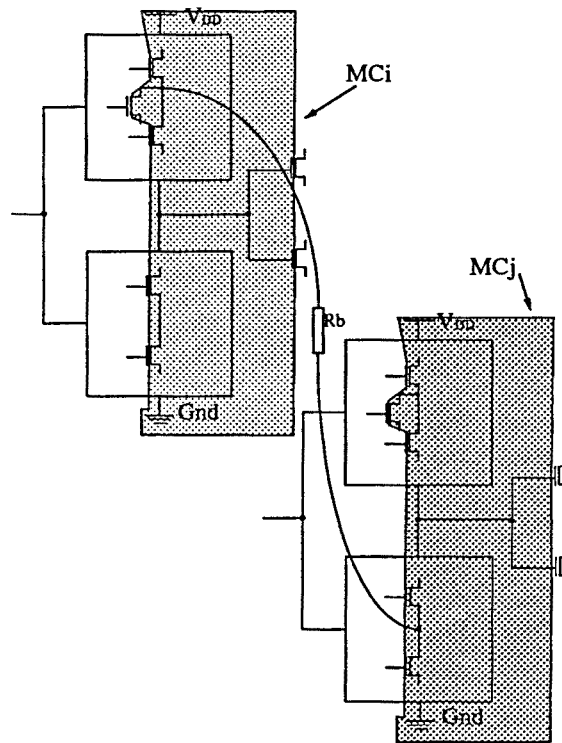


Figura 4.6: *SAD* de la classe C

El nombre de mòduls que componen el *SAD* pot ésser d'un o de dos, depenent de la classe a la que pertanyi. Degut a aquesta dimensió reduïda, la caracterització del *SAD* es pot abordar en la seva totalitat.

4.1.3 Caracterització del Subdomini Analògic de Penetració (SAP)

Les sortides del *SAD* poden generar tensions intermèdies dins l'interval $V_{Tn} < V_o < V_{DD} - V_{Tp}$, que provoquen l'existència del *SAP*. Aquestes tensions fan que, en els mòduls del *SAP*, condueixin tant les xarxes *n* com les *p* consumint un corrent quiescent que ha de ser considerat. Un mòdul CMOS dins del qual condueixin totes dues

xarxes pot generar, també, una tensió analògica a la sortida, la qual a la seva vegada, farà que els mòduls del seu *fan-out* continuïn amb el consum d'un corrent elevat, i així successivament. Ara bé, tot i que idealment, el *SAP* es podria estendre a través d'infinites nivells, el fet que les funcions de transferència de les portes lògiques tinguin un guany gran en llur zona intermèdia fa que els senyals caiguin dins dels rangs digitals en passar dos o tres etapes tal com se mostra en [ACK88] i [RUB91].

4.2 Detecció dels ponts

Després d'haver caracteritzat el *DA* d'un circuit amb *ponts* cal determinar les condicions sota les quals pot ésser detectat el defecte. En aquesta secció, es presentaran les condicions per a la detecció dels *ponts* per dues estratègies de test: el test basat en l'observació del voltatge i el test basat en la vigilància del consum de corrent quiescent. Es consideraran tant els *ponts* externs com els *ponts* interns, realimentats o no, en mòduls bàsics combinacionals o seqüencials. En primer lloc, es comentaran les condicions generals per a l'evidència d'una fallada *pont*.

Detecció per voltatge

Suposem que $E(a)$ i $E(b)$ són els valors lògics dels nodes a i b candidats a *pont* abans de produir-se el defecte. Les dues condicions necessàries que han de complir els valors lògics dels nodes per a la detecció del *pont* mitjançant l'observació dels voltatges lògics són les següents:

- Controlabilitat. Existeix almenys una entrada tal que, per ella es compleix,

$$\begin{cases} E(a) \neq E(b) \\ E(a) \neq z \\ E(b) \neq z \end{cases} \quad (4.1)$$

on z significa estat d'alta impedància.

Els vectors que provoquen aquesta oposició de valors no són més que la generalització dels vectors que Abramovici i Menon proposaren per a la detecció de *ponts* modelats amb el model *wired-And*, [ABR83] i [ABR85], on es requeria un vector que detectava un *s-a-0* en a mentre fixava $b = 0$ en el cas de *ponts* no realimentats.

- Observabilitat

L'altra condició que requereix la detecció per a la vigilància del voltatge és que, per a alguna de les entrades que satisfan la condició de controlabilitat, es propagui la fallada en forma d'error cap a alguna de les sortides lògiques del circuit, i.e.,

$$(Sortida_{Defecte}) \neq (Sortida_{Correcta}) \quad (4.2)$$

on (a) és l'estat lògic del node a .

Detecció per corrent

Per a la detecció del *pont* mitjançant la mesura del corrent quiescent consumit, es necessita la mateixa condició de controlabilitat [NIG88] necessària en la detecció per voltatge. La controlabilitat dels dos nodes cap a valors lògics oposats permetrà que aparegui una connexió des de V_{DD} fins a Gnd passant pels dos nodes curt circuitats. Aquesta connexió, si ofereix un camí de resistència el suficientment baixa per a que hi circuli un corrent detectable, permetrà la detecció del *pont*. Ara bé, la mesura del corrent es realitza directament sobre les línies d'alimentació, pel que no cal que es propagui cap discrepància cap a les sortides observables exteriorment. Així, no és necessària cap condició d'observabilitat de tensions. Es poden expressar les dues condicions de la següent forma:

- Controlabilitat. Existeix un vector d'entrada tal que, pel circuit no defectuós, porta els nodes candidats a *pont* a valors lògics oposats i cap d'ells és z .

$$\begin{cases} E(a) \neq E(b) \\ E(a) \neq z \\ E(b) \neq z \end{cases} \quad (4.3)$$

on z significa estat d'alta impedància.

- Suficiència del nivell de corrent

El corrent creat pel *pont* ha de superior a un cert valor llindar (I_o) mesurable per la instrumentació i tècnica utilitzada,

$$I_{DDQ} > I_o \quad (4.4)$$

Seguidament, s'analitzarà, amb més detall, l'aplicació d'aquestes condicions de detecció dels *ponts* externs i interns segons sigui el resultat elèctric de la fallada. L'anàlisi es farà d'acord a la introducció o no de realimentació per part del *pont*.

4.2.1 Ponts externs no realimentats

Els *ponts* externs són els causats per una connexió entre dos o més nodes dins del conjunt {Entrades, Sortides, Alimentacions} i són no realimentats quan els valors lògics dels nodes curt circuitats són independents l'un de l'altre. Entre un 40 i un 65 % dels *ponts* pertanyen a la classe composta per les connexions entre nodes d'entrada/sortida d'elements lògics [SAR92].

Siguin els nodes a i b pertanyents a les cadenes independents de mòduls il·lustrades en la Figura 4.7. Sigui un *pont* entre els nodes externs a i b amb una resistència R_b . El node a alimenta el mòdul A . Siguin els marges de soroll d'entrada V_{iLA} i V_{iHA} definits com els valors pels quals el pendent de la funció de transferència s'iguala a la unitat [HOD88]. De forma similar, el node b alimenta al mòdul B i es consideren uns marges de soroll d'entrada V_{iLB} i V_{iHB} . Els mòduls generadors dels nodes a i b , són el G_a i G_b , respectivament.

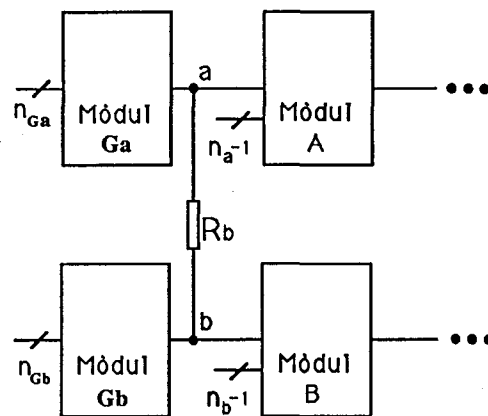


Figura 4.7: Pont no realimentat entre el node a i b

Es defineix la funció *Interpretació Lògica* com la que indica el valor lògic o analògic que interpretaria un dispositiu general sa assumint una família tecnològica homogènia. Així, la funció *Interpretació Lògica* d'una línia x , $L(x)$, es defineix com,

$$L(x) \in \{0, i, 1\} \quad (4.5)$$

$$L(x) = \begin{cases} 0 & \text{si } V_x < V_{iL} \\ i & \text{si } V_{iL} < V_x < V_{iH} \\ 1 & \text{si } V_x > V_{iH} \end{cases} \quad (4.6)$$

Donat un mòdul G_x conductor d'un node x , es defineix l'esforç d'aquest conductor, $E(G_x)$, com el nivell lògic que forçaria a la línia x si no hi hagués defecte en el circuit.

$$E(G_x) \in \{0, 1, z\} \quad (4.7)$$

Tant per a la detecció mitjançant el test de tensió com pel test de corrent cal que els dos nodes curt circuitats, a i b , es conduixin a valors lògics oposats [NIG89]. Això és,

$$\begin{cases} E(G_a) \neq E(G_b) \\ E(G_a) \neq z \\ E(G_b) \neq z \end{cases} \quad (4.8)$$

El resultat d'aquesta condició donarà la possibilitat de la detecció del defecte. Seguidament es presenta aquesta anàlisi.

Detecció per voltatge

La condició de test fa que el mòdul G_a intenti carregar el node a cap a un nivell lògic oposat al que el mòdul G_b intenta carregar al node b . Aquesta situació provoca una connexió entre alimentació i terra a través d'una xarxa de transistors p i una xarxa de transistors n connectades per R_b . El resultat elèctric sobre els nodes a i b dependrà de la tecnologia i la topologia de les xarxes involucrades en el *pont* i del valor de la resistència del defecte. Seguidament es mostren els possibles resultats sobre els voltatges dels nodes ponteats.

A Un dels mòduls G_a ó G_b , domina sobre l'altre.

El concepte de *dominància* s'entendrà com la relació de conductàncies entre les xarxes connectades que fa que el mòdul dominant compleixi la relació,

$$L(x) = E(G_x) \quad \forall R_b \quad (4.9)$$

Degut al disseny compensatori entre les xarxes n i p dins d'un mòdul, aquest domini entre mòduls es pot assumir tant pel valor lògic alt com pel baix. De l'anàlisi de l'efecte de R_b sobre el resultat en voltatge dels nodes curt circuitats excitant el *pont*, s'en desprèn la dependència de la tensió del node de sortida del mòdul no dominant amb el valor R_b . Es troben tres possibles situacions presentades seguidament.

1. La resistència del *pont* és petita com per a que els dos voltatges caiguin dins el rang lògic del mòdul dominant, i.e., quan el mòdul dominant és el G_a ,

$$G_a \text{ Dominant} \begin{cases} L(a) = E(G_a) \\ L(b) = \overline{E(G_b)} \end{cases} \quad (4.10)$$

ó bé, quan el mòdul dominant és el G_b ,

$$G_b \text{ Dominant} \begin{cases} L(a) = \overline{E(G_a)} \\ L(b) = E(G_b) \end{cases} \quad (4.11)$$

En la Figura 4.8 a) es mostra el rang de voltatges corresponents a l'existència d'un mòdul dominant sobre l'altre amb una R_b prou petita.

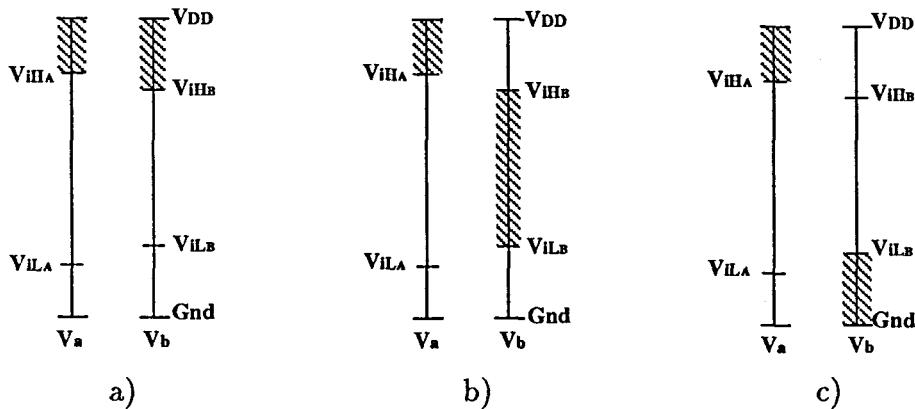


Figura 4.8: Rang de voltatges en els nodes curt circuitats, a i b, quan el mòdul G_a és dominant, amb $E(G_a) = 1$ com a exemple

Al presentar els dos nodes uns valors de tensió lògics, el test per la vigilància de voltatge pot aplicar-se en la detecció del *pont* de forma convencional.

2. La resistència que connecta els dos nodes és mitjanament elevada com per a que el node del mòdul no dominant caigui dins el rang de voltatges interpretats incertament pels mòduls del seu *fanout*. El voltatge del node sortida del mòdul dominant no sofreix cap canvi:

$$G_a \text{ Dominant} \begin{cases} L(a) = E(G_a) \\ L(b) = i \end{cases} \quad (4.12)$$

o bé,

$$G_b \text{ Dominant} \begin{cases} L(a) = i \\ L(b) = E(G_b) \end{cases} \quad (4.13)$$

En la Figura 4.8 b) es mostra el rang de voltatges pertanyents a aquesta situació.

La detecció del *pont* mitjançant l'observació del voltatge no està pas garantida, ja que un dels nodes es comporta digitalment correcte, mentre, l'altre té una interpretació lògica incerta. El test lògic, doncs, no està pas garantit.

3. La resistència R_b és el suficientment gran com per a que els dos nodes presentin valors digitals i correctes i oposats com correspon a l'excitació del *pont*.

$$\begin{cases} L(a) = E(G_a) \\ L(b) = E(G_b) \end{cases} \quad (4.14)$$

En la Figura 4.8 c) s'il·lustren els voltatges quan R_b és elevada.

Tots dos nodes es comporten lògicament correctes, doncs, els test lògic és incapaç de la detecció del defecte.

El *DA* corresponent als *punts* externs no realimentats de la subdivisió 1 i 3 coincideix amb els dos mòduls G_a i G_b . Per a la subdivisió 2, degut a l'existència del valor analògic $L(a) = i$ (ó $L(b) = i$), el *DA* s'estén, com a mínim, al mòdul A (ó B).

B Cap dels mòduls G_a ó G_b , domina sobre l'altre.

D'acord amb la definició de *dominància* feta anteriorment, quan R_b és nul·la, els voltatges dels dos nodes curt circuitats cauen dins la zona d'interpretació incerta. Dos cassos es poden trobar per a aquests *punts*:

1. La resistència del *pont* és petita com per a que, com a mínim, un dels dos nodes presenti valor analògic,

$$\begin{cases} L(a) = i \\ \quad \quad i/\acute{o} \\ L(b) = i \end{cases} \quad (4.15)$$

En la Figura 4.9 a) es mostren els rangs de tensió corresponents a aquests *punts*.

Degut a la incerta interpretació de, com a mínim, un dels dos voltatges generats per les sortides curt circuitades, el test lògic no pot pas aplicar-se amb seguretat de detecció d'aquests *punts*.

2. La resistència del *pont* és el suficientment elevada per a que un dels voltatges sigui lògic i correcte, i.e.,

$$\begin{cases} L(a) = i \\ L(b) = E(G_b) \end{cases} \quad (4.16)$$

o bé,

$$\begin{cases} L(a) = E(G_a) \\ L(b) = i \end{cases} \quad (4.17)$$

En la Figura 4.9 b) s'il·lustren els voltatges corresponents a aquesta situació (quan $E(G_a) = 1$ i $E(G_b) = 0$). El test lògic tampoc pot ésser garantit.

3. La resistència del *pont* és elevada per a que els dos nodes siguin lògics i correctes. Aquest cas coincideix amb el cas 3 dels *ponts* externs amb dominància d'un mòdul sobre l'altre.

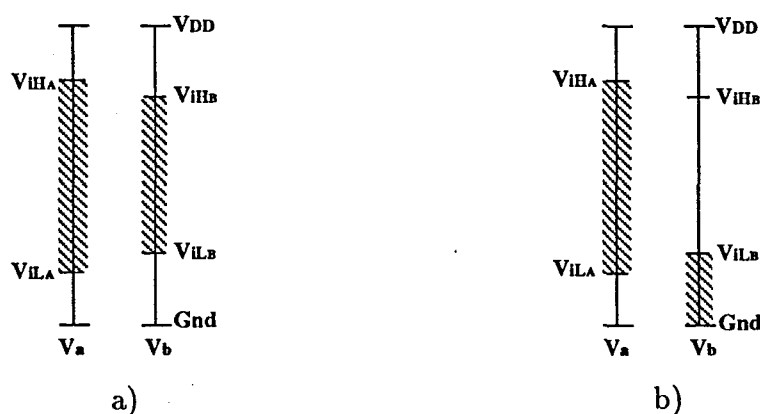


Figura 4.9: Rang possible de voltatges en els nodes curt circuitats, a i b, quan cap mòdul és dominant amb $E(G_a) = 1$ i $E(G_b) = 0$

Seguidament s'analitzarà la detecció per vigilància del corrent quiescent corresponent als *ponts* externs vistos.

Detecció per corrent quiescent

La detecció per la mesura del corrent requereix portar els dos nodes curt circuitats a valors lògics oposats [NIG89]. En aquest apartat es considera la detecció del corrent en el *SAD* com a pitjor cas que és, ja que el corrent degut al *SAP* no sempre existirà. En la Figura 4.10 a) és mostrat el *SAD* d'un circuit CMOS causat per un *pont* entre les sortides de dos mòduls CMOS. D'entre els *ponts* externs, aquesta topologia que connecta dues sortides és la que provoca menys pas de corrent degut a connexió de la xarxa n i la xarxa p en sèrie (al contrari succeeix pels *ponts* entre la sortida i les alimentacions). En la Figura 4.10 b) es mostra el circuit corresponent recorregut pel corrent I_{DDQR_b} . Si

s'assumeix un nivell mínim de corrent quiescent, el nivell I_o , com el necessari per a la detecció del *pont*, caldrà que,

$$I_{DDQ}R_b \geq I_o \tag{4.18}$$

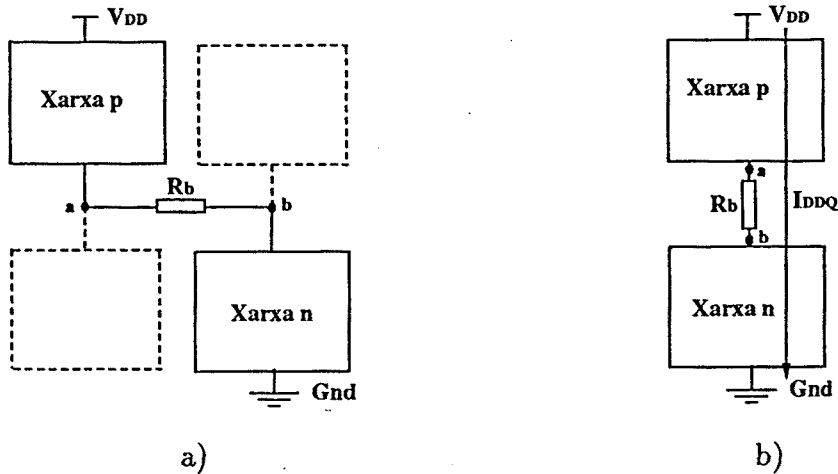


Figura 4.10: Camí de corrent (ponts externs)

El rang de valors de corrent que apareix en un circuit defectuós depèn de la topologia de la xarxa resultat, de les dimensions i dels seus transistors i del valor de R_b . Seguidament s'analitzaran les topologies, per una tecnologia donada, per a les quals els nivells de corrent són extremals, això és, les topologies que donen els rangs màxim i mínim de corrent dins del SAD.

Rang de corrents esperats

Per tal de simplificar l'anàlisi es faran les següents hipòtesis:

Sigui F_M el *fan-in* màxim de la tecnologia considerada i siguin S_p i S_n el nombre de transistors p i n connectats en sèrie dins una xarxa de branca única. Similarment, per P_p i P_n es denota el nombre de transistors p i n connectats en paral·lel dins una xarxa de branca única.

Suposi's la compensació de la diferència de mobilitats dels transistors n i p de forma que $\beta_n = \beta_p = \beta$ [YAN88]. Les tensions llindars es consideren amb el mateix mòdul, i.e., $|V_{Tn}| = |V_{Tp}| = |V_T|$.

- Cota màxima de corrent per a un SAD format per dues xarxes

Les dues xarxes connectades en la Figura 4.10 que donen el rang màxim de corrent són les formades per $P_p = P_n = F_M$ transistors en paral·lel (Figura 4.11).

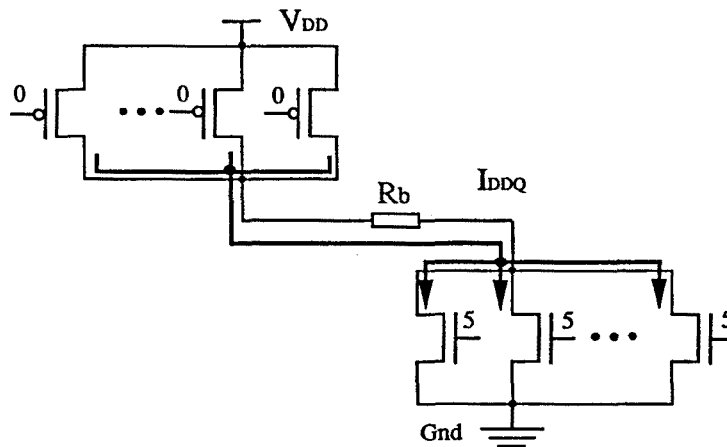


Figura 4.11: Estructura sèrie de xarxa n i p de màxim corrent

Ara bé, depenent del valor de R_b , els transistors treballaran en la zona de saturació o en la zona lineal per acabar en tall per a R_b molt gran. A continuació s'estimarà la cota superior del corrent en funció de la resistència del *pont*.

– R_b nul·la.

Si $R_b = 0$, com les dues xarxes estan formades pel mateix nombre de transistors amb les β iguals, el voltatge en els dos nodes curt circuitat és igual a 2.5 V. Això fa que tots els transistors es trobin en la zona de treball òhmica. Al tenir β igual, el corrent I_{DDQ} que hi circula és [HOD88],

$$I_{DDQ} = F_M \beta \left[(V_{GS} - V_T) \frac{V_{DD}}{2} - \frac{(V_{DD}/2)^2}{2} \right] \quad (4.19)$$

Considerant el cas orientatiu $|V_T| = 1$ V i substituint els valors de les tensions en l'equació 4.19 es troba que,

$$I_{DDQ} \sim F_M 7 \beta \quad (4.20)$$

– R_b elevada.

En créixer la resistència del *pont*, el corrent disminueix i els transistors poden ésser aproximats per la seva resistència R_{on} [YAN88] ja que estan tots a la zona òhmica. Considerant el divisor resistiu equivalent al circuit s'obté,

$$I_{DDQ} = \frac{V_{DD}}{R_b + \frac{R_{onp}}{P_p} + \frac{R_{onn}}{P_n}} = \frac{V_{DD}}{R_b + \frac{2R_{on}}{F_M}} \quad (4.21)$$

On la resistència en conducció s'ha considerat igual, pels dos tipus de transistors, a R_{on} . Quan $|V_T| = 1$ V, el corrent val,

$$I_{DDQ} = \frac{V_{DD}}{R_b + \frac{1}{F_M 2\beta}} \quad (4.22)$$

- Cota màxima de corrent per a un *SAD* format per una xarxa

Ara bé, existeix una topologia de *pont* que dóna encara corrent superior. Aquesta és la que connecta qualsevulla de les xarxes de la Figura 4.11 amb un node d'alimentació. En la Figura 4.12 s'il·lustra el circuit pel cas de xarxa n .

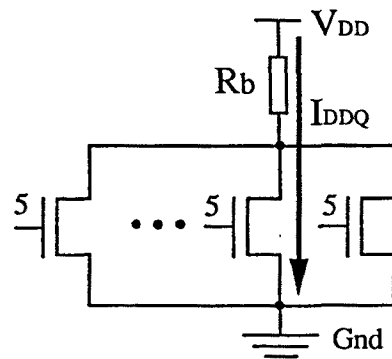


Figura 4.12: Estructura de xarxa n connectada a alimentació corresponent al màxim corrent quiescent (similar per la xarxa p amb terra)

- R_b baixa (transistors en saturació)

En aquest cas, els transistors es troben en saturació i, per tant el corrent quiescent és màxim i amb un valor igual a,

$$I_{DDQ} = F_M I_{DDQ_{sat}} = F_M \frac{\beta}{2} [V_{GS} - V_T]^2 \quad (4.23)$$

Expressió que, per $V_T = 1$ V, val,

$$I_{DDQ} = F_M 8\beta \quad (4.24)$$

- R_b elevada (transistors en zona lineal)

Dins aquest rang es consideren les resistències que fan que els transistors treballin dins la zona lineal. El corrent dins aquesta zona surt com a solució del sistema:

$$\begin{cases} V_{DS} = V_{DD} - R_b I_{DS} \\ I_{DS} = F_M \beta [(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2}] \end{cases} \quad (4.25)$$

El resultat d'aquest sistema es podrà aproximar, per l'expressió,

$$I_{DDQ} = \frac{V_{DD}}{R_b + \frac{R_{on}}{F_M}} \quad (4.26)$$

I, pel cas particular on $V_T = 1$ V, el corrent val,

$$I_{DDQ} = \frac{V_{DD}}{R_b + \frac{1}{F_M 4\beta}} \quad (4.27)$$

- Cota mínima de corrent per a un SAD de dues xarxes

Les dues xarxes p i n de la Figura 4.10 que, connectades en sèrie donen el mínim corrent quiescent independentment de R_b , són les compostades per $S_p = S_n = F_M$ transistors en sèrie (Figura 4.13). S'estimarà el mínim corrent per a resistències de *pont* baixes i per a resistències de *pont* elevades.

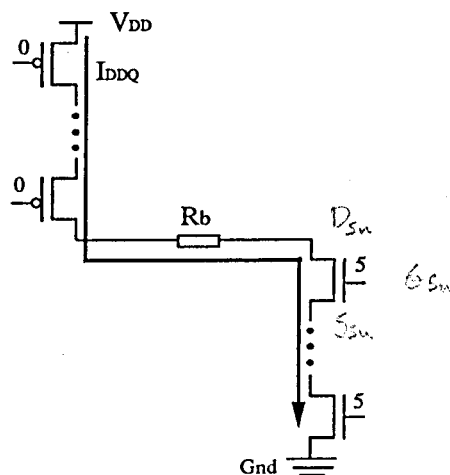


Figura 4.13: Estructura sèrie de xarxa n i p de mínim corrent

- R_b baixa

S'acotarà el corrent que passa pel transistor n ó p que té connectat el drenador a la resistència R_b . S'escull el transistor n per a desenvolupar el raonament; pel transistor p la metodologia és simètrica. El transistor n superior és el que presenta V_{DS} major. Per $R_b=0$ i $F_M \sim 5$, la tensió del drenador es troba al voltant de 2.5 Volts. El transistor estarà en regió òhmica,

$$I_{DDQ} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.28)$$

Al ser I_{DDQ} monòtona creixent amb V_{DS} , i fixat V_{GS} , la cota inferior la donarà $V_\alpha < V_{DS}$. El voltatge V_α pot calcular-se en el cas en que tots els transistors n presenten caiguda de tensió drenador-sortidor igual,

$$V_\alpha = \frac{V_{DD} S_n \beta_n}{S_n \beta_n + S_p \beta_p} \quad (4.29)$$

L'acotament de la tensió porta-sortidor es farà considerant que $V_{GS} > V_{GD} = V_\gamma$, on,

$$V_\gamma = V_{DD} - V_{DD} \left(\frac{S_n \beta_n}{S_n \beta_n + S_p \beta_p} \right) \quad (4.30)$$

D'aquesta forma s'obté la cota mínima del corrent que circula pel transistor de canal n superior,

$$I_{DDQ} > \beta_n \left[(V_\gamma - V_T) V_\alpha - \frac{V_\alpha^2}{2} \right] \quad (4.31)$$

En el cas de transistors compensats i xarxes formades pel mateix nombre de transistors es compleix que,

$$V_\alpha = \frac{V_{DD}}{2F_M} \quad (4.32)$$

$$V_\gamma = \frac{V_{DD}}{2} \quad (4.33)$$

Substituint les expressions anteriors 4.32 i 4.33 en l'expressió 4.31, d'obté,

$$I_{DDQ} > \beta_n \frac{V_{DD}^2}{8F_M^2} (2F_M - 1) \quad (4.34)$$

$$I_{DDQ} > \beta_n \left[(V_\gamma - V_T) V_\alpha - \frac{V_\alpha^2}{2} \right] = \beta_n \left[\left(\frac{V_{DD}}{2} - V_T \right) \frac{V_{DD}}{2F_M} - \frac{V_{DD}^2}{8F_M^2} \right] = \beta_n \frac{V_{DD}^2}{8F_M^2} [2F_M - 1] = \beta_n \left[\frac{V_T V_{DD}}{2F_M} \right]$$

– R_b elevades

La resistència de *pont* a partir de la qual els extrems de R_b cauen dins del rang de voltatges digitals és,

$$R_{bc} = R_{on} F_M \left(\frac{V_{DD}}{V_T} - 2 \right) \quad (4.35)$$

Així, per a $R_b > R_{bc}$ es podrà modelar cada transistor com a R_{on} i, com augmentant R_b disminueix R_{on} , la cota inferior pot expressar-se com,

$$I_{DDQ} > \frac{V_{DD}}{R_b + 2F_M R_{o'}} \quad (4.36)$$

on $R_{o'}$ és la resistència màxima de conducció dels transistors quan els extrems de R_b estan a $V_{DD} - V_T$ i V_T , respectivament.

Les expressions per a la predicció de les cotes extrems del corrent quiescent que es pot esperar en un circuit defectuós, seran validades sobre els mòduls defectuosos en el capítol següent.

4.2.2 Ponts externs realimentats

Es considerarà el cas general il·lustrat en la Figura 4.14 on els nodes a i b són curt circuitats pel *pont* de resistència R_b . La realimentació apareix en dependre l'estat del node b de l'estat del node a . El node b serà anomenat node *posterior*, mentre, el node a es dirà node *precedent*. Les funcions dels mòduls que manen els nodes defectuosos a i b són les $F_{G_a}(x_{\alpha 1}, x_{\alpha 2}, \dots, x_{\alpha n_a})$ i $F_{G_b}(x_{\beta 1}, x_{\beta 2}, \dots, x_{\beta n_b})$, corresponents als mòduls G_a i G_b , respectivament.

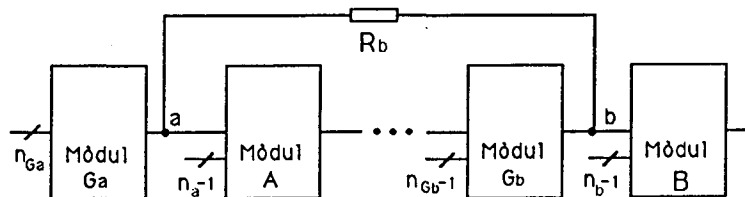


Figura 4.14: Pont realimentat entre el node a i b

La detecció del *pont* s'assolirà, com es mostra en els següents subapartats, depenent de quin sigui el resultat en tensió en els nodes afectats. Si el circuit lliure de defecte és

combinacional, el *pont* podrà causar un canvi del seu comportament a seqüencial asíncron [RAJ91]. Si el circuit sense defecte és seqüencial, el *pont* podrà provocar variacions del grup d'estat o, fins i tot, provocar oscil·lacions. Malaiya [MAL86] considera la relació entre el temps de propagació dels senyals dins dels circuits, el temps de càrrega i descàrrega dels nodes, i les característiques de transferència analògiques dels transistors per a caracteritzar el comportament del circuit. Mostra com el circuit defectuós pot oscil·lar si el temps de propagació és el suficientment gran respecte el temps de pujada i baixada del node de sortida. En el cas contrari, la falla pot conduir a un estat estable. Per tots dos cassos és necessària una anàlisi dinàmica.

En la mateixa línia, Rajsuman [RAJ91b], analitza una cadena de N inversors i mostra com l'augment en R_b no modifica la freqüència d'oscil·lació esperada, tot i que sí és modificada l'amplitud d'oscil·lació. Quan R_b és el suficientment gran, la cadena funciona correctament.

Acken mostra en [ACK91] les condicions que han de complir els vectors per a la detecció de *ponts*, realimentats o no, modelats segons el model *voting*. La generació dels vectors de test pels *ponts* realimentats ha d'evitar l'aparició d'oscil·lacions, ja que llur detecció mitjançant un test de voltatge no queda pas garantida. A l'hora d'evitar les realimentacions amb paritat senar, Acken aprofita la predicció de dominàncies proporcionada pel model *voting*.

La detecció dels *ponts* realimentats requereix una generació de vectors més complexa comparada amb els *ponts* no realimentats [XU82]. Tanmateix, en [ABR85] s'analitza com un nombre elevat d'ells poden ser detectats amb l'aplicació de només un vector. Sembla ser que els *ponts* realimentats mostren un cobriment superior al dels no realimentats amb un test determinista [SAR92]. Els resultats mostrats en [MIL88] també recolzen aquesta teoria.

Detecció per voltatge

S'analitzaran les possibles relacions entre les dominàncies dels mòduls conductors dels nodes curt circuitats. Primer es considerarà el cas de dominància del mòdul conductor del node *precedent*. Seguidament es considerarà la dominància del mòdul conductor del node *posterior*. Finalment, es comentarà el cas de dominàncies similars.

A. Un dels mòduls domina sobre l'altre

- El mòdul conductor del node *precedent* és dominant

En aquesta situació, els possibles resultats elèctrics sobre els voltatges dels nodes *a* i *b*, són els mateixos que els mostrats en la Figura 4.8. De igual forma, la viabilitat d'un test lògic dependrà del rang de voltatges que es generin. Quan algun dels nodes presenti valors analògics, el resultat del test per voltatge serà incert. El node *a* sempre es mostrarà lògicament correcte, a diferència del node *b* que es comportarà des de lògicament incorrecte fins a lògicament correcte, passant per indeterminat.

En ser el mòdul precedent el que domina sobre l'altre, la realimentació serà incapaç d'introduir estats oscil.latoris.

- El mòdul conductor del node posterior és dominant

Per a aquesta classe de *ponts*, el fet que el valor del node posterior domini sobre el node precedent pot causar, degut a la realimentació, oscil.lacions dins del circuit. També pot canviar el comportament de circuits combinacionals a seqüencials asíncrons; un circuit seqüencial pot veure alterat el conjunt dels seus estats. Aquests canvis sobre el comportament del circuit dependran del nombre d'inversions, parell o senar, que hi hagi en el camí de realimentació.

Per a conèixer l'efecte del *pont* sobre el circuit es necessari, doncs, considerar el nombre d'inversions que ofereix el circuit entre el node *a* i el node *b*:

* *Nombre parell d'inversions.*

En aquesta situació el circuit no oscil.larà sinó que podrà entrar en un comportament seqüencial asíncron amb un estat estable, ja que es compleix la condició necessària,

$$F((a), x_2, \dots, x_n) = (a) \quad (4.37)$$

on la funció *F* és la que relaciona el valor del node *b* amb el valor del node *a*.

La detecció necessita d'un vector \vec{X} que faci al circuit transparent al valor V_a ó V_b després d'haver escrit al node *a* el valor oposat al qual es troba realimentat [ACK91]. Amb aquesta seqüència de dos vectors el circuit és obligat a sortir de l'estat estable on, degut al *pont*, s'hi troba.

L'*estat* d'un sistema dinàmic correspon a un *punt singular* si, començant en aquest estat, el sistema no s'hi mou en absència de forces externes [HSU68].

Un punt singular pot ésser estable o inestable depenent de la resposta del sistema a una petita pertorbació respecte del punt singular.

Teorema 1 *La condició necessària i suficient d'existència d'un estat estable pel circuit amb el pont, és que existeixi algun punt singular estable.*

Demostració:

La condició coincideix amb la pròpia definició d'estat estable dins d'un circuit seqüencial asíncron.

El valor de la tensió del node *posterior* és lògic ja que el seu mòdul és *dominant*. Això fa que el *SAP* no s'estengui pels nivells posteriors al node *b*.

* *Nombre senar d'inversions.*

En aquesta situació el circuit pot entrar en un comportament oscil·latori. La condició necessària per a que això succeeixi, quan les xarxes del mòdul manador de *b* dominen a les xarxes del mòdul manador d'*a*, és que,

$$F((a), x_2, \dots, x_n) \neq (a) \quad \text{on } (a) \in \{0, 1\} \quad (4.38)$$

La condició necessària i suficient per a que el circuit amb el *pont* realimentat entri en un comportament oscil·latori s'analitza seguidament per a una entrada determinada. Sigui el circuit defectuós de la Figura 4.15 on X_a és el senyal realimentat en l'entrada, \vec{X}_e la resta de senyals d'entrada al circuit que es mantenen fixos i X_b el senyal de sortida que es realimenta cap a l'entrada X_a . La relació entre el senyal X_b i el senyal X_a és, sense defecte,

$$X_b = \phi(X_a, \vec{X}_e) \quad (4.39)$$

on ara, els senyals X_a , X_b i \vec{X}_e són analògics i funcions del temps.

El model elèctric dinàmic corresponent al sistema sense el *pont* es pot escriure com,

$$\begin{cases} \dot{\vec{S}} &= \varphi(\vec{S}, X_a, \vec{X}_e) \\ X_b &= \psi(\vec{S}, X_a, \vec{X}_e) \end{cases} \quad (4.40)$$

on \vec{S} és el vector d'estat del sistema (tensions en capacitats i corrents per inductàncies).

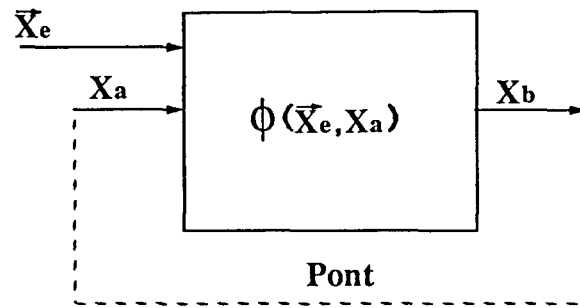


Figura 4.15: Circuit amb un pont realimentat

La introducció del *pont* que connecten els senyals X_a i X_b , fa que els estats del sistema defectuós canviïn a \vec{S}_D i el model elèctric dinàmic s'escriu com,

$$\begin{cases} \dot{\vec{S}}_D = \varphi_{Def}(\vec{S}_D, \vec{X}_e) \\ X_b = \psi_{Def}(\vec{S}_D, \vec{X}_e) \end{cases} \quad (4.41)$$

Els punts singulars del circuit realimentat seran determinats fent,

$$\dot{\vec{S}}_D = 0 \quad (4.42)$$

o bé

$$\varphi_{Def}(\vec{S}_D, \vec{X}_e) = 0 \quad (4.43)$$

Aquests circuits, realimentats i amb un nombre d'inversions senar, tenen una estructura com la mostrada en la Figura 4.16 on cadascun dels mòduls ha estat representat per llur funció de transferència inversora, sempre per un vector donat. Una anàlisi de la funció de transferència global entre X_a i X_b mostra com el nombre de punts singulars es redueix a un quan les funcions de transferència són de forma inversora. Efectivament, consideri's el cas particular on tots els mòduls es comporten segons funcions de transferència inversores monotòniques decreixents i llur concatenació és, també, monotònica decreixent. S'arriba a l'expressió de la funció $X_b = f(X_a)$, on f és la funció concatenació de les funcions corresponents a cadascun dels mòduls del camí senar d'inversions. En la Figura 4.17 es troba il·lustrat el comportament de $f(X_a) = F_{2n+1} \circ F_{2n} \circ \dots \circ F_1$. Es veu com la funció composició presenta un pendent cada vegada més abrupte en la part de la transició, tendint, en el cas límit d' n infinit, a una funció esglaó. De

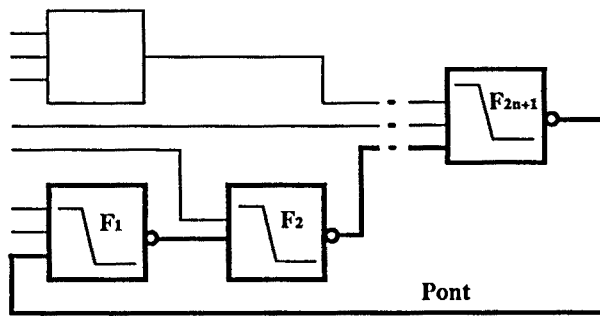


Figura 4.16: Esquema general d'un pont realimentat que travessa un nombre senar d'inversions

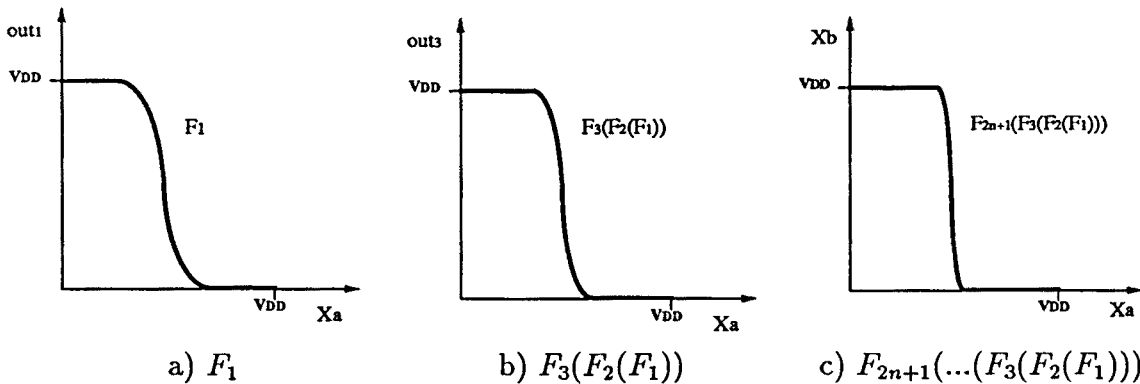


Figura 4.17: Funció concatenació de les funcions inversores dels mòduls que hi ha dins del camí del pont realimentat

l'anàlisi dels punts singulars en aquest cas, es pot concloure el següent lema i teorema.

Lema 1 Pels defectes pont realimentats amb un nombre senar d'inversions considerats, el punt singular $\varphi_{Def}(x) = 0$ és únic.

Demostració: La funció $X_b = \phi(X_a, \vec{X}_e)$ té una única solució amb les condicions imposades ($X_a = X_b$ en la Figura 4.18).

Teorema 2 Per a la subclasse de circuits defectuosos amb un únic punt singular, es pot afirmar que, si el circuit lliure del pont té una funció de transferència estàtica, $\psi(x)$, amb la introducció del pont el circuit entrarà en estat oscil·latori si i només si l'únic punt singular obtingut al tancar el circuit degut al pont ($x = \psi_{Def}(x)$) és inestable.

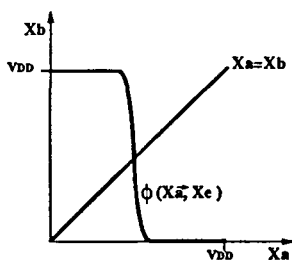


Figura 4.18: *Funció inversora límit*

Demostració:

- Necessitat: A l'oscil·lar el circuit en fallada, l'únic punt singular és inestable ja que si no oscil·lés seria estable.
- Suficiència: Si el punt singular és inestable i únic, el circuit ni pot quedar-se en aquest punt ni pot anar-se a cap altre, en conseqüència, ha d'entrar dins una oscil·lació estable o "cicle límit".

B Cap dels dos mòduls domina front l'altre

En aquest cas, quan $R_b = 0$, degut a la incertesa en la interpretació lògica dels voltatges, el test lògic no està pas garantit.

Si la resistència R_b és el suficientment elevada com per a que els dos nodes siguin lògics i correctes, el test per voltatge és incapaç de la detecció de les fallades.

Seguidament es mostra un exemple d'aplicació del teorema 2 en una cadena d'un nombre senar d'inversors realimentats.

Exemple

Sigui la cadena d' n inversors de la Figura 4.19 on $n = 2k + 1$. La cadena d'inversors presenta una funció de transferència estàtica per a $n = 3, 5, \dots, 2k + 1$ asíncrona decreixent. L'equació $x = \phi(x)$ que determina els punts singulars tindrà solució única i, conseqüentment, pertanyerà a la classe considerada pel Teorema 2 (punt singular únic). La condició deixa de ser certa per a n parell. Segons la condició necessària i suficient del Teorema, sí i només si el punt singular és inestable, l'estat oscil·latori serà permanent. Con aquest és el cas dels inversors realimentats, amb el simulador SPICE s'ha analitzat l'oscil·lació per a $n = 5, 7, 9$ i 11 . En la Figura 4.20 es mostren els resultats de les simulacions.

Modelant els transistors en petit senyal com es mostra en la Figura 4.21 i aplicant la condició d'inestabilitat del punt singular, la freqüència d'oscil·lació de la cadena

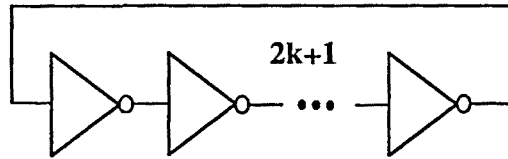


Figura 4.19: Cadena de $2k + 1$ inversors amb un pont realimentat entre l'entrada i la sortida de la cadena

s'aproxima, per a $R_b=0$ i depenent del nombre d'inversors n , per l'expressió:

$$w = \frac{1}{r_d c_g} \operatorname{tg}\left(\frac{\pi}{n}\right) \quad (4.44)$$

on $r_d = \frac{r_{dn} r_{dp}}{r_{dn} + r_{dp}}$ essent r_{dn} i r_{dp} les resistències incrementals de drenador dels transistors de canal n i p respectivament; c_g és la capacitat incremental de porta.

Per a calcular, analíticament a partir de l'expressió anterior, la freqüència d'oscil·lació de la cadena defectuosa, cal considerar que cada inversor presenta un rang ampli de resistències i capacitats incrementals, r_d i c_g , degut a l'oscil·lació. En la Figura 4.22 s'il·lustren aquests valors front la tensió d'entrada de l'inversor (segons simulacions amb SPICE). Partint dels valors mínims i màxims de la Figura 4.22, s'ha calculat el rang de freqüències w'' i w' , respectivament. En la Figura 4.23 es mostra el rang de freqüències calculat i els valors trobats per simulació amb SPICE.

Si es considera la connexió del *pont* feta mitjançant R_b diferent de zero, l'expressió de la freqüència d'oscil·lació, per a una n donada, pot ser aproximada per l'expressió,

$$w \simeq \operatorname{tg}\left(\frac{\pi}{k-1}\right) \frac{k-1}{c_g(r_d k + R_b)} \quad (4.45)$$

En la Figura 4.24 es mostra la comparació entre els resultats calculats segons l'expressió i els resultats trobats de la simulació SPICE.

Detecció pel corrent

Depenent del comportament defectuós del circuit, la detecció per la mesura del corrent dels *pont* s pot presentar diferències:

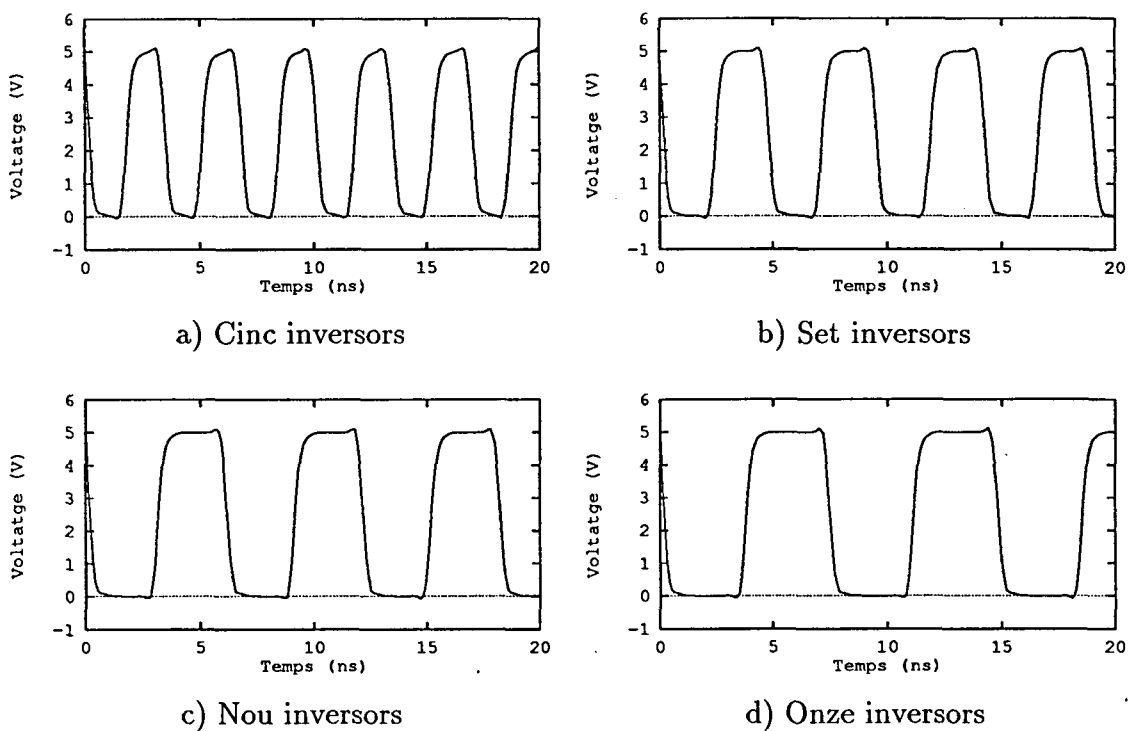


Figura 4.20: Oscil·lacions de les cadenes de 5, 7, 9 i 11 inversors iguals amb un pont de resistència nul·la realimentant la sortida amb l'entrada

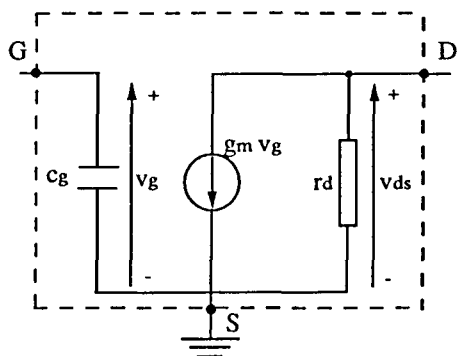


Figura 4.21: Model simplificat per l'inversor en petit senyal

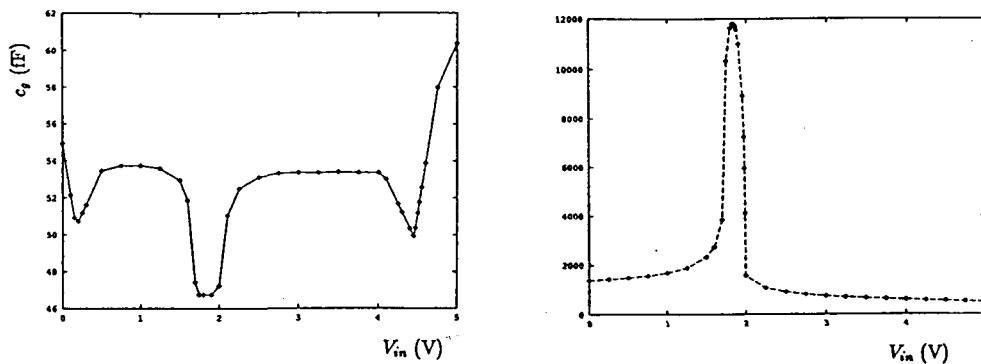


Figura 4.22: Valors de c_g i r_d front la tensió d'entrada de l'inversor

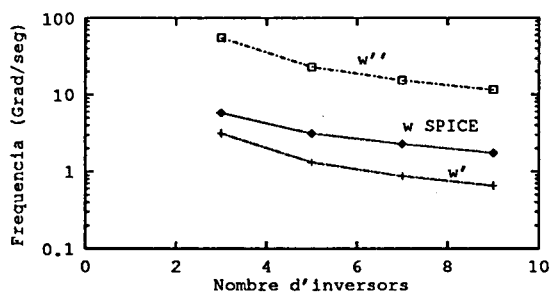


Figura 4.23: Freqüències d'oscil.lació de les cadenes d'inversors realimentades amb un pont de resistència nul.la

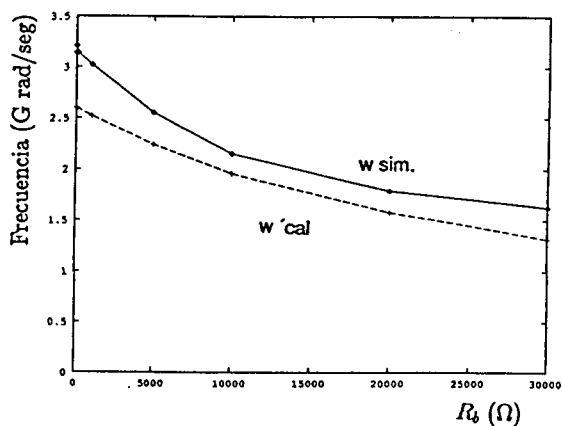


Figura 4.24: Freqüències d'oscil.lació de les cadenes d'inversors realimentades amb un pont de resistència R_b

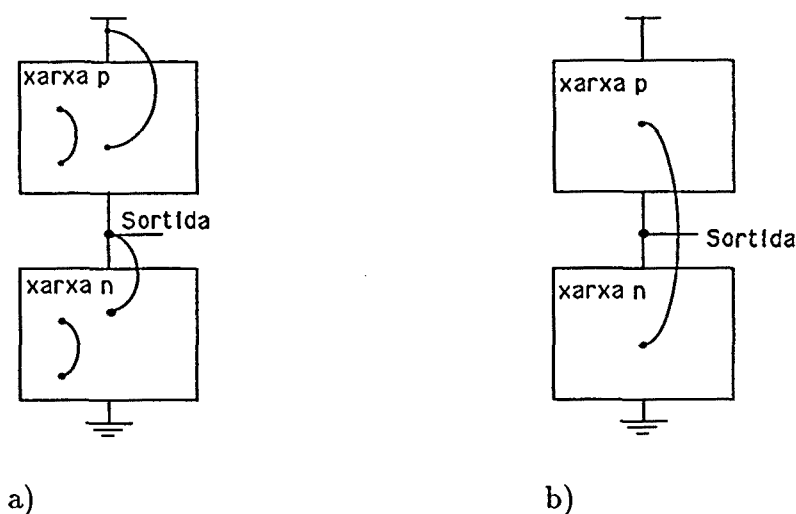


Figura 4.25: Ponts interns en una mateixa xarxa

- Si el circuit no oscil·la els nodes s'han de dur a valors digitals oposats com ja es mostrà pels *ponts* no realimentats.
- Si el circuit oscil·la els nodes de sortida dels mòduls es van carregant i descarregant, periòdicament a alta freqüència, sense arribar a un estat estacionari. La I_{DD} oscil·la amb un valor mig no nul que pot emprar-se per a llur detecció. Ara bé, en [ROC92] es mostra com el corrent mig consumit no es fa pas zero sinó que es manté per damunt d'un cert valor. La mesura del corrent, en aquest cas dinàmic, també pot arribar a la detecció del circuit defectuós i oscil·lant.

4.2.3 Ponts interns no realimentats

Aquest és el grup format pels *ponts* entre dos nodes, un dels quals és un node intern a un mòdul. Es farà una divisió basant-se en el nombre de xarxes i de mòduls involucrats en el *pont*.

1. Un mòdul

-Ponts entre nodes interns, o *ponts* entre un node intern i el node de sortida o alimentació, sempre dins d'una mateixa xarxa n o p .

En la Figura 4.25 a) s'il·lustren els *ponts* entre nodes d'una mateixa xarxa ja siguin interns, d'alimentació o la sortida.

-Ponts entre un node de la xarxa n amb un node de la xarxa p d'un mateix mòdul.

En la Figura 4.25 b) es troben representats aquests *ponts*.

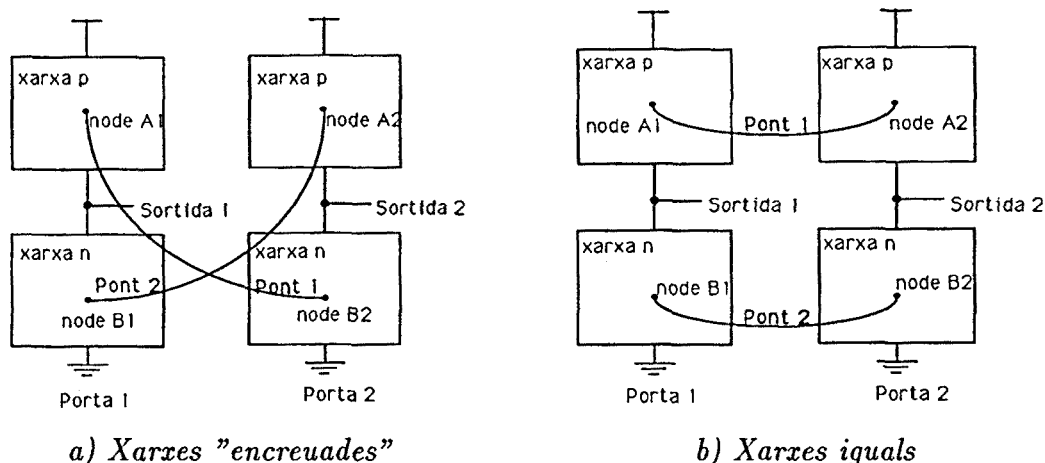


Figura 4.26: Ponts entre xarxes de diferents mòduls

2. Dos mòduls

En aquesta categoria s'inclouen els *ponts* entre nodes interns o de sortida o d'alimentació que pertanyen a dos mòduls diferents. Es pot fer una subdivisió basada en el tipus de xarxes involucrades en el defecte. Així, si les dues xarxes són *p* o les dues són *n*, es dirà que el *pont* és entre "xarxes paral·leles". Si les xarxes són diferents, el *pont* connecta dues "xarxes encreuades". En la Figura 4.26 a) i en la Figura 4.26 b) es mostra un exemple de cada cas.

Detecció per voltatge

El test de voltatge aplicat a la detecció dels *ponts* interns, té les mateixes característiques que l'aplicació als *ponts* entre nodes externs ja que, l'observació es realitza sobre els nodes lògics. Independentment de la localització del curt circuit, el comportament defectuós dels nodes lògics del circuit pot prendre els rangs ja comentats pel cas de *ponts* externs.

Detecció per corrent

La xarxa de transistors que recorre el corrent quiescent pel cas de *ponts* entre nodes interns està, en general, formada per menys quantitat de dispositius comparada amb els cas de *ponts* externs (Figura 4.27). La fracció de xarxa *p* (*n*) per on circula el corrent és la mostrada amb el nom xarxa' *p* (*n*). La xarxa *reduïda*, xarxa' *n*, és la porció de xarxa *n* que resta entre el node *b* i el node de *Gnd*. Igualment, la xarxa' *p* és la porció de xarxa *p* que hi ha entre el node *a* i V_{DD} .

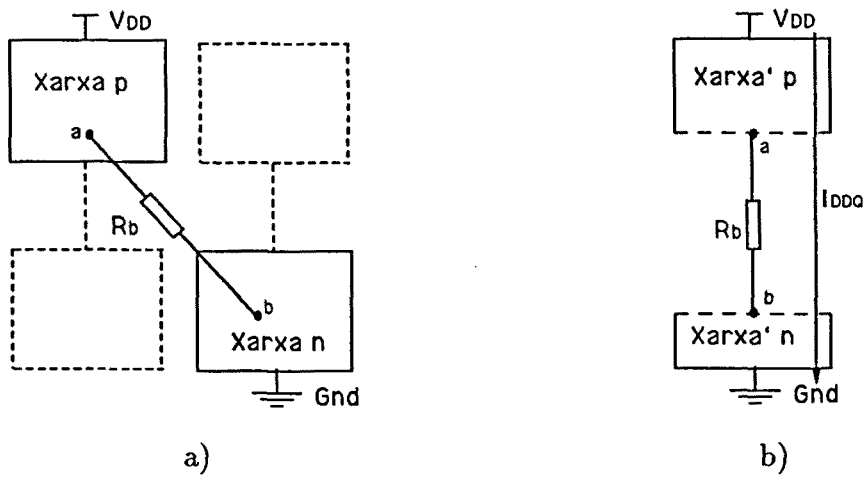


Figura 4.27: Camí de corrent pels ponts entre nodes interns

La condició de corrent mínim per a la detecció del *pont* és exactament la mateixa que pel cas de *ponts* externs però, ara, les xarxes per on circula el corrent són les xarxes reduïdes.

4.3 Detecció de ponts pel test de corrent front el test de tensió

Com s'ha vist en les seccions anteriors, les condicions del test de corrent són sempre englobades dins les condicions per a la detecció pel test de voltatge. Tant el test per corrent com el test per voltatge necessita que els dos nodes curt circuitats siguin conduïts a valor lògics oposats, mentre, el test per voltatge requereix que es propagui la discrepància causada en forma d'error cap a alguna de les sortides observables exteriorment. Això fa que el test per corrent sempre necessiti de condicions de test més suaus tenint com a limitació el valor mínim de corrent que permet detectar el defecte. Les situacions provocades pels *ponts* per a les quals els nodes defectuosos presenten valors de tensió intermèdies no poden ser detectades per un test de voltatge. Tanmateix, tots aquests defectes sí són coberts pel test de corrent quiescent.

4.4 Cobertura de ponts en portes bàsiques CMOS al fer test de corrent amb vectors generats per als stuck-at amb condicions addicionals d'observabilitat

Com s'ha vist en la introducció, alguns treballs han estat dirigits a l'estudi experimental del cobriment de fallades causants de corrents elevats durant l'aplicació d'un test de voltatge. En [MAH92] s'analitzen teòricament aquests resultats per a circuits CMOS *full* complementaris composts per portes primitives, Nand, Nor, And, Or i Not complementàries. Es demostra com un cobriment del 100 % de les fallades *stuck-at* a les entrades/sortides de les portes, implica el 100 % del cobriment de les fallades causants d'un I_{DDQ} elevat.

Aquest conjunt de treballs que han executat un test de corrent durant l'aplicació dels vectors de test de voltatge i que han observat com el cobriment assolit era quasi igual, fa pensar en la relació existent entre els dos tipus de vectors de test. En aquesta secció s'estudiarà el cobriment dels *ponts* mitjançant la vigilància del corrent durant l'aplicació dels vectors de test generat per a la detecció de fallades *stuck-at* en portes bàsiques Nand, Nor i Not que es suposen amb sortides observables, a partir de les quals es pot generar qualsevol altra funció més complexa.

Si es considera el conjunt de nodes format per {Entrades, Alimentacions, Sortida, Interns} de cada porta, les possibilitats de *pont* entre ells porten a la classificació mostrada

4.4. Cobertura de ponts en portes bàsiques CMOS

Grup	Entrades	V_{DD} i Gnd	Sortida	Interns
Entrades	$En_i - En_j$	Aliment- En_i	En_i -Sortida	En_i -Intern
V_{DD} i Gnd	-	pont d'alimentació	Aliment-Sortida	Aliment-Node Intern
Sortida	-	-	-	Intern-Sortida
Interns	-	-	-	Pont intern

Taula 4.2: Possibles ponts en una porta complementària

en la Taula 4.2.

En primer lloc s'estudiaran els *ponts* que només involucren a nodes totalment externs i en segon lloc es consideraran els *ponts* que connecten els nodes interns. S'ha escollit la porta Nand d' n entrades per al seguiment de l'estudi. Seguidament els resultats seran estesos a la porta Nor en ser exactament simètriques les seves topologies. L'inversor és un cas particular de la Nand on l'estructura és deguda a una xarxa n i p d'un sol element.

4.4.1 Ponts externs a una porta complementària Nand o Nor

Porta Nand

Consideri's una porta Nand d' n entrades. Siguin els nodes a considerar els del grup {Entrades, Sortida, Alimentacions}. Els possibles *ponts* que poden aparèixer entre ells es poden classificar de la forma:

- Pont entre les alimentacions

Aquest *pont* és molt difícil que aparegui ja que, en tots els dissenys les pistes de metall corresponents als nodes d'alimentació acostumen a trobar-se el suficientment allunyades. Si aquest *pont* aparegués, necessitaria estar causat per un defecte massa generalitzat dins una zona força important de *wafers* de silici. Els tests del procés que es realitzen durant la fabricació serien suficients per a la detecció d'aquest *pont*.

- Pont entre una entrada i un node d'alimentació

Tant si el node d'alimentació és V_{DD} com si és Gnd , es detecta el *pont* per vigilància del corrent portant l'entrada al valor lògic oposat. Aquesta característica és pròpia del vector que detecta per voltatge el *stuck-at* en l'entrada. Queden, doncs, coberts aquests *ponts*, independentment del tipus de porta.

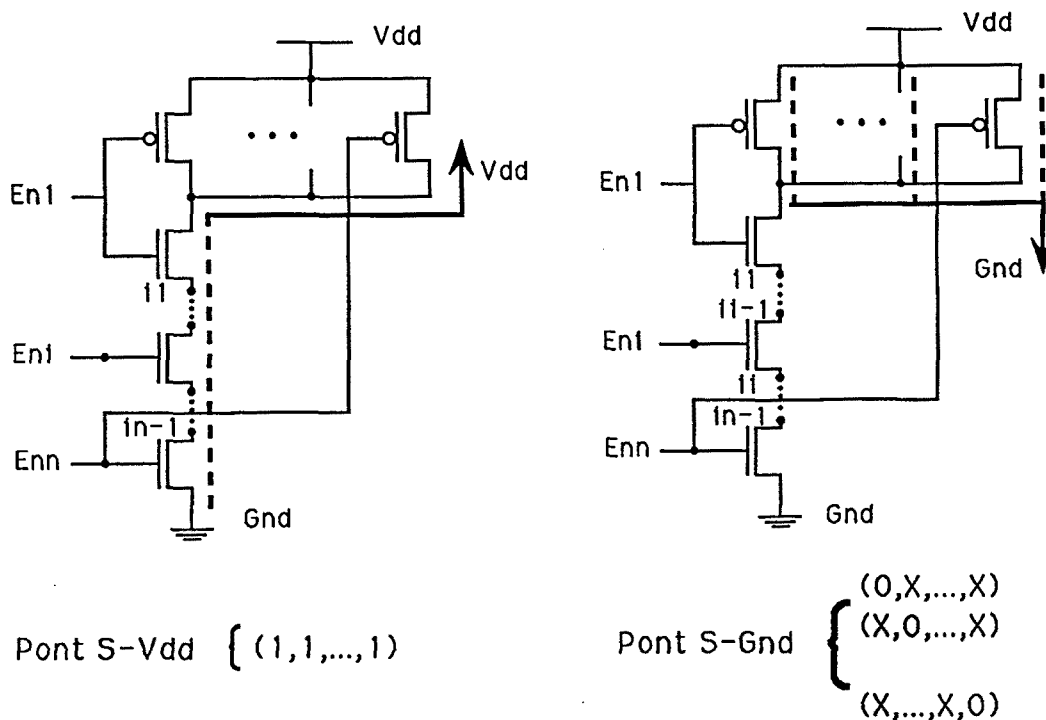


Figura 4.28: a) Curt circuit S-V_{DD} i b) Curt circuit S-Gnd

- Pont entre la sortida i un node d'alimentació

En la Figura 4.28 a) s'il·lustra el pont entre la sortida de la porta Nand i el node d'alimentació positiva. En la Figura s'ha representat per una línia contínua la connexió introduïda pel pont, i per línies discontinües els possibles camins generats amb el corresponent vector de test. El vector $(1, \dots, 1)$ és detector de la connexió entre la sortida i alimentació tant per test de voltatge com per test de corrent. Degut a que la xarxa n conté tots els transistors en sèrie només tenim aquest vector com a possible.

De la Figura 4.28 b) es dedueix fàcilment que el circuit amb un *pont* entre la sortida i el node de terra crearà camí de corrent quan qualsevol dels transistors de la xarxa p estiguin tancats. Com el vector de test d'una entrada *stuck-at-1* compleix aquesta condició, qualsevol vector per a *stuck-at-1* seria detector del defecte S-Gnd (Sortida-terra).

- Pont entre dues entrades

La generació d'un camí de corrent, en el cas del *pont* entre dues entrades, requereix que cadauna de les entrades siguin conduïdes a valors diferents. Com s'està considerant el cas de les portes bàsiques formades per una xarxa de transistors en paral·lel

4.4. Cobertura de ponts en portes bàsiques CMOS

i l'altra en sèrie, l'oposició entre qualsevol parella d'entrades queda garantida durant el test dels *stuck-at* de cadascuna de les entrades.

Porta Nor

Els resultats són extensibles a la porta Nor degut a la seva simetria respecte la porta Nand del mateix nombre d'entrades.

4.4.2 Ponts interns a una porta Nand o Nor

Porta Nand

- Ponts entre nodes interns i alimentacions

Per a les connexions amb alimentació (Figura 4.29 a)) es necessita crear el camí des de terra fins al node en qüestió, això és, es necessita un vector amb un 1 a totes les entrades corresponents als respectius transistors. Ens trobem, doncs, amb vectors de la forma $(X,1,\dots,1)$, $(X,X,1,\dots,1)$, ... , $(X,X,\dots,X,1)$. Tots aquests queden coberts pel vector de la detecció del *stuck-at-1* de la sortida, $(1,1,\dots,1)$.

Quan se tracta dels nodes interns connectats al node de terra (Figura 4.29 b)) es necessita qualsevol transistor de la xarxa p tancat i, alhora, es necessita el camí des de la sortida fins al node defectuós. Llavors, si el node curt circuitat és l' i_1 els vectors pel test de corrent tindran la primera component 1 i de les altres amb que una estigui a 0 ja serà suficient com, per exemple, $(1,X,\dots,X,0)$. Així que el node defectuós vagi apropant-se cap a terra (i_j amb j augmentant) el nombre de components igual a 1 també augmentarà fins arribar al cas màxim en $(1,1,\dots,1,0)$. Tots ells queden coberts pels vectors pel *stuck-at-1* de cadascuna de les entrades.

- Pont entre un node intern i la sortida

Per a aquest tipus de *pont* (Figura 4.30) existeix un camí permanent entre la sortida i un dels nodes interns, de forma que el vector de test per corrent haurà de tancar el camí per la xarxa n (amb un 1 a les seves portes) i també haurà de tancar com a mínim un dels transistors de la xarxa p . Aquestes dues condicions sempre seran possibles ja que es poden forçar totes les entrades a 1 excepte una (per a crear el camí per la xarxa p) que podrà ser qualsevol corresponent a un dels transistors englobats dins el camí creat pel defecte. D'aquesta manera, els vectors de detecció

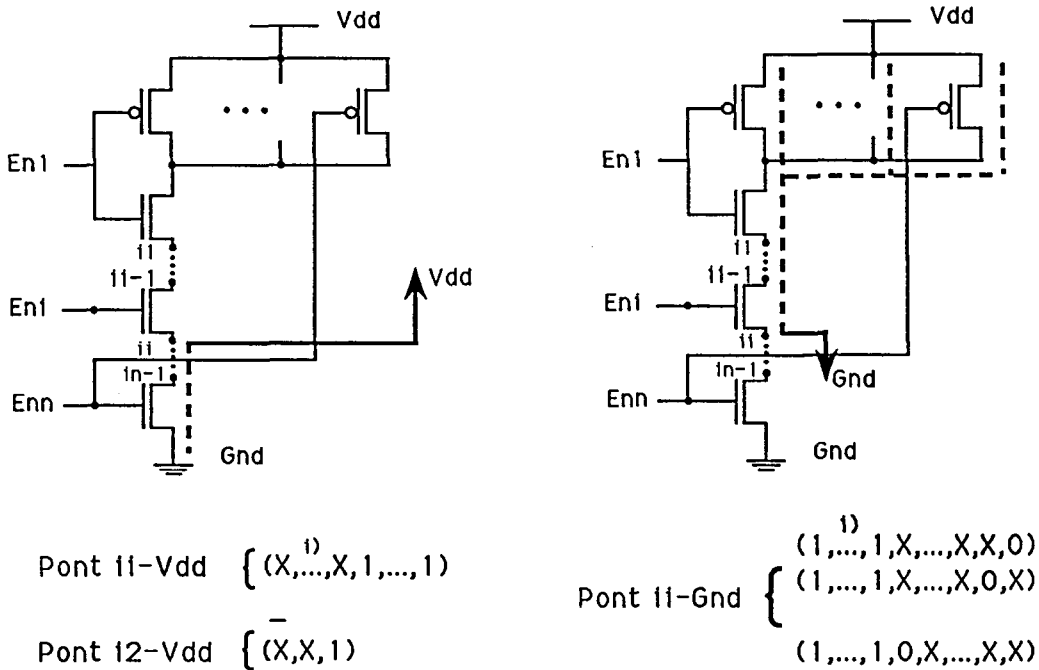


Figura 4.29: a) Curt circuits entre nodes interns i alimentació i b) Curt circuits entre nodes interns i terra

dels *stuck-at-1* de les entrades corresponents als transistors pertanyents al camí creat pel defecte, també ens detectarà el pont per I_{DDQ} .

- Pont intern dins la xarxa n

Els *ponts* englobats dins d'aquest grup (Figura 4.31) presenten una topologia molt semblant als del grup anterior amb la diferència que cap dels dos nodes defectuosos és el node de sortida. Així, els vectors pel test de corrent hauran d'encarregar-se de crear el pas entre els nodes d'alimentació tenint en compte el camí ja creat degut a la presència del defecte. El pas per la xarxa p dona la condició que, com a mínim, un dels transistors p han d'estar tancats (almenys una de les components del vector de test han de ser 0). Si s'aprofita per a tancar el transistor dual de qualsevol dels transistors n que es troben dins el camí creat pel *pont* sempre es podrà provocar el pas de corrent en la Nand defectuosa. Els vectors de test tenen totes llurs components 1 excepte una igual a 0 que, comparant-los amb els vectors de test per *stuck-at*, són els mateixos que detectarien cada una de les entrades amb un *stuck-at-1*.

4.4. Cobertura de ponts en portes bàsiques CMOS

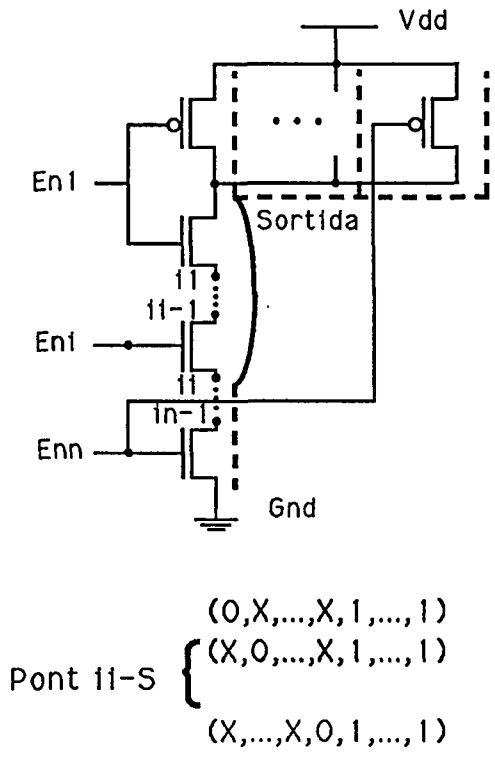


Figura 4.30: Pont entre els nodes interns i la sortida

S'ha vist, doncs, que per a tots els *punts* que només depenen de la porta Nand on se troben, es pot utilitzar la generació dels vectors d'entrada a partir d'un model de fallada *stuck-at* que, si bé no realista, si és profitós.

Porta Nor

Degut a la dualitat del problema respecte de la porta Nand, els resultats són fàcilment extensibles a la porta Nor.

4.5 El conjunt de test és mínim

En els apartats anteriors s'ha vist com el conjunt d' $n + 1$ vectors que detecta tots els *stuck-at* de les entrades de portes Nand, Nor i Not CMOS, també detecta tots els punts que afecten llurs nodes. El conjunt, doncs, està format pel vector $(\overbrace{1, \dots, 1}^n)$ i pels vectors $(1, \dots, 1, 0, 1, \dots, 1)$ on el 0 pot estar en qualsevol de les n posicions. L'eliminació d'un qualsevol d'aquests vectors deixa, com a mínim, un *stuck-at* sense detectar. El mateix es pot afirmar referent als punts:

Teorema 3 *El conjunt de test d' $n + 1$ vectors per a la detecció dels stuck-at simples de les portes bàsiques Nand, Nor i Not, també és mínim per al test de corrent dels punts que poden afectar llurs nodes.*

Demostració:

Cadascun dels $n + 1$ vectors és imprescindible. Suposi's l'exclusió del vector $(\overbrace{1, \dots, 1}^n)$ en el test de la porta Nand. Aquest és l'únic vector capaç de detectar el pont Sortida- V_{DD} . Si s'elimina, no podrà detectar-se aquest *punt*. Suposi's ara, l'eliminació del vector $(1, \dots, 1, 0, 1, \dots, 1)$ on el valor 0 es troba en la posició k , amb $1 \leq k \leq n$. Aquest vector és l'únic que, per exemple, detecta el pont entre el drenadori sortidor del transistor de canal n corresponent a l'entrada E_k . L'eliminació d'aquest vector deixaria, com a mínim, un pont per detectar. El conjunt és, doncs, mínim pel cas de la porta Nand. L'inversor és un cas particular de la porta Nand. Per la simetria existent amb la porta Nor d' n entrades, el teorema és també cert per a la porta Nor.

4.6 Conclusions

En el capítol, s'ha caracteritzat el comportament defectuós en tensió i en corrent de circuits CMOS amb *ponts*, prèvia classificació de les topologies del *Subdonimi Analògic del Defecte* causades pels *ponts*. S'ha fet, també, una comparació entre dues metodologies de detecció dels defectes *pont*: el test lògic front el test per corrent quiescent. S'ha mostrat com el test lògic necessita de condicions de test més estrictes que el test per corrent.

S'ha pogut observar, en els apartats anteriors, la similitud entre les estratègies del test de tensió i les del test de corrent quiescent. També s'ha fet la comparació entre el conjunt de vectors de test generats per a un model *stuck-at* i per a un model de *pont resistiu* en el cas de portes bàsiques NOT, Nand i Nor de tecnologia CMOS complementaria amb observabilitat a la sortida de cada porta. S'ha comprovat que el grup de vectors generats pel test *stuck-at* amb condicions addicionals d'observabilitat, també és capaç de detectar tots els possibles *ponts* entre els nodes interns i externs a cada una de les estructures bàsiques independentment del circuit extern a elles. A més a més, aquest conjunt és mínim en el sentit que tots els $n+1$ vectors (per una porta d' n entrades) són necessaris i no s'en pot treure cap si es volen cobrir el 100 % de *ponts* entre nodes interns, entrades, sortides i nodes d'alimentació. Així, en un circuit qualsevol realitzat amb aquest conjunt de portes bàsiques es pot detectar, per I_{DDQ} , la presència de *ponts* entre qualsevol parell de nodes pertanyents a una de les portes aplicant un test basat en el model de fallada *stuck-at* amb la hipòtesi addicional.

En el capítol següent es realitzarà l'anàlisi dels *ponts* en les estructures bàsiques combinacionals i seqüencials, caracteritzant el corrent quiescent consumit en presència dels *ponts*. En la caracterització s'ha considerat una primera aproximació amb expressions simplificades teòriques, s'han simulat, també, els resultats amb SPICE i, finalment, s'ha experimentat sobre els circuits. També es farà una estimació dels consums màxims i mínims esperats per circuits combinacionals emprant la metodologia desenvolupada en aquest capítol.

Capítol 5

Caracterització d' I_{DDQ} en mòduls bàsics combinacionals

En aquest capítol es va a caracteritzar el consum del corrent quiescent en mòduls bàsics combinacionals amb *ponts*. El conjunt de mòduls bàsics combinacional escollit és el format per l'inversor, la porta Nand i la porta Nor. La caracterització es farà tant a nivell teòric com a nivell experimental. L'estudi a nivell teòric es realitzarà amb les expressions de Sah i amb el simulador SPICE versió 2G.6 i les mesures experimentals es realitzaran amb l'analitzador de paràmetres HP4145B. El disseny dels circuits es durà a terme amb el software SOLO2000 d'SDA i la fabricació dels mòduls es realitzarà per ES2. Es generalitzarà el procediment emprat i es farà la proposta d'una metodologia de predicció d' I_{DDQ} per a circuits més complexos utilitzant un *software* anomenat *CUTLAB* [BAL92] desenvolupat per a aquesta tasca. Finalment, es presentaran les conclusions sobre la metodologia i els resultats trobats.

5.1 L'inversor

El primer mòdul bàsic escollit és l'inversor. Per tal de caracteritzar el consum del *Subdomini Analògic* d'un circuit amb un inversor defectuós, es considerarà l'inversor dins d'una cadena de tres inversors on ocuparà la posició intermèdia. En primer lloc es caracteritzarà el consum dins del *SAP*, i en segon lloc, el corrent consumit dins del *SAD*. La suma dels dos donarà el corrent total dins del *SA*.

En la Figura 5.1 s'il·lustra la nomenclatura utilitzada per a l'inversor defectuós on, N_i i N_o són els nodes d'entrada i sortida, respectivament.

Per tal de compensar la diferència de mobilitats entre els forats i els electrons es

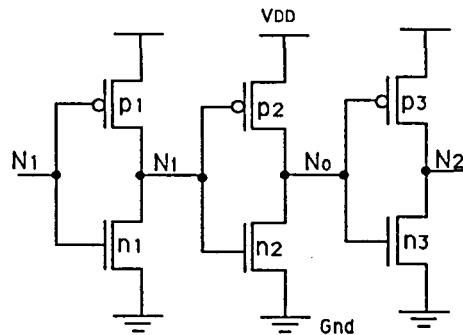


Figura 5.1: Circuit elèctric de la cadena de tres inversors en tecnologia CMOS

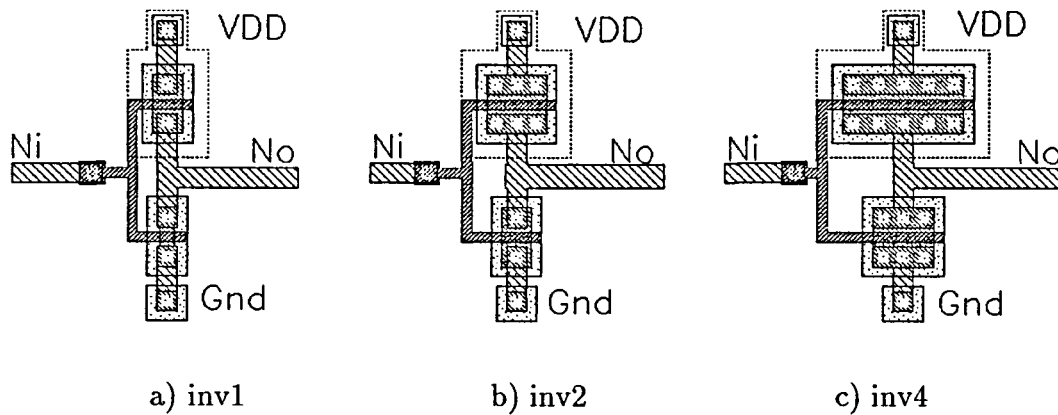


Figura 5.2: Layout dels tres dimensionats considerats pels inversors

considerarà l'amplada del canal dels transistors p el doble de l'amplada del canal dels transistors n , i.e., $W_p = 2W_n$. La longitud dels canals es mantindrà constant, $L_n = L_p$.

En aquesta caracterització s'ha considerat tres diferents dimensionats pels transistors per tal de tenir més dades en la caracterització (Figura 5.2). El primer dimensionat ha estat el dimensionat mínim segons la tecnologia utilitzada. Aquesta tecnologia és la CMOS de $2\mu\text{m}$ i pou N amb doble capa de metall d'ES2. L'inversor de dimensions mínimes s'anomenarà *inv1*. Els altres dos dimensionats considerats han estat el doble (*inv2*) i el quàdruple (*inv4*). En la Taula 5.1 es mostren les amplades i longituds dels inversors.

L'experimentació realitzada sobre la cadena de tres inversors ha de permetre la diferenciació entre els corrents que consumeix cada inversor per separat i, així, poder caracteritzar el consum dins del SA amb l'analitzador de paràmetres HP4145B. Amb aquesta finalitat s'han separat els nodes de referència dels tres inversors com se mostra en la Figura 5.3 (el

Nom	$L_n = L_p$	W_n	$W_p = 2W_n$
inv1	$2 \mu\text{m}$	$3 \mu\text{m}$	$6 \mu\text{m}$
inv2	$2 \mu\text{m}$	$6 \mu\text{m}$	$12 \mu\text{m}$
inv4	$2 \mu\text{m}$	$12 \mu\text{m}$	$24 \mu\text{m}$

Taula 5.1: Dimensions dels transistors considerats

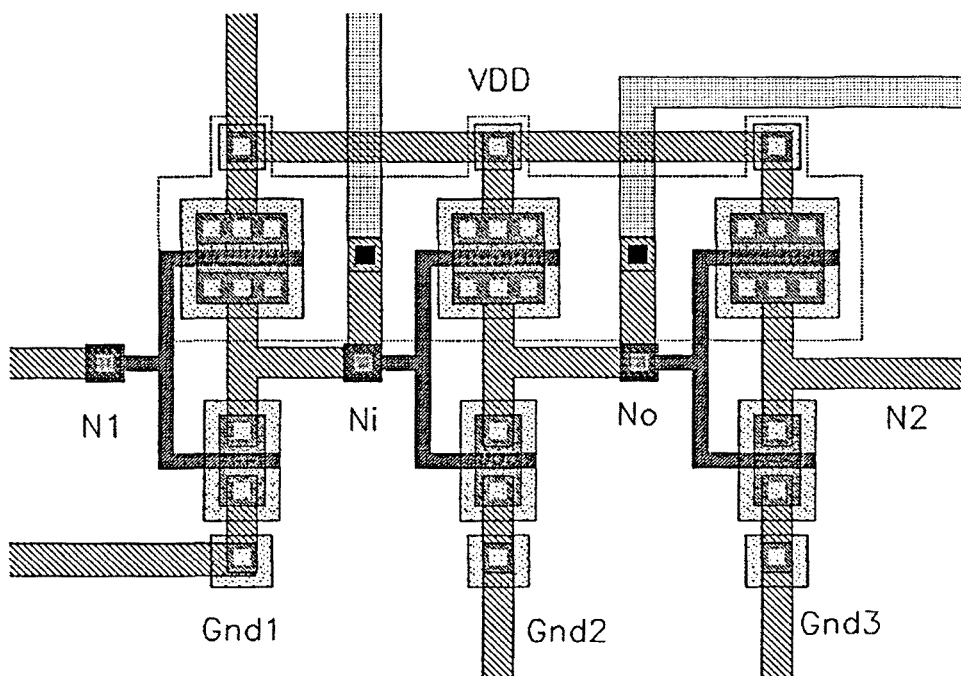


Figura 5.3: Layout dels tres inversors

node V_{DD} s'ha mantingut comú a tots). Aquesta diferenciació ha necessitat de l'afegiment de vuit *pads* externs, un per a cada node del circuit, tal com se mostra en la Figura 5.4.

El consum del corrent dins del *SAD* dependrà de la topologia d'aquest i de la classe a la que pertanyi. Diferent serà el corrent consumit pel *SAP*, ja que només dependrà de la tensió analògica de l'entrada (per a un inversor donat). En primer lloc es caracteritzarà el *SAP* pels tres possibles dimensionats d'inversor.

5.1.1 Subdomini Analògic de Penetració

En aquesta cadena de tres inversors, el *SAP* està compost per un o dos inversors, de forma que el corrent total consumit és la suma dels dos corrents parcials. La caracterització del corrent en el *SAP* necessitarà del coneixement de la funció de transferència en tensió,

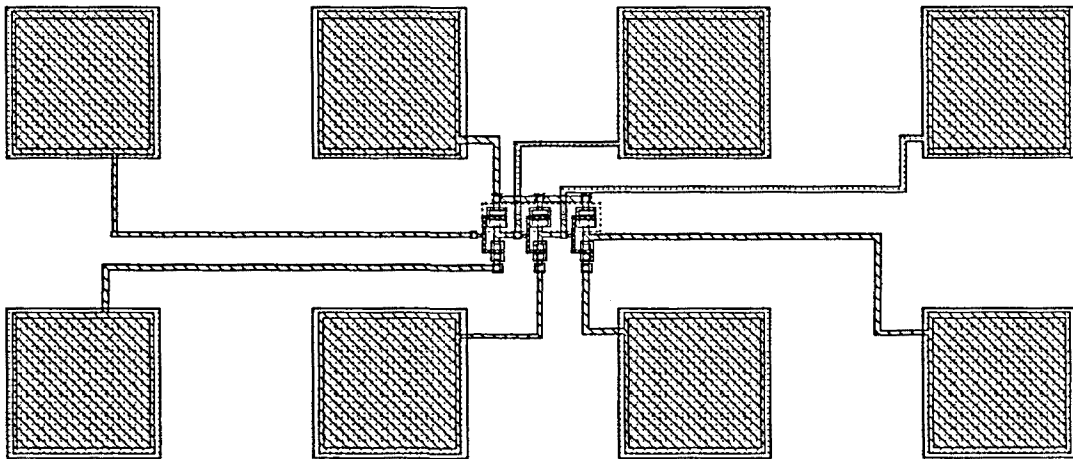


Figura 5.4: Layout dels tres inversors amb llurs pads

Inversor	Model de Sah (μA)	SPICE (niv. 1) (μA)	SPICE (niv. 2) (μA)	Experimental (μA)
inv1	114	100	82	78
inv2	228	199	166	154
inv4	456	392	333	318

Taula 5.2: Resultats teòrics, simulats i experimentals del corrent de pic d' I_{DDQ} pels inversors considerats

així com del corrent consumit com a funció del voltatge de l'entrada. El rang de corrent dins del *SAP* està comprès entre el corrent en regió subllindar i el pic de corrent màxim. Seguidament es contrastaran els valors dels pics de corrent segons càlculs, simulacions i mesures.

La comparació entre els resultats calculats amb el model simplificat de Sah, els simulats amb SPICE i els experimentalment mesurats dona idea de l'error comès en els càlculs respecte de l'experimentació. En la Taula 5.2 es mostren els diferents valors del pic de corrent.

Es pot comprovar com els tres corrents teòrics i simulats estimen per excés el corrent realment mesurat. L'error produït va des del màxim, pels càlculs amb les equacions de Sah, que es troba al voltant del 46 %, passant per l'introduït en els resultats de SPICE nivell 1 que és de l'ordre del 28 % fins arribar al mínim del 5-8 %, per l'SPICE nivell 2.

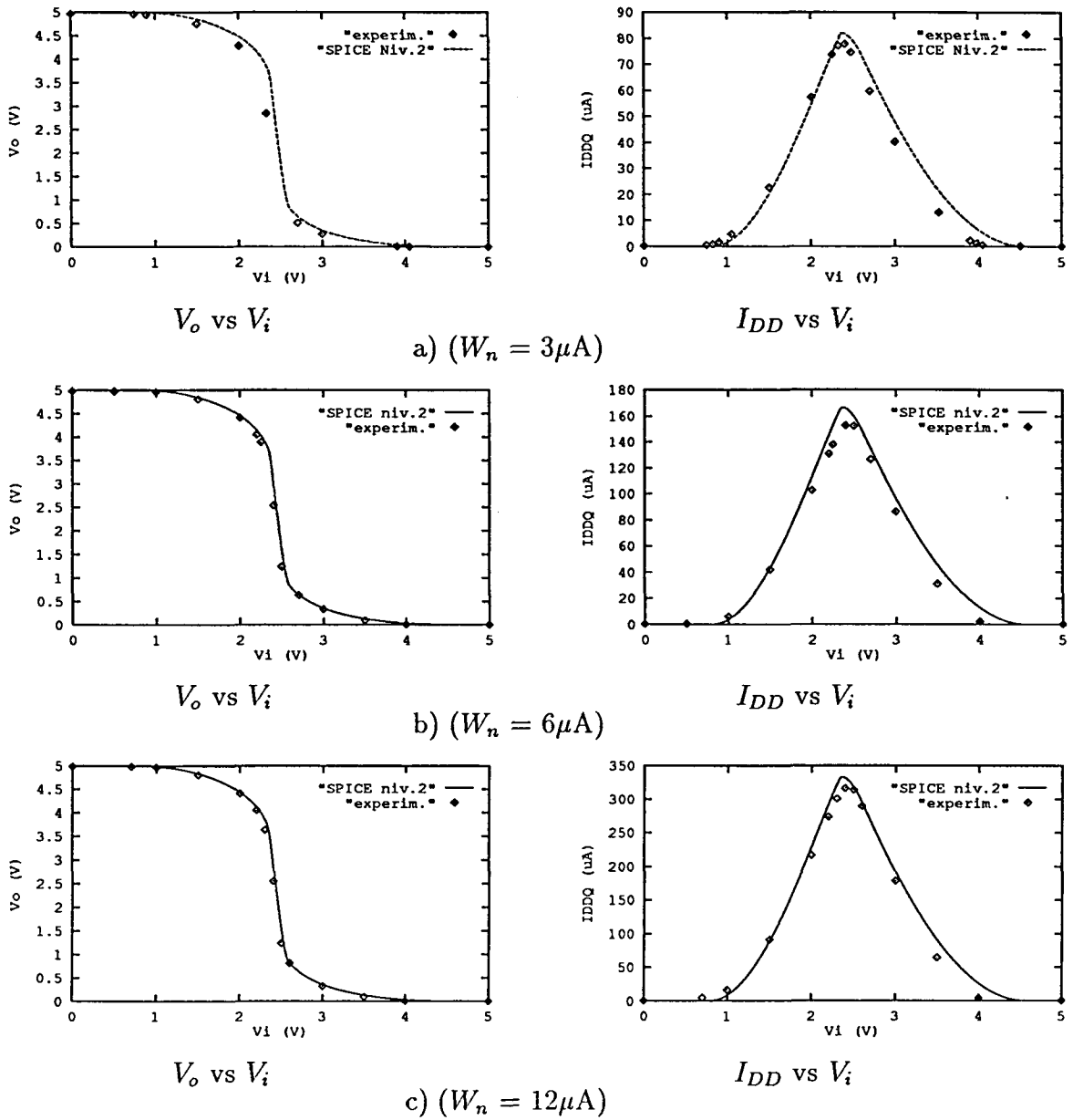


Figura 5.5: Característiques de transferència (voltage i corrent) obtingudes amb SPICE i experimentalment per a inversors de diferents amplades mantenint $W_p=2W_n$ i $L_n=L_p=2\mu\text{m}$

El valor del pic de corrent informa del màxim corrent que pot consumir el *SAP*. Tanmateix, per a la predicció acurada del consum real cal disposar de la funció $I_{DDQ}(V_{in})$ i del voltatge analògic que alimenta al *SAP*. Per a poder conèixer la tensió de sortida d'un mòdul inversor en funció de la tensió d'entrada, cal caracteritzar la funció de transferència $V_{out}(V_{in})$ i, així, poder buscar el corrent causat. En la Figura 5.5 es mostren aquestes funcions de transferència segons simulacions SPICE nivell 2 i mesures experimentals. La correspondència entre els valors simulats i mesurats és molt bona.

Després d'haver comparat els errors entre les dades esperades per simulacions i càlculs amb les dades experimentalment mesurades, es farà el mateix procediment pel *SAD* de l'inversor defectuós.

5.1.2 Subdomini Analògic del Defecte

Abans d'estudiar el comportament de l'inversor afectat d'un *pont*, cal determinar quins són els possibles *ponts* que hi poden aparèixer. Per a això, s'aplicarà el mètode d'inducció de fallades, IFA [SHE85], [FER88]. En aquest cas, l'aplicació de l'anàlisi IFA dona, com a possibles, els *ponts* entre l'entrada i les alimentacions o la sortida i el *pont* entre la sortida i alimentació. Tanmateix, l'inversor pot donar com a possibles una totalitat de $(4!/2!2!) = 6$ *ponts*. Entre ells cal eliminar el *pont* entre alimentació i terra ja que, en qualsevol circuit els nodes d'alimentació es troben el suficientment allunyats per a evitar aquest *pont*, a més, el *pont* $V_{DD} - Gnd$ seria generat per un defecte dels anomenats *globals* degut a la seva magnitud. Els tests de procés detecten fàcilment un defecte d'aquesta magnitud. Es consideraran, però, els cinc *ponts* possibles que poden afectar un inversor dins d'un circuit general, malgrat que l'inversor central de la cadena que s'ha dissenyat no presenta els cinc *ponts* possibles (IFA). En la Figura 5.6 s'il.lustren els cinc *ponts* $N_i - V_{DD}$, $N_i - N_o$, $N_i - Gnd$, $N_o - V_{DD}$ i $N_o - Gnd$.

Qualsevol dels quatre *ponts* que connecten un dels nodes lògics, N_i ó N_o , amb un dels dos nodes d'alimentació modifiquen la topologia del circuit de forma similar. Quan el node curt circuitat és N_o , la *MC* de l'inversor central coincideix amb el *SAD*. Diferent situació es troba quan el node curt circuitat és N_i , ja que el *SAD* correspon a la *MC* que alimenta l'inversor defectuós, i.e., al primer inversor de la cadena. Els quatre *ponts*, doncs, connecten nodes interns a una *MC* i pertanyen a la classe de *SAD A*. Noti's que el *SAD* pels *ponts* que curt circuiten el node de sortida és la corresponent a l'inversor defectuós, mentre el *SAD* corresponent als *ponts* que curt circuiten el node d'entrada és la referent a la *MC* del mòdul conductor de l'inversor defectuós (primer inversor de la cadena).

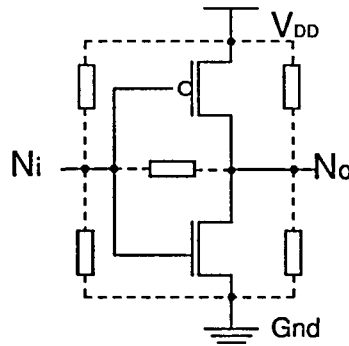


Figura 5.6: Ponts possibles en un inversor

El cinquè pont, $N_i - N_o$, connecta ponts que pertanyen a dues MC; la una és la corresponent al mòdul conductor de l'entrada de l'inversor; l'altra és la del mateix inversor. El SAD és de la classe B.

Seguidament s'analitzarà el comportament defectuós de l'inversor per a dos dels ponts representants de les dues classes de SAD causades. En primer lloc, es prediran qualitativament els consums dels corrents esperats front R_b segons els càlcul derivats de les expressions de Sah. En segon lloc, es validaran mitjançant simulacions SPICE, els comportaments trobats per a, finalment, caracteritzar experimentalment l'inversor defectuós.

Pont $N_o - V_{DD}$

En la Figura 5.7 s'il·lustra el circuit elèctric resultant del pont sobre l'inversor, que funciona lògicament correcte si el vector d'entrada causa el mateix valor en els nodes curt circuitats. Així, amb el vector d'entrada $V_i = 0$, la sortida és carregada pel transistor p a 5V i, també el pont connecta la sortida a 5V. No apareix cap camí de corrent entre alimentació i terra i el comportament del transistor és l'esperat. Tanmateix, quan l'entrada pren el valor $V_i = 1$ en l'inversor es crea un camí de corrent com el mostrat en la Figura 5.7. D'aquesta manera, el node de sortida veu com la seva descàrrega a través del transistor n és entrebancada pel pont que, degut al camí de corrent que introdueix, va carregant-lo amb més o menys força dependent del seu valor resistiu.

A la dificultat per a descarregar el node de sortida, s'afegeix un camí addicional de corrent quiescent que augmenta el consum del dispositiu uns quants ordres de magnitud respecte al consum de l'inversor lliure de defectes. El creixement d'aquest flux de corrent

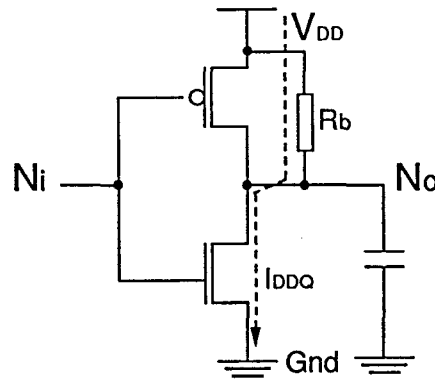


Figura 5.7: Camí de corrent creat pel pont $N_o - V_{DD}$

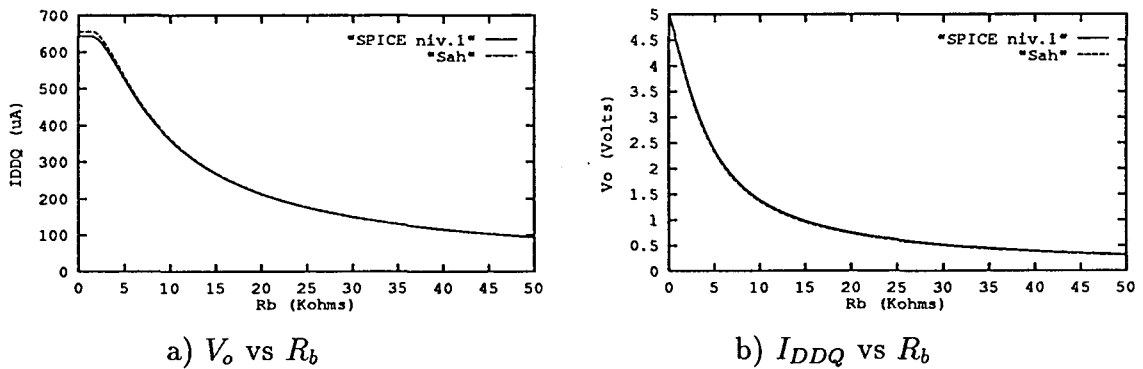


Figura 5.8: Tensió de sortida i consum de corrent vs R_b generats en un inversor de dimensions mínimes amb $N_o - V_{DD}$ segons les expressions de Sah i les simulacions SPICE nivell 1

quiescent, I_{DDQ} , depèn de l'oposició resistiva oferta pel pont.

De l'anàlisi simplificat del circuit causat pel pont, segons les expressions de Sah, es troba l'expressió d' I_{DDQ} i V_o en funció de R_b . En la Figura 5.8 s'il·lustren aquests resultats teòrics derivats de les expressions de Sah per l'inversor de mínimes dimensions, *inv1*. S'hi mostra el consum de corrent quiescent dins del SAD corresponent, així com la resposta en tensió, que pot generar l'existència d'un SAP per a R_b compresa entre (0.9, 16.1) K Ω .

El comportament defectuós trobat amb les equacions simplificades s'ha de validar amb expressions més acurades com les simulades amb SPICE. Els resultats de les simulacions SPICE depenen del nivell utilitzat en les aproximacions dels comportaments. Per tal de comprovar la primera aproximació feta sobre el comportament qualitatiu de l'inversor defectuós, es mostra en la Figura 5.8 els resultats SPICE de nivell 1 superposats als resultats trobats amb les expressions de Sah.

Ara bé, considerant una millor modelació com la realitzada amb SPICE nivell 2, tot i que qualitativament el comportament defectuós és el mateix, quantitativament, apareixen canvis com s'il·lustra en la Figura 5.9.

La influència de les dimensions de l'inversor en els valor de corrent té dos comportaments bens diferents depenent del rang de R_b . Així, per a R_b molt baixa al voltant de zero, el transistor n es troba en saturació mentre el p es troba en tall. El corrent que hi circula és, doncs, proporcional a la β_n del transistor n . Efectivament, segons simulacions SPICE nivell 2, aquests corrents són de l'ordre de $I_{DDQ}^{inv1}_{R_b=0} = 410 \mu A$, $I_{DDQ}^{inv2}_{R_b=0} = 821 \mu A$, $I_{DDQ}^{inv3}_{R_b=0} = 1636 \mu A$. Un doblament en l'amplada dels transistors provoca un doblament en el valor d' I_{DDQ} . Tanmateix, pel rang superior de resistència del *pont* per a les quals el transistor n es troba en la regió òhmica amb valor resistiu R_{on} , el corrent I_{DDQ} consumit es pot aproximar per l'expressió següent,

$$I_{DDQ} = \frac{V_{DD}}{R_b + R_{on}} \quad (5.1)$$

Quan $R_b \gg R_{on}$, es pot fer l'aproximació,

$$I_{DDQ} = \frac{V_{DD}}{R_b} \quad (5.2)$$

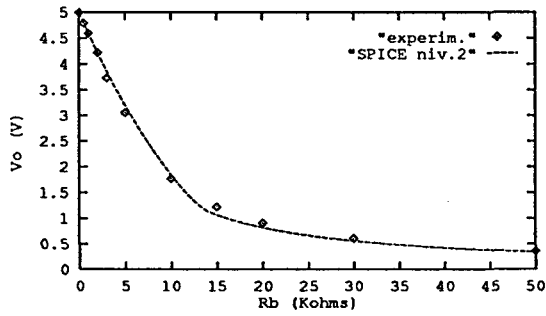
$$I_{DDQ}(R_b = 50K\Omega) \sim 100\mu A \quad (5.3)$$

i el corrent esperat és el mateix pels tres inversors de diferents dimensionats.

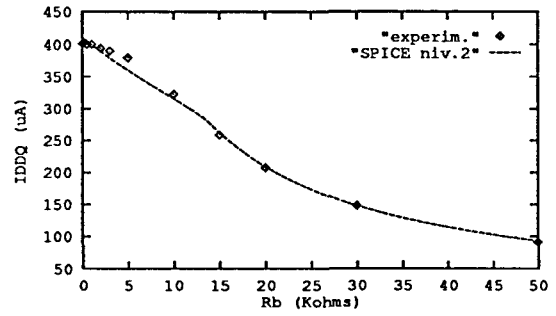
La introducció del model del *pont* $N_o - V_{DD}$ en els dissenys fets ha consistit en la connexió d'una resistència externa entre els *pads* corresponents als dos nodes en qüestió. Les dades experimentals corresponents al vector d'entrada que posa de manifest l'existència del defecte, $V_i = 5V$, es troben marcades, en funció de R_b , en la Figura 5.9 on poden ser comparades amb els valors esperats per simulació SPICE. La caracterització del voltatge és força acurada com es veu en les figures. No succeeix el mateix amb el corrent que, per a resistència del *pont* nul·la, pot arribar a tenir un error de l'ordre del 14 %.

Pont $N_o - Gnd$

El comportament estàtic d'un inversor amb el *pont* $N_o - Gnd$ ha de ser equivalent al presentat per l'inversor amb la connexió $N_o - V_{DD}$ degut a la simetria de la topologia resultant. En la Figura 5.10 s'il·lustra el camí de corrent creat en excitar l'existència del

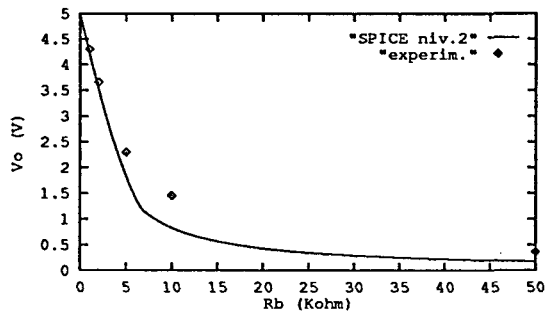


i) V_o vs R_b

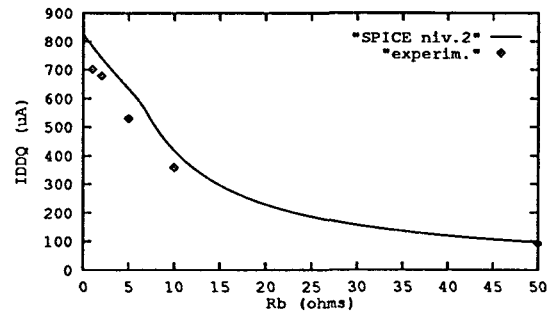


ii) I_{DD} vs R_b

a) ($W_n = 3\mu A$)

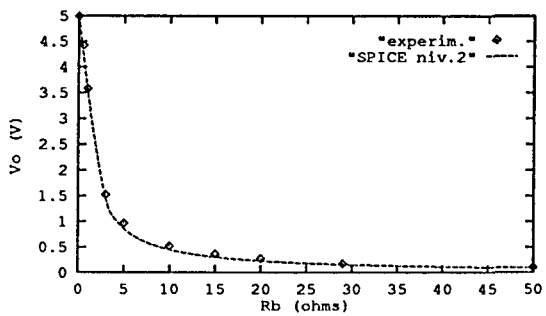


i) V_o vs V_i

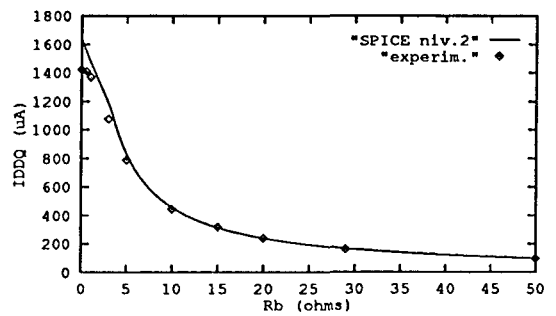


ii) I_{DD} vs V_i

b) ($W_n = 6\mu A$)



i) V_o vs V_i



ii) I_{DD} vs V_i

c) ($W_n = 12\mu A$)

Figura 5.9: Tensió de sortida i consum de corrent vs R_b generats en un inversor amb $N_o - V_{DD}$ segons dades experimentals i simulacions SPICE niv.2

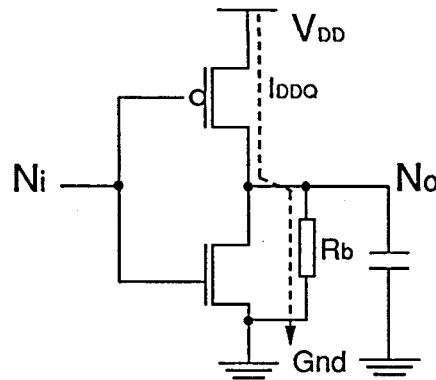


Figura 5.10: Camí de corrent creat pel pont $N_o - Gnd$

pont. A diferència del *pont* anterior, és ara amb el vector d'entrada $V_i = 0V$ que l'inversor mostra el seu comportament defectuós. El node de sortida tendeix a l'estat $V_o = 5V$ però la connexió del *pont* amb terra fa que N_o es vagi descarregant. Depenent de la dimensió del transistor *p* respecte de la resistència que ofereix el *pont*, l'inversor respondrà de forma lògica correcta o no, o bé, respondrà analògicament.

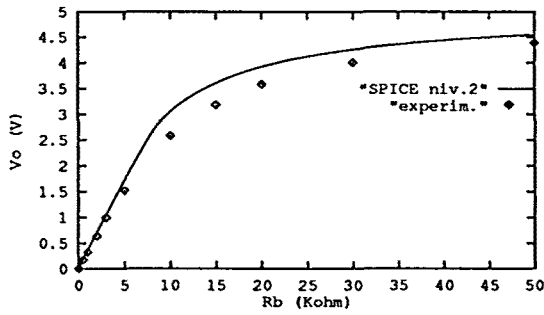
La relació entre les dades esperades per simulació SPICE nivell 2 i les experimentalment mesurades es pot veure sobre la Figura 5.11.

Ponts $N_i - V_{DD}$ i $N_i - Gnd$

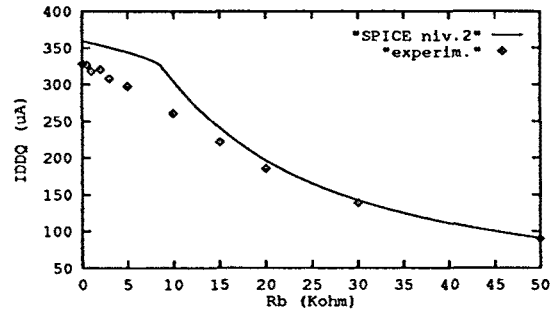
En la Figura 5.12 a) i b) es mostren els camins de corrent dins la cadena defectuosa quan són aplicats els vectors que posen de manifest els defectes $N_i - V_{DD}$ i $N_i - Gnd$, respectivament. De les figures es conclou que els *SAD* són exactament equivalents als corresponents als *ponts* que afectaven la sortida de l'inversor mig. Ja que la cadena consta de tres inversors, el *SAP* podrà estar format per l'inversor mig, o per l'inversor mig i el darrer inversor alhora.

La caracterització del consum de corrent dins del *SAD* corresponent és, doncs, igual a la corresponent als dos *ponts* equivalent que afecten al node de sortida de l'inversor intermedi a la cadena.

En referència a la resposta en tensió de la cadena, es presenta en la Figura 5.13 les formes dels voltatges dels nòdes de l'inversor defectuós en a) i el voltatge de la sortida en b). Noti's com l'amplificació dels inversors fan que el node N_2 presenti una tensió gairebé sempre lògica (correcta o no). A partir de $R_b = 3.9 K\Omega$, és garantida la detecció de la

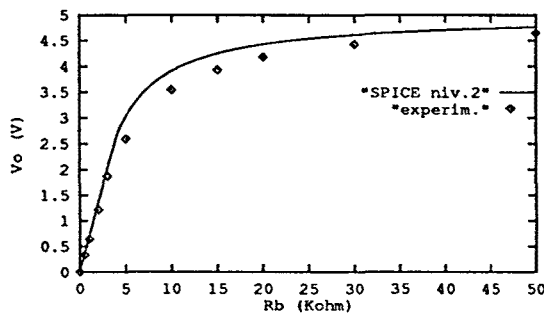


i) V_o vs R_b

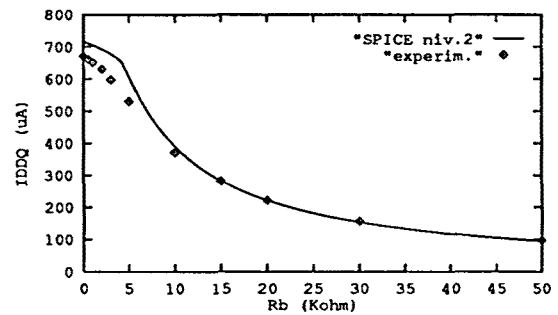


ii) I_{DD} vs R_b

a) ($W_n = 3\mu A$)

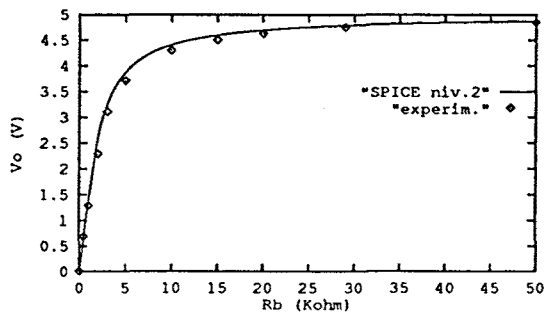


i) V_o vs R_b

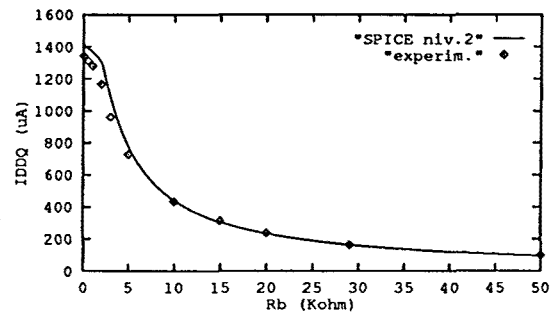


ii) I_{DD} vs R_b

a) ($W_n = 6\mu A$)



i) V_o vs R_b



ii) I_{DD} vs R_b

a) ($W_n = 12\mu A$)

Figura 5.11: Tensió de sortida i consum de corrent vs R_b segons dades experimentals i simulacions SPICE niv.2 per l'inversor amb el pont $N_o - Gnd$

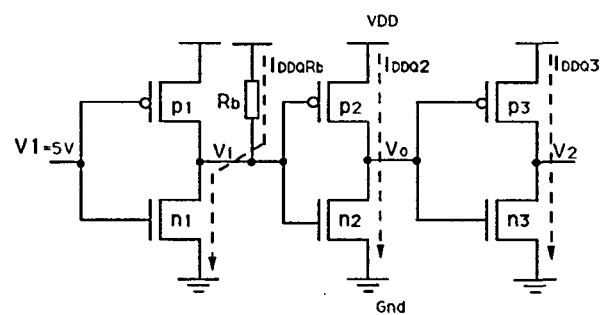
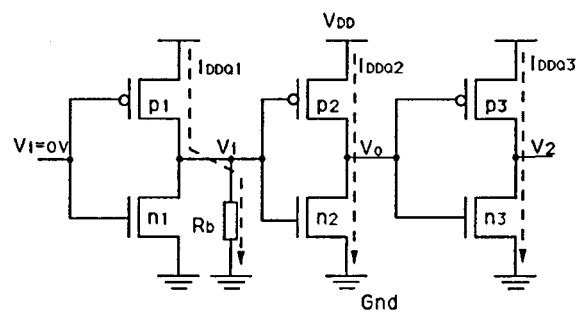
a) Pont $N_i - V_{DD}$ Pont $N_i - Gnd$

Figura 5.12: Camins de corrent pels ponts entre el node d'entrada de l'inversor mig de la cadena i els nodes d'alimentació

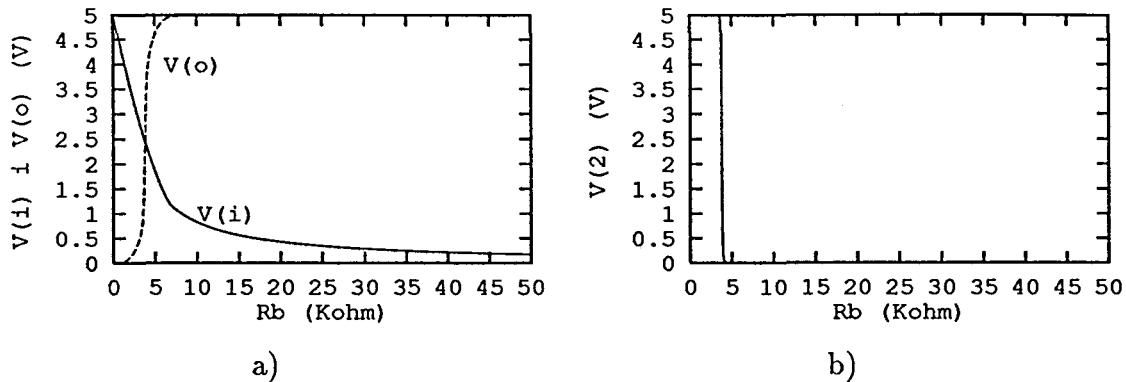


Figura 5.13: Voltatges a) d'entrada i sortida de l'inversor defectuós de la cadena i b) voltatge de sortida de la cadena amb l'inversor mig afectat d'un pont $N_i - V_{DD}$

presència del pont mitjançant el test de voltatge.

Pont $N_o - N_i$

El SAD corresponent a aquest pont pertany a la classe B, com ja s'ha comentat abans. El corrent quiescent circularà pel mòdul *manador* i pel mòdul *manat* del SAD, essent doncs, depenent de l'estructura de la porta que alimenta l'inversor en fallada. En la Figura 5.14 s'il.lustren les possibilitats de creació de camí de corrent, tant pel cas de V_i igual a nivell alt com a nivell baix. Destaquem que, pel rang $V_i \in \{0, V_{Tn}\}$, el camí creat és el 2. Si pel contrari el rang és $V_i \in \{5 + V_{Tp}, 5\}$, el camí de corrent és l'1. Pel cas restant, $V_i \in \{V_{Tn}, 5 + V_{Tp}\}$, a més a més del camí 1 ó 2 s'afegeix el 3.

Al fer l'avaluació del comportament de la cadena defectuosa, cal tenir en compte que la connexió produïda pel pont introdueix una realimentació entre la sortida i l'entrada de l'inversor defectuós. Aquesta realimentació mai pot causar un estat oscil·latori ja que, analitzant el circuit en el seu model de petit senyal (Figura 5.15), s'obté la funció de transferència,

$$\frac{v_o}{v_i} = \frac{1 - R_b g_m}{1 + R_b \left(\frac{1}{r_d} + s c_{go} \right)} \quad (5.4)$$

on,

- R_b és la resistència del pont.
- $g_m = g_{mn} + g_{mp}$, és la suma de les transconductàncies incrementals dels transistors n i p .

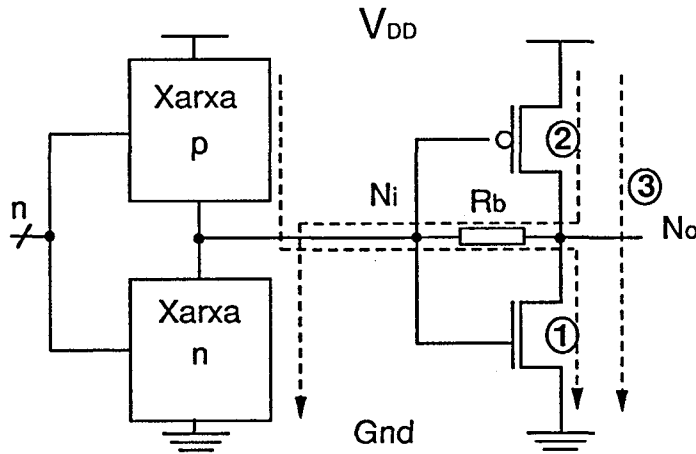


Figura 5.14: Dependència amb la porta manadora, del camí de corrent estàtic en el SAD de classe B, en un inversor amb el pont $N_i - N_o$

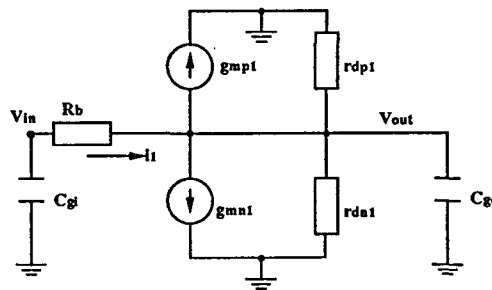


Figura 5.15: Model en petit senyal de l'inversor realimentat

- $r_d = r_{dn} || r_{dp}$, és el paral·lel de les resistències incrementals de drenador pel transistor n i p .
- c_{gi} i c_{go} són les capacitats de porta en l'entrada i en la sortida de l'inversor.

L'arrel del denominador, s_o , dona informació sobre l'estabilitat del circuit, essent,

$$s_o = -\frac{1 + \frac{R_b}{r_d}}{R_b c_{go}} < 0 \tag{5.5}$$

El circuit sempre és estable.

Si es considera que l'etapà precedent al primer inversor està lliure de defecte, el vector d'entrada V_1 valdrà, bé nivell lògic baix, bé nivell lògic alt. De l'escombrada de valors de

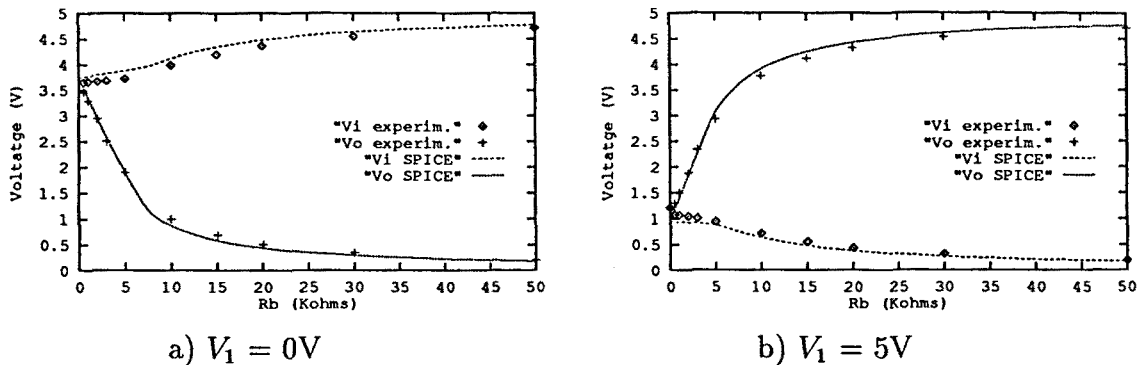
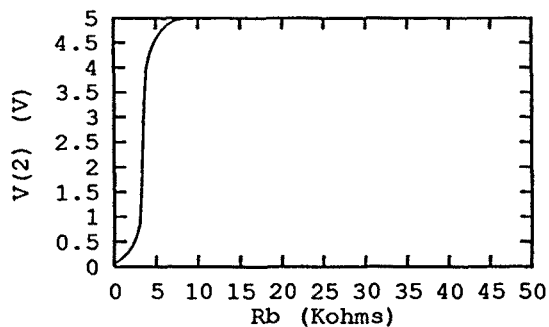


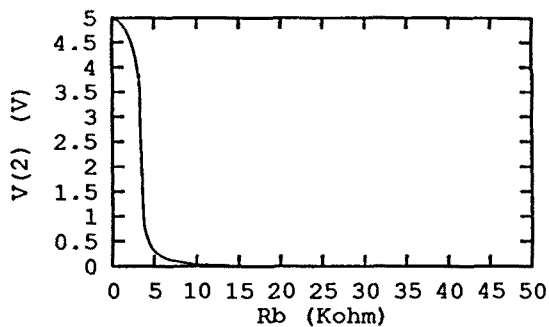
Figura 5.16: Resposta en tensió de l'inversor mig afectat d'un pont entrada-sortida

R_b des de 0 fins a $50\text{ K}\Omega$, s'obtenen els gràfics de la Figura 5.16 a) per $V_1 = 0$ i b) per $V_1 = 5V$. A partir d'un cert valor de la resistència del *pont*, el voltatge del N_o pot ser ben interpretat per l'etapa següent. Si es considera la cadena dels tres inversors com un circuit amb una entrada N_1 i una sortida N_2 , el que interessarà en relació al funcionament lògic, és la resposta V_2 . En la Figura 5.17 es pot veure front el valor de R_b . Per a *ponts* amb $R_b > 4.6\text{ K}\Omega$ la resposta de la cadena és lògicament correcta.

Ara bé, la resposta en corrent, com es veu afectada per la presència del *pont*? En la Figura 5.18 es presenta la forma del corrent total que alimenta la cadena segons sigui el vector d'entrada. Destaquem que el pic màxim de corrent no es troba per a una $R_b = 0\ \Omega$. Per a poder entendre aquest fet es desglossa el corrent total en les tres contribucions que el componen. En la Figura 5.19 es poden veure detallats els tres corrents I_{DDQ1} , I_{DDQ2} i I_{DDQ3} corresponents a cadascun dels inversors. S'observa com el corrent que flueix des del node d'alimentació fins a terra passant per R_b sí disminueix en augmentar la resistència. Però, la sortida analògica del segon inversor alimenta al tercer de forma que I_{DDQ3} és màxima quan V_o val aproximadament $2.5V$, situació que no es troba quan $R_b = 0$ sinó quan $R_b = 3.6\text{ K}\Omega$ si $V_1 = 0\text{ V}$, ó bé quan $R_b = 3.2\text{ K}\Omega$ si $V_1 = 5\text{ V}$.

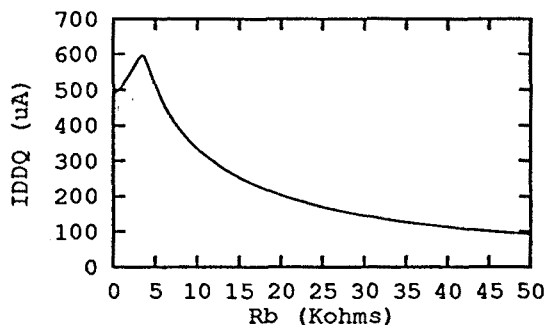


a) $V_1 = 0V$

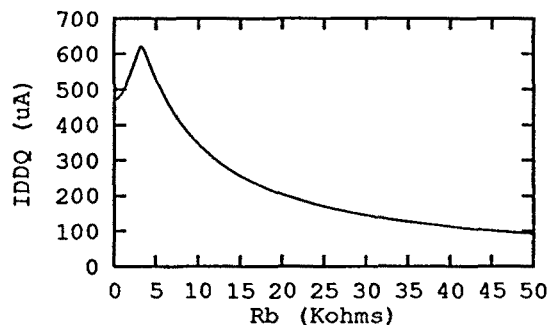


b) $V_1 = 5V$

Figura 5.17: Resposta en tensió de la cadena de tres inversors amb el mitjà afectat d'un pont entrada-sortida

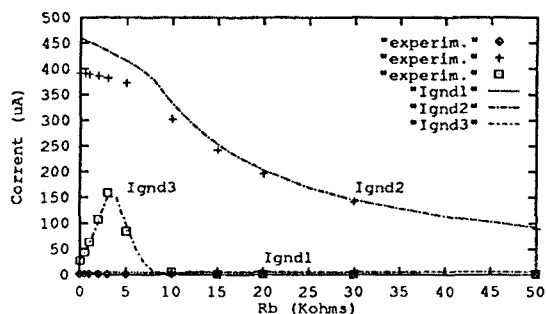


a) $V_1 = 0V$

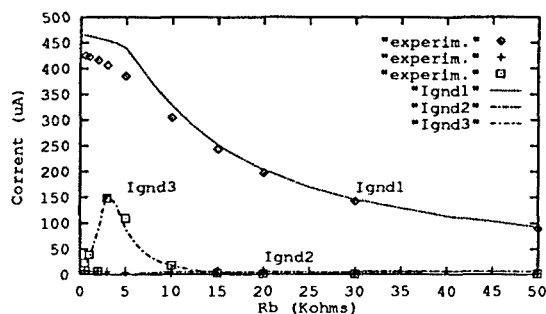


b) $V_1 = 5V$

Figura 5.18: Resposta en corrent de la cadena de tres inversors amb el mitjà afectat d'un pont entrada-sortida



a) $V_1 = 0V$



b) $V_1 = 5V$

Figura 5.19: Detall de la resposta en corrent de la cadena de tres inversors amb el central afectat d'un pont entrada-sortida