

**UPC**

UNIVERSITAT POLITÈCNICA DE CATALUNYA  
Departament d'Enginyeria Electrònica

**TÉCNICAS DE REDUCCIÓN DEL RUIDO DE CONMUTACIÓN  
EN CIRCUITOS INTEGRADOS CMOS**

Tesis doctoral presentada  
para la obtención del título de  
doctor Ing. Telecomunicación

*José Luis González Jiménez*

Director:  
*Antonio Rubio i Solà*

### 4.4.3 Obtención por simulación HSPICE del ruido de conmutación para escenarios de escalado realistas

Con el objetivo de contrastar los resultados obtenidos anteriormente utilizando modelos analíticos con resultados numéricos se ha optado por diseñar una serie de simulaciones HSPICE con circuitos extraídos a partir del *layout* para las mismas tecnologías del subapartado anterior.

El estudio consta de dos etapas. En la primera se han utilizado tecnologías actuales, diseñando un circuito de test consistente en un banco de inversores como el de la Figura 4-17 del que se ha realizado un *layout* escalable (Figura 4-18) con el editor de layouts MAGIC [62]. Se ha extraído el circuito eléctrico incluyendo los transistores MOS, sus capacidades parásitas y las capacidades parásitas de las interconexiones, que en este caso son poco influyentes debido a lo reducido de sus dimensiones. Para estas tecnologías hemos utilizado las reglas de diseño de MOSIS [63] y hemos obtenido del fabricante los modelos HSPICE de nivel 3 de los dispositivos MOS para las tecnologías de  $2.0\mu\text{m}$ ,  $1.2\mu\text{m}$ ,  $0.8\mu\text{m}$  y  $0.6\mu\text{m}$ . En una segunda etapa se han considerado tecnologías futuras:  $0.35\mu\text{m}$ ,  $0.25\mu\text{m}$ ,  $0.18\mu\text{m}$  y  $0.13\mu\text{m}$ . Para estas tecnologías se han calculado los parámetros para el modelo HSPICE de nivel 3 a partir de los parámetros de la tecnología de MOSIS de  $0.8\mu\text{m}$  y se ha extraído el circuito eléctrico a partir de la misma versión escalable del *layout* de las tecnologías de MOSIS. Para poder comparar la bondad de esta estrategia tenemos los resultados del modelo del fabricante para la tecnología de  $0.6\mu\text{m}$  y los resultados obtenidos utilizando un modelo deducido a partir del de la tecnología de  $0.8\mu\text{m}$ . El procedimiento de obtención de los parámetros del modelo de nivel 3 se ha extraído de [3] y los diferentes factores de escala utilizados son los de la Tabla 4-13. Las entradas de esta tabla, es decir, los parámetros principales de las tecnologías (dimensiones efectivas mínimas, tensiones de alimentación, grosores del óxido de puerta, etc...) se han extraído de la literatura y son los mismos del subapartado anterior, descritos en la Tabla 4-12.

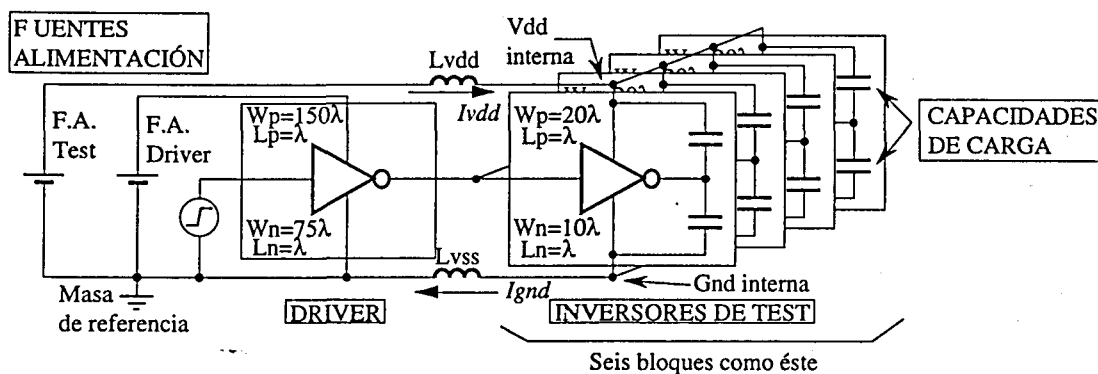
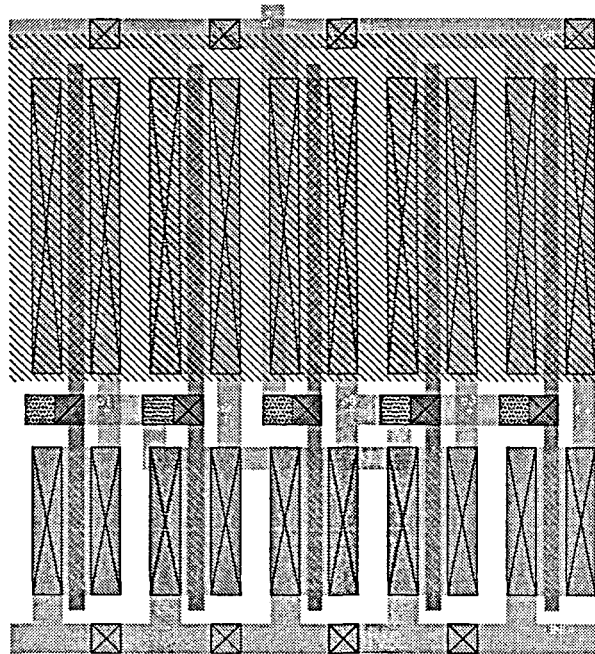


Figura 4-17

Circuito de test representando cuatro inversores conmutados por un Driver. Cada inversor de test está cargado con dos capacidades equivalentes a cuatro inversores iguales al de test. El circuito de test total consta de seis bloques Driver+4 inversores de test activables individualmente. Todos los inversores de test tienen en común los nodos Vdd y Gnd internos.



**Figura 4-18**

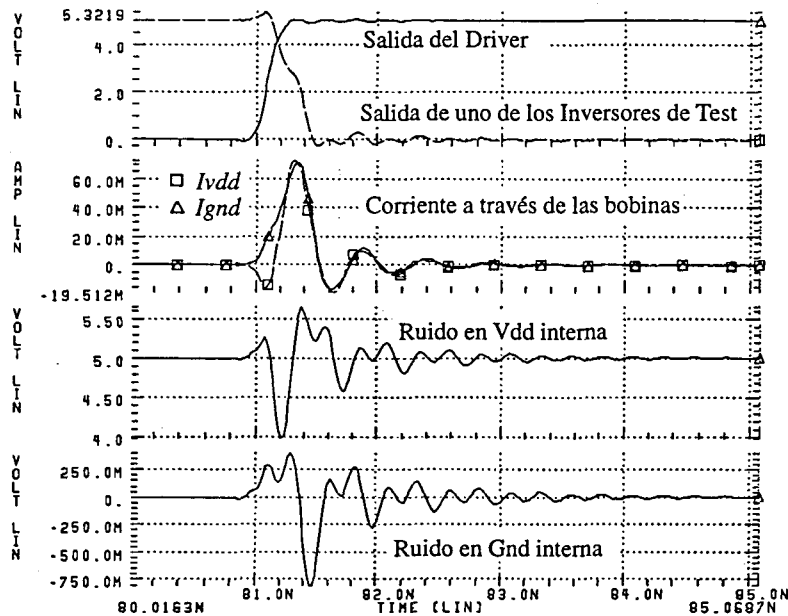
*Layout escalable correspondiente a uno de los inversores de test con cuatro inversores iguales como carga del que se ha extraído el circuito eléctrico equivalente para realizar las simulaciones.*

A partir del circuito extraído del *layout* de la Figura 4-18 se han sustituido los cuatro inversores de carga por sus capacidades equivalentes de entrada pero conservándose todos los valores de capacidades parásitas entre los diferentes nodos debidas a las interconexiones que ha extraído el editor de *layouts*. El circuito de test consta de seis grupos de cuatro inversores de test con Fan-Out de cuatro actuados por un *driver*. Cada uno de los *drivers* tiene una entrada pulsada independiente. El *driver* se ha diseñado para asegurar que durante la transición a la entrada de los inversores de test el transistor correspondiente que realiza la carga o descarga de la capacidad de salida esté siempre en saturación. En el peor caso, por lo que al ruido de conmutación se refiere, tendremos 24 inversores idénticos conmutando simultáneamente. El experimento consiste en realizar una simulación con una transición a la salida de un circuito de test para cada tecnología considerada en el estudio y medir los tiempos de transición a la entrada de los inversores de test, las corrientes máximas de alimentación y el ruido de conmutación generado en los nodos internos de alimentación y tierra. El valor de las inductancias de los terminales de alimentación y tierra se ha mantenido constante para todas las tecnologías con un valor que es típico para encapsulados plásticos tipo DIP (dos hileras de terminales en cada lado: *dual in-line package*) de 1nH [16] para modelar los parásitos del encapsulado. En la Figura 4-19 tenemos las formas de onda para una simulación de la tecnología MOSIS de 0.8 $\mu$ m. En la Figura 4-20 se representan la corriente máxima y los tiempos de bajada para una transición alto-bajo a la salida de los inversores de test. En la Figura 4-21 se muestra la evolución del ruido de conmutación y su relación con la tensión de alimentación con el escalado. Para cada punto de la gráfica que corresponde a una tecnología diferente se muestran las tensiones de alimentación.

Descripción	Parámetro	Factor de escala
Dimensiones dispositivo	L, W	$1/S_L$
Grosor óxido de puerta	TOX	$1/S_{ox}$
Dopado del canal	NSUB	$S_{sub}=S_L^{1.28}$
Tensión de alimentación	VDD	$1/S_{vdd}$
Tensión umbral	VTO	$1/S_{vdd}$ si $ VTO  > 0.3$ V.
Profundidad unión	XJ	$1/S_L$
Ancho mitad difusión	HDIF	$1/S_L$
Capacitancia unión	CJ	$S_{sub}^{0.5}$
Capacitancia lateral	CJSW	$S_{sub}^{0.5}/S_L$
Capacitancia puerta	CJGATE	$S_{sub}^{0.5}/S_L$
DIBL	ETA	$S_{ox}^{0.5}S_{vdd}^{0.25}/(S_L^{1.5}S_{sub})$
Modulación long. canal	KAPPA	1
Factor canal estrecho	DELTA	1
Resistividad difusión	RSH	$S_L$

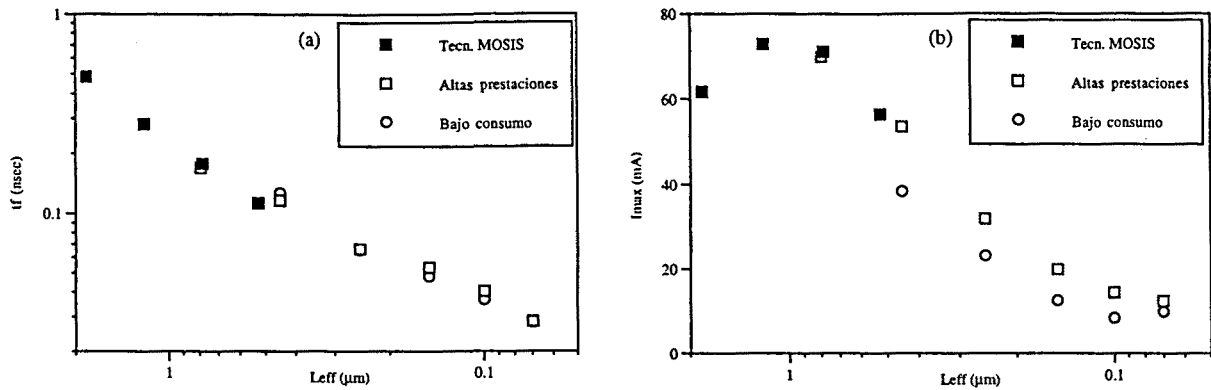
**Tabla 4-13**

*Escalado de los parámetros HSPICE nivel 3 tomando como referencia el escalado de las tensiones de alimentación y las dimensiones verticales y horizontales.*



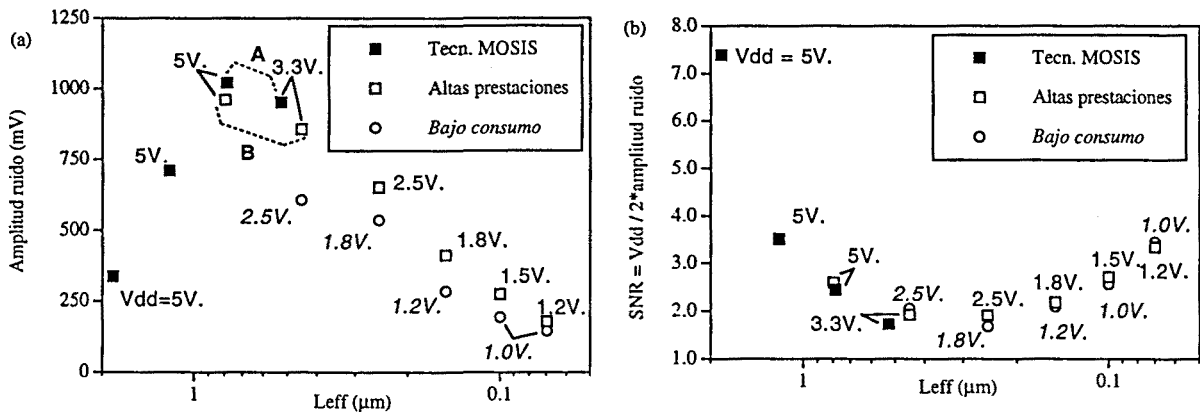
**Figura 4-19**

*Formas de onda correspondientes a la simulación de 24 inversores conmutando simultáneamente su salida de nivel alto a bajo para una tecnología de 0.8µm de MOSIS.*



**Figura 4-20**

(a) Tiempo de bajada (del 90% al 10%) a la entrada de los inversores de test para el circuito de la Figura 4-17 frente al escalado. (b) Corriente máxima en el terminal de alimentación de los 24 inversores de test que realizan una conmutación simultánea.



**Figura 4-21**

(a) Amplitud del pico de ruido de conmutación en el terminal de alimentación interno ( $V_{dd}$  interno en la Figura 4-17) para 24 inversores conmutando simultáneamente. (b) Relación entre la tensión de alimentación y el ruido de conmutación para las diferentes tecnologías en función del escalado.

Como podemos observar en la Figura 4-20 el comportamiento de los tiempos de bajada y de la corriente máxima extraídos de la simulación de un circuito eléctrico es muy similar al obtenido con los modelos de canal corto que se representan en la Figura 4-15. En cuanto al método utilizado para predecir los parámetros de nivel 3 para tecnologías futuras podemos comprobar observando los dos puntos etiquetados como A en la Figura 4-21.a, que corresponden a tecnologías MOSIS de las que el fabricante proporciona los modelos, y las correspondientes versiones escaladas para las mismas dimensiones físicas fotolitográficas (no necesariamente las mismas dimensiones efectivas) etiquetadas como B en la misma figura. La proximidad entre los resultados obtenidos con los dos conjuntos de parámetros nos permite comprobar la predicción utilizada para los parámetros del modelo HSPICE de nivel 3 en las tecnologías por debajo de  $0.5\mu m$ .

En cuanto al comportamiento frente al ruido de conmutación, que es el objetivo de este estudio, podemos observar como los resultados de la simulación y del modelo analítico coinciden hasta longitudes de  $0.3\mu m$  aproximadamente. Por debajo de estas dimensiones los resultados del modelo (Figura 4-16) son pesimistas, comparados con los resultados de la

simulación dónde podemos ver que en esta región profundamente submicrónica la SNR entre la tensión de alimentación y la amplitud del ruido de conmutación aumenta ligeramente al reducir las dimensiones efectivas de los dispositivos. Sin embargo la tendencia en general es un aumento progresivo de la importancia del ruido de conmutación generado a medida que escalamos los dispositivos. Se ha de recordar que en este análisis se ha mantenido constante por un lado la inductancia parásita debida al encapsulado y por el otro el nivel de complejidad del circuito de test. Ambos parámetros influyen en la cantidad total de ruido generado por un CI. La tendencia es a disminuir progresivamente la inductancia del encapsulado aumentando el nº de terminales de Vdd y Gnd (que en encapsulados plásticos actuales pueden llegar a ser del 30% al 40% del total de terminales disponibles en el encapsulado). En cuanto a la complejidad, como ya vimos en apartados anteriores, tiende a aumentar de una generación a la siguiente. En el siguiente apartado veremos la influencia que puede tener este aumento de complejidad en el ruido de conmutación generado por un circuito integrado CMOS.

#### 4.4.4 Implicaciones del escalado de las interconexiones y el aumento de la complejidad en el ruido de conmutación

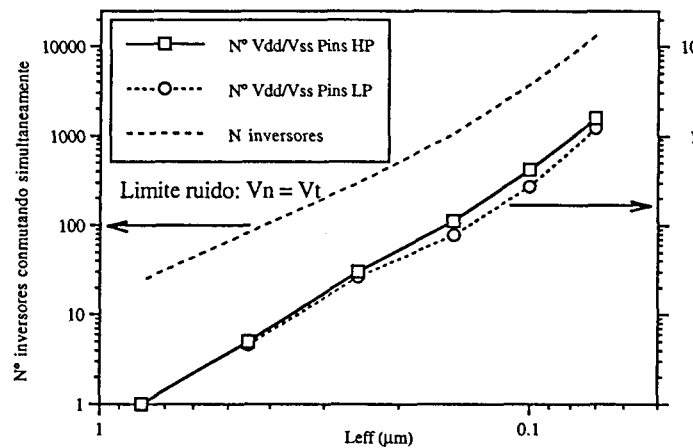
La parte del circuito integrado más susceptible de generar grandes cantidades de ruido de conmutación son los *drivers* de salida debido a que deben conmutar capacidades *off-chip* elevadas en tiempos relativamente breves. Además, todas las salidas de un bus, que puede llegar a ser hasta de 128 bits de anchura, pueden conmutar simultáneamente. Esto supone una enorme cantidad de ruido de conmutación y dedicaremos un análisis específico al problema del ruido de conmutación de los *drivers* de salida más adelante.

No obstante, actualmente existen varios factores que indican que no necesariamente el ruido de conmutación de los *drivers* de salida tiene que ser superior al generado por la circuitería lógica del interior del CI. En primer lugar la tendencia a pasar de varios CI sobre una placa de circuito impreso a una serie de chips sobre un substrato común (MCM del inglés *multichip module*), y finalmente a la integración de todo un sistema en un sólo chip, ha provocado la reducción del tamaño mínimo necesario para los *drivers* de salida. En estos circuitos un gran número de conexiones, sobre todo los *buses* internos, presentan menor capacidad de carga al estar integrados en unas dimensiones más reducidas, dentro de un substrato cerámico o semiconductor. En segundo lugar, el aumento de la complejidad de los sistemas integrados en un solo chip hace aumentar el número de nodos internos que pueden conmutar simultáneamente, sin que esto necesariamente implique un aumento de la anchura de los *buses* de entrada y salida del sistema. Esta tendencia ya ha sido apuntada en [61]. Por tanto es necesario contemplar cada vez con más atención el ruido de conmutación que puede generarse dentro del CI. Como hemos visto en el sub-apartado anterior, sin tener en cuenta el aumento de complejidad, la SNR disminuye progresivamente a medida que se reducen las dimensiones, si bien se queda estancada para dimensiones profundamente submicrónicas. Si incluimos el aumento de complejidad en forma de un aumento del nº de circuitos que conmutan simultáneamente para cada tecnología podremos estimar cual será su influencia en la SNR final. Para ello vamos a suponer que el aumento de conmutaciones simultáneas es proporcional al aumento del número

de transistores MOS por chip, que como vimos en la Tabla 4-5 puede calcularse a partir del factor de reducción de las dimensiones del canal ( $\alpha$ ) y del aumento del lado del dado de silicio ( $\alpha_c$ ) como:

$$n^{\circ}MOS/chip = \alpha^2 \alpha_c^2 \tag{Ec. (4-23)}$$

Esta ecuación representa la llamada ley de Moore [64] que como ya se indicó en el apartado 4.2 predice la evolución del nivel de integración y los parámetros de los dispositivos. Para incluir el aumento de la complejidad de los CIs en el análisis de la evolución del ruido de conmutación hemos partido del modelo de la Ec. (2-10), que tiene en cuenta el efecto de realimentación del ruido de conmutación, y los datos de los tiempos de transición ( $t_r$ ) de las simulaciones anteriores. Para calcular el número de inversores que conmutan simultáneamente ( $N$ ) partimos de la tecnología de  $0.8\mu m$  con  $N=16$  y para cada nueva generación calculamos el nuevo  $N=16 \cdot 2.5^{i-1} 2^{(i-1)/2}$ . Esta expresión indica que cada generación la densidad de integración aumenta un factor que va de 2 a 3 para los circuitos lógicos (se ha tomado el valor intermedio 2.5) y el área de los CI se duplica cada dos generaciones. El exponente  $i$  es el índice de la generación comenzando a contar por la de  $0.8\mu m$  con  $i=1$  y sucesivamente con las de  $0.6, 0.35, 0.25, 0.18$  y  $0.13\mu m$ . Las  $N$  obtenidas se ajustan bastante bien a los resultados presentados en [65]. El primer análisis ha consistido en fijar un nivel máximo para el ruido de conmutación igual a la tensión umbral de cada tecnología y encontrar para cada generación tecnológica la mínima inductancia efectiva necesaria. En la gráfica de la Figura 4-22 se indica el valor de ésta inductancia mínima respecto a la inductancia de la tecnología de  $0.8\mu m$ . La gráfica indica, de esta forma, el incremento relativo del número de terminales de alimentación que habría que realizar para conseguir un mantenimiento del nivel de ruido de conmutación suponiendo que el tipo de encapsulado se mantiene fijo.



**Figura 4-22**

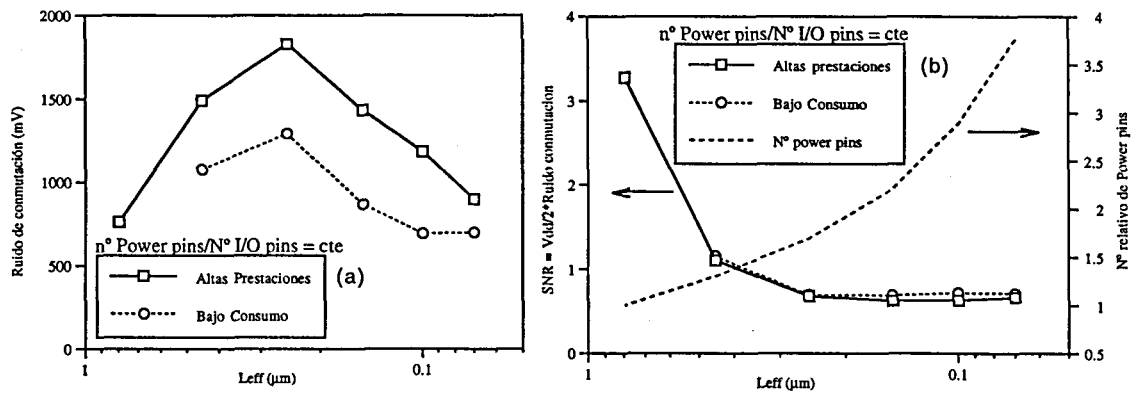
*Evolución del número de terminales dedicados a alimentación (power pins) para un nivel de ruido fijado igual a la tensión umbral teniendo en cuenta el incremento del nivel de integración de los CIs.*

El segundo análisis tiene en cuenta una proporción constante de terminales de alimentación del encapsulado del total de terminales del encapsulado. Para relacionar el numero de terminales del encapsulado con el aumento de la complejidad se utiliza la regla de Rent [66]:

$$N^{\circ} \text{ Pins} = 7 * N^{\circ} \text{ Puertas}^{0.21}$$

Ec. (4-24)

donde el número de puertas es proporcional al número de inversores conmutando simultáneamente de nuestro estudio  $N$ . Utilizando esta regla para calcular la disminución relativa de la inductancia efectiva del encapsulado respecto de la de la tecnología de  $0.8\mu\text{m}$ , que es de  $10\text{nH}$ , se ha determinado el ruido de conmutación y la disminución de la relación entre la tensión de alimentación y el ruido de conmutación. Los resultados se muestran en la Figura 4-23.



**Figura 4-23**

*Evolución del ruido de conmutación (a) y de la relación tensión de alimentación/ruido para los dos escenarios de altas prestaciones y bajo consumo teniendo en cuenta el incremento del nivel de integración y del número de terminales del encapsulado (y por tanto del número de terminales dedicados a alimentación).*

La conclusión de este análisis es que, debido al incremento de la complejidad de los CI a medida que avanza la tecnología el ruido de conmutación adquiere un papel cada vez más importante. El incremento en el número de terminales de alimentación de forma lineal con el aumento de terminales totales del encapsulado no es suficiente para mantener la relación entre el ruido de conmutación y la tensión de alimentación, por lo que las técnicas de reducción del ruido de conmutación de la lógica interna del CI deberán ser cada vez más efectivas siguiendo el aumento exponencial de la complejidad.

En cuanto al efecto del escalado de las interconexiones, el análisis debe tener en cuenta diferentes asunciones *a priori*. Podemos suponer que los nodos que más ruido de conmutación generen serán aquellas salidas de partes del CI que vayan conectadas a buses internos de gran capacidad de carga. Estas partes del circuito cumplen dos condiciones que favorecen elevados niveles de ruido: deben estar formado por transistores grandes que demanden elevados pulsos de corrientes para conmutar capacidades elevadas en tiempos razonablemente cortos y además, al tratarse de buses, se puede dar la situación que todos los bits del bus realicen una transición en el mismo sentido de forma simultánea. Se ha de añadir a estos *drivers* de los buses internos el sistema de sincronización y distribución de señales globales como el reloj. Los circuitos encargados de estas funciones también tendrán que vérselas con capacidades elevadas (un Fan-Out grande) y simultaneidad con otros muchos elementos del sistema. El objetivo del diseñador será minimizar el retardo y los tiempos de transición de la salida de estos circuitos. Para ello parece lógico que a medida que se vayan utilizando tecnologías más avanzadas, el escalado de



los tamaños de estos *drivers* internos dependerá del escalado de la carga de su salida. Ahora bien, estas cargas consistirán en interconexiones del tipo global, que no se escalan como el resto de dimensiones geométricas ya que aumentan su longitud a medida que el sistema se hace más complejo. Esto podría llevar a pensar que los tamaños de los *drivers* internos que conmuten estas señales deberán ser cada vez mayores y que por tanto el ruido de conmutación aumentará. Sin embargo el retardo y los tiempos de transición para interconexiones globales, y más aún en tecnologías submicrónicas, no está determinado solamente por el tamaño del *driver*, sino sobre todo por el propio retardo RC de la interconexión. Esto puede obligar a los diseñadores a utilizar una estrategia distinta, en vez de aumentar el tamaño de los *drivers* a medida que las líneas se vayan haciendo más largas. Por ejemplo, se pueden insertar repetidores cada vez que el retardo supere un determinado umbral. Estos repetidores no introducen más ruido de conmutación, pues la conmutación no se realiza de forma simultánea, sino una vez que la transición de los *drivers* precedentes se propaga a través del primer segmento de línea hasta el repetidor. De esta forma, no queda tan patente que el aumento de la longitud de las interconexiones globales debido al escalado implique un aumento del tamaño de los *drivers* internos. Si parece sin embargo razonables suponer que estos elementos no podrán ser escalados tan agresivamente como el resto de la lógica y su contribución al ruido de conmutación será cada vez más importante.

## 4.5 Conclusiones

En este capítulo hemos ido viendo, paso a paso, la tendencia de la evolución de la tecnología de fabricación de circuitos integrados CMOS y sus efectos en el ruido de conmutación  $dI/dt$ .

Es importante constatar como para las tecnologías actuales — y más aún para las futuras — las tendencias clásicas de escalado se han visto modificadas por aspectos de fiabilidad. Las tensiones de alimentación tienen un límite superior debido a los efectos de portadores calientes (*hot carrier effects*) y las dimensiones de las interconexiones se ven limitadas en su reducción al incremento de la densidad de corriente que podría acelerar su fallo por electromigración, por citar dos ejemplos. Este entorno tecnológico no ha detenido, sin embargo, el progresivo avance de los CI hacia tamaños cada vez menores y velocidades cada vez superiores, si bien ha ralentizado un poco esta tendencia. Como complemento a la búsqueda de elevadas prestaciones surge en los últimos tiempos debido a la presión de la industria de sistemas portátiles el objetivo del bajo consumo.

Los fenómenos físicos que rigen el funcionamiento de los dispositivos en las tecnologías submicrónicas son más complejos de lo que indican los modelos convencionales por lo que cualquier estimación que desee hacerse ha de tener en cuenta los llamados efectos de canal corto y la dependencia de la movilidad con el campo eléctrico. Se ha realizado un estudio comparativo de las magnitudes que determinan el ruido de conmutación, la corriente máxima de saturación y los tiempos de transición de las salidas, para dos modelos, uno clásico y otro que contemple los efectos de canal corto, y podemos constatar como los primeros proporcionan previsiones para el ruido de conmutación más optimistas. Estos modelos de canal corto predicen una dependencia

de la corriente de saturación respecto de las tensiones con un exponente menor que 2, por lo que los efectos beneficiosos de la reducción de la tensión de alimentación en la reducción del ruido no son tan patentes. Por otro lado, los modelos de canal largo predicen valores para las corrientes mucho mayores para las tecnologías actuales que los de canal corto, debido a que estos últimos tienen en cuenta la saturación de la velocidad de los portadores.

Se ha realizado también un estudio de la evolución del ruido de conmutación y su relación con la tensión de alimentación en dos escenarios distintos. En un primer análisis se han comparado las estrategias de escalado de campo constantes (CF), tensión constante (CV) y escalado generalizado, constatándose que este último es el que mejores prestaciones ofrece respecto de la generación de ruido de conmutación. En un segundo lugar se ha pasado a considerar casos más reales utilizando los parámetros de tecnologías existentes proporcionadas por un fabricante comercial (MOSIS) y predicciones para los parámetros de las tecnologías futuras hasta dimensiones por debajo de  $0.1\mu\text{m}$ . Los resultados obtenidos con el modelo de canal corto se han comparado con simulaciones realizadas con circuitos eléctricos extraídos a partir del *layout* para cada generación tecnológica. En este segundo análisis se han considerado las dos estrategias de escalado: altas prestaciones y bajo consumo. La conclusión de los dos análisis (el de los escalados clásicos CF, CV y generalizado) y el de los casos realistas de tecnologías actuales y futuras (tanto los del modelo analítico como los de la simulación) es que la tendencia del ruido de conmutación es a disminuir, pero a un ritmo menor — y para tecnologías profundamente submicrónicas igual —, que la tensión de alimentación. Es decir, en todos los casos se observa una rápida degeneración de la SNR entre tensión de alimentación y ruido de conmutación, para luego mantenerse en valores bajos para tecnologías más cercanas a  $0.1\mu\text{m}$ .

Si incluimos en el análisis anterior el efecto del aumento de complejidad, suponiendo que el número de dispositivos susceptibles de conmutar simultáneamente aumenta proporcionalmente con el nivel de integración, observamos cómo el problema del ruido de conmutación aumenta exponencialmente. Por tanto será necesario prestar cada vez más atención a este fenómeno en todas las fases del diseño.

## Referencias

- [1] Pallab K. Chatterjee, William R. Hunter, Ajith Amerasekera, Shian Aur, Chavakada Duvvury, Paul E. Nicollian, Larry M. ting, Ping Yang, 'Trends for Deep Submicron VLSI and Their Implications for Reliability', *Proc. of the 33rd IEEE Int. Rel. Phys. Symp.*, pp. 1–11, 1995
- [2] Chenming Hu, 'Future CMOS Scaling and Reliability', *Proceeding of the IEEE*, Vol. 81, No. 5, pp. 682–689 1993
- [3] Grant McFarland and Michael Flynn, 'Limits of Scaling MOSFETs', Technical Report CSL-TR-95-662, Stanford University, 1995
- [4] J.R. Lloyd, 'Reliability Modelling for Electromigration Failure', *Quality and Reliability Engineering International*, Vol. 10, pp. 303–308, 1994
- [5] Daniel Yound and Aristos Christou, 'Failure Mechanism Model for Electromigration', *IEEE Tr. on Reliability*, Vol. 43, No. 2, pp. 186–192 1994
- [6] Aris Christou (ed), *Electromigration & Electronic Device Degradation*, John Wiley & Sons, 1994
- [7] Jiang Tao, Nathan W. Cheung, and Chenming Hu, 'Modeling Electromigration Lifetime Under Bidirectional Current Stress', *IEEE Electron Device Letters*, Vol. 16, No. 11, pp. 476–478, 1995
- [8] Kueing-Long Chen, Stephen A. Saller, Imelda A. Groves, and David B. Scott, 'Reliability Effects on MOS Transistors Due to Hot-Carrier Injection', *IEEE Tr. on Electron Devices*, Vol. ED-32, No. 2, pp. 386–393, 1984
- [9] Takasu Sakurai, Kazutaka Nogami, Masakazu Kakumu, and Tetsuya Iizuka, 'Hot-Carrier Generation in Submicrometer VLSI Environment', *IEEE Journal of Solid-State Circuits*, Vol. SC-21, No. 1, pp. 187–192, 1986
- [10] Jeong Teol Choi, Ping Keung, Chenming Hu, and William F. Scott, 'Hot-carrier-induced degradation of metal-oxide-semiconductor field-effect transistors: Oxide charge versus interface traps', *J. Appl. Phys.*, Vol. 65, No. 1, pp. 354–360, 1989
- [11] Khandker N. Quader, Eric R. Minami, Wei-Jen Huang, Ping K. Ko, and Chenming Hu, 'Hot-Carrier-Reliability Design Guidelines for CMOS Logic Circuits', *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 3, pp. 253–261, 1994
- [12] Anantha P. Chandrakasan, Samuel Sheng, and Robert W. Brodersen, 'Low-Power CMOS Digital Design', *IEEE Journal of Solid-State Circuits*
- [13] Anantha O. Chandrakasan, Robert W. Brodersen, *Low Power Digital CMOS Design*, Kluwer Academic Publishers, 1995
- [14] Jan M. Rabaey and Massoud Pedram (ed), *Low Power Design Methodologies*, Kluwer Academic Publishers, 1996
- [15] Masakazu Kakumu and Masaaki Kinugawa, 'Power-Supply Voltage Impact on Circuit Performance for Half and Lower Submicrometer CMOS LSI', *IEEE Tr. on Electron Devices*, Vol. 37, No. 8, pp. 1902–1908, 1990
- [16] H.B. Bakoglu, *Circuits, Interconnections and Packaging for VLSI*, Addison-Wesley, 1990
- [17] Nishath K Verghese, Timothy J. Schmerbeck, David J. Allstot, *Simulation Techniques and Solutions for Mixed-Signal Coupling in Integrated Circuits*, Kluwer Academic Publishers, 1995
- [18] J.E. Lilienfeld, U.S. Patent 1,745,175; 1930
- [19] O. Heil, British Patent 439,457; 1935

- [20] B. Curtois, *CAD and Testing of ICs and systems: Where are we going?*, TIMA-CMP, Grenoble (France), 1993
- [21] W. Maly, 'Prospects for WSI: a manufacturing perspective', *IEEE Computer*, 1992
- [22] <http://www.imec.be:800/europractice/on-line-docs/INFO/EP.CONTENTS.html>
- [23] Sam D. Reynolds, MOSIS Customer Support, private communication 9/12/96
- [24] 'Toshiba Adds 2.25V Low Power And Mixed 3/5V I/O Process to its 0.3 um System ASIC Family', *TOSHIBA Press Releases*, <http://www.toshiba.com>, November 1996
- [25] '0.25-Micron ASICs Accelerate System-Level Integration', NEC corporation. Web: <http://www.nec.co.jp/newscope>
- [26] Masaki Tsukude, Takahisha Eimori, and Kasutami Arimoto, 'A 256Mb DRAM', *Mitsubishi Electric Technical Reports*, <http://www.mitsubishu.com>, June 1996
- [27] 'Toshiba Introduces Second Generation 64-Megabit DRAMs', *TOSHIBA Press Releases*, <http://www.toshiba.com>, May 1996
- [28] *Hitachi Press Releases*, <http://www.hitachi.com>, June 1996
- [29] Linda Gepper, 'Technology Analysis & Forecast: Solid State', *IEEE Spectrum*, January 1997.
- [30] Gary Stix, 'Hacia el cero coma uno', *Investigación y Ciencia*, Abril 1995
- [31] Kyozo Kanamoto, Yasutaka Nishioka, and Yasunori Tokuda, 'A Gigabit-Scale DRAM Cell Fabricated Using X-ray Lithography', *Mitsubishi Electric R&D Progress Report*, <http://www.mitsubishu.com>, June 1996
- [32] Robert H. Dennard, 'Future CMOS Scaling Trends', Seminario impartido en el Departamento de Ingeniería Electrónica, Julio 1996
- [33] Heihachi Matsumoto, 'An Overview of System LSI Concepts and Technologies', *Mitsubishi Electric Technical Reports*, June 1996
- [34] G.E. Moore, 'Progress in Digital Integrated Electronics', *IEEE IEDM*, pp. 11-13, 1975
- [35] Bijan Davari, Robert H. Dennard, Ghavam G. Shahidi, 'CMOS Scaling for High Performance and Low Power—The Next Ten Years', *Proceedings of the IEEE*, Vol. 83, No. 4, pp. 595–606, 1995
- [36] W.H. Krautschneider, A. Kohlhasse, and H. Terletzki, 'Scaling Down and Reliability Problems of Gigabit CMOS Circuits', *Microelectron. Reliab.*, Vol. 37, No. 1, 1997, pp. 19–37.
- [37] Alexander Acovic, Giuseppe La Rosa, and Yuan-Chen Sun, 'A Review of Hot-Carrier Degradation Mechanisms in MOSFETs', *Microelectron. Reliab.*, Vol. 36, No. 7/8, 1996, pp. 845–869.
- [38] M. Nafría, J. Suñé, and X. Aymerich, 'Breakdown Of Thin Gate Silicon Dioxide Films – A Review', *Microelectron. Reliab.*, Vol. 36, No. 7/8, 1996, pp. 871–905.
- [39] Robert H. Dennard, 'Future CMOS Scaling – Approaching the Limits?', *1996 SSDM Symposium*
- [40] Charvaka Duvury, and Ajith Amerasekera, 'ESD Issues for Advanced CMOS Technologies', *Microelectron. Reliab.*, Vol. 36, No. 7/8, 1996, pp. 907–924.
- [41] Eiji Takeda, Cary Y. Yang, Akemi Miura-Hamada, *Hot-Carrier Effects in MOS Devices*, Academic Press, 1995
- [42] Jerry M. Soden, Charles F. Hawkins, 'Test Considerations for Gate Oxide Shorts in CMOS ICs', *IEEE Design & Test*, pp. 56–64, August 1986

- [43] Jaume A. Segura, *Aportació a la Modelació del Defecte de Ruptura d'Òxid Prim en Circuits CMOS de Molt Alt Nivell d'Integració (VLSI)*, Memoria para la adquisición del grado de doctor, Universidad Politécnica de Catalunya, 1992
- [44] Renate Sitte, Sima Dimitrijević, and H. Barry Harrison, 'Device Parameter Changes Caused by Manufacturing Fluctuations of Deep Submicron MOSFET's', *IEEE Tr. on Electron Devices*, Vol. 41, No. 11, pp. 2210–2215, 1994
- [45] Hiroyoshi Komiyama, 'Future Technological and Economic Prospects for VLSI', *IEEE International Solid-State Circuits Conference*, pp. 16–19, 1993
- [46] J. Rubinstein, P. Penfield, and M.A. Horowitz, 'Signal delay in RC tree networks', *IEEE Tr. on Computer-Aided Design*, Vol. CAD-2, No. 3, pp. 202–210, 1983
- [47] Randall L. Geiger, Phillip E. Allen, Noel R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, p. 568, McGraw-Hill, 1990
- [48] J.G. Ryan, R.M. Geffken, N.R. Poulin, and J.R. Paraszczak, 'The evolution of interconnection technology at IBM', *IBM Journal of Research and Development*, Vol. 39, No. 4, 1995
- [49] R.K. Watts (ed), *Submicron Integrated Circuits*, John Wiley & Sons, pp. 273–276, 349–351, 1989
- [50] Michael Sebastian Smith, 'Deep Submicron Design', Tutorial in *XI Conference Design of Integrated Circuits and Systems (DCIS)*, Sitges (Spain), 1996.
- [51] Jashojiban Banik, Keng L. Wong, George L. Geannopoulos, and Chung Y. Joseph Yip, 'A High Performance 0.35- $\mu\text{m}$  3.3-V BiCMOS Technology Optimized for Product Porting from a 0.6- $\mu\text{m}$  3.3-V BiCMOS Technology', *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 10, pp. 1437–1442, 1996.
- [52] Krishna C. Sraswat, and Farrokh Mohammadi, 'Effect of Scaling of Interconnections on the Time Delay of VLSI Circuits', *IEEE Journal of Solid-State Circuits*, Vol. SC-17, No. 2, pp. 275–280, 1982
- [53] Paul P. Wnag, 'Device Characteristics of Short-Channel and Narrow-Width MOSFET's', *IEEE Tr. on Electron Devices*, Vol. ED-25, No. 7, pp. 779–786, 1978
- [54] B. Hoeflinger, H. Sibbert, G. Zimmer, E. Kubalek, and E. Menzel, 'Model and Performance of Hot-Electron MOS Transistors for VLSI', *IEEE Tr. on Electron Devices*, Vol. 26, pp. 513–520, 1979
- [55] P.-K. Ko, 'Approaches to Scaling', In *Advanced MOS Devices Physics*, N.G. Einspruch and G. Gildenblat (ed), Academic Press, San Diego, 1989
- [56] J.A. Cooper, Jr., and D.F. Nelson, 'Measurement of the High-Field Drift Velocity of Electrons in Inversion Layers on Silicon', *IEEE Electron Device Letters*, Vol. ED-2, No. 7, 1981
- [57] Masakazu Shoji, *CMOS Digital Circuit Technology*, Prentice-Hall International, New Jersey, 1988
- [58] Arun Vaidyanath, Bigir Thoroddsen, and J.L. Prince, 'Effect of CMOS Driver Loading Conditions on Simultaneous Switching Noise', *IEEE Tr. on Components, Packaging, and Manufacturing Techn.–Part B*, Vol. 17, No. 4, November 1994, pp. 480–485.
- [59] Takayasu Sakurai, A. Richard Newton, 'Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas', *IEEE J. of Solid-State Circuits*, Vol. 25, No. 2, pp. 584–593, 1990
- [60] Chenming Hu, 'Low-Voltage CMOS Device Scaling', *1994 IEEE International Solid-State Circuits Conference*, pp. 86–87, 316, 1994

- 
- [61] R. Senthinathan and J.L. Prince, 'Effect of Device and Interconnect Scaling on the performance and Noise of Packaged CMOS Devices', *IEEE 1990 Custom Integrated Circuits Conference*, pp. 11.3.1–11.3.5, 1990
- [62] Robert N. Mayo, Michael H. Arnold, Walter S. Scott, Don Stark, Gordon T. Hamachi, '1990 DECWRL/Livermore Magic Release', WRL Research Report 90/7, Digital Western Research Laboratory, 1990.
- [63] MOSIS distribution version 8.2, <http://www.mosis.org>
- [64] Gordon E. Moore, 'Cramming More Components Onto Integrated Circuits', *Electronics Magazine*, Vol. 38, No. 8, April 1965.
- [65] Krishna C. Saraswat, and Farrokh Mohammadi, 'Effect of Scaling of Interconnections on the Time Delay of VLSI Circuits', *IEEE J. of Solid-State Circuits*, Vol. SC-17, No. 2, pp. 275–280, 1982
- [66] D.k. Ferry, R.O. Grondin, and L.A. Akers, 'Two-Dimensional Automata in VLSI', in *Submicron Integrated Circuits* Edited by R.K. Watts (1989) New York: John Wiley & Sons.



# Capítulo 5

---

## *Alternativas lógicas no convencionales de bajo nivel de ruido de conmutación*

*En este capítulo se analiza en primer lugar las alternativas lógicas no convencionales propuestas en la literatura para reducir el ruido de conmutación en CI CMOS. En segundo lugar se presenta una alternativa de diseño que representa una aportación original de este trabajo de tesis de la que se comparan los resultados obtenidos en las simulaciones con las medidas experimentales obtenidas a partir de un prototipo de CI fabricado con esta nueva técnica propuesta.*

### 5.1 Introducción

Se ha visto en los capítulos anteriores como el diseñador puede abordar el problema del ruido de conmutación en las diferentes fases del proceso de diseño y a todos los niveles del mismo (abstracto, estructural, lógico y físico). Con éste capítulo y los posteriores vamos a presentar aportaciones originales que se realizan en este trabajo de tesis y su comparación con otras alternativas equivalentes en los mismos campos. Éste capítulo aborda el problema del ruido desde el punto de vista del diseño lógico.

Se analizan dos alternativas. La primera consiste en un conjunto de lógicas con consumo de corriente constante basadas en el mismo principio de realizar la función lógica redirigiendo la corriente por una de las dos ramas de un árbol diferencial (*current steering*). Dado que el consumo es, en teoría, constante la  $dI/dt=0$  y por tanto se elimina el ruido de conmutación. El principal problema de este tipo de lógicas es la disipación de potencia. Analizaremos su estructura, el proceso de diseño y otros aspectos, como la testabilidad.

La segunda alternativa es una aportación original de este trabajo de tesis y se basa en una serie de reglas de diseño orientadas a generar circuitos combinatoriales con una determinada forma de onda de la corriente de conmutación global que minimize el ruido  $dI/dt$ . La propuesta



se completa con resultados y medidas experimentales sobre un prototipo fabricado con tecnología CMOS comercial.

## 5.2 Lógicas con consumo de corriente constante

Las puertas lógicas diferenciales de consumo de corriente constante ya se utilizaban en los diseños ECL (*emitter coupled logic*) con tecnología bipolar. Debido a la fuerte implantación de la tecnología CMOS y a la aparición del problema del ruido de conmutación estas técnicas se han aplicado a los circuitos lógicos CMOS dando lugar a las llamadas *current steering logics* (CSL) [1], lógicas que utilizan la redirección de la corriente por una de las dos ramas de un árbol lógico diferencial para evaluar la función lógica. Dado que la corriente únicamente se redirige internamente desde los terminales de alimentación el flujo de corriente se ve como constante y teóricamente el ruido  $dI/dt$  es eliminado. En la práctica el ruido de conmutación se reduce mucho aunque no es eliminado totalmente. En este apartado se repasarán las distintas alternativas aparecidas en la literatura de este tipo de lógicas. Dado su característica de consumo constante, no se pretende que estas lógicas reemplacen totalmente a la lógica CMOS convencional, sino que la sustituyan en ciertas partes del circuito donde la generación del ruido de conmutación es elevada.

### 5.2.1 Lógica ESCL (*Enhancement Source-Coupled Logic*)

La primera propuesta de lógicas tipo *current steering* aparecida en la literatura ha sido la ESCL [2][3]. La Figura 5-1(a) ilustra un inversor ESCL realizado únicamente con transistores NMOS. La etapa de entrada diferencial formada por  $m1$  y  $m2$  está polarizada con una fuente de corriente constante  $I$ , y los NMOS que actúan como cargas  $m3$  y  $m4$  están polarizados con la tensión  $V_b$  de forma que se encuentren en la región de saturación. Cuando la entrada  $A$  tiene una tensión alta que pone en *on* al transistor  $m1$ , en  $A'$  tenemos una tensión baja que pone en *off* a  $m2$ . La corriente  $I$  fluye sólo por  $M1$  creando una tensión diferencial entre las salidas

$$\Delta V_{out} = [2I_1 / k_n' (W/L)_3]^{1/2} \quad \text{Ec. (5-1)}$$

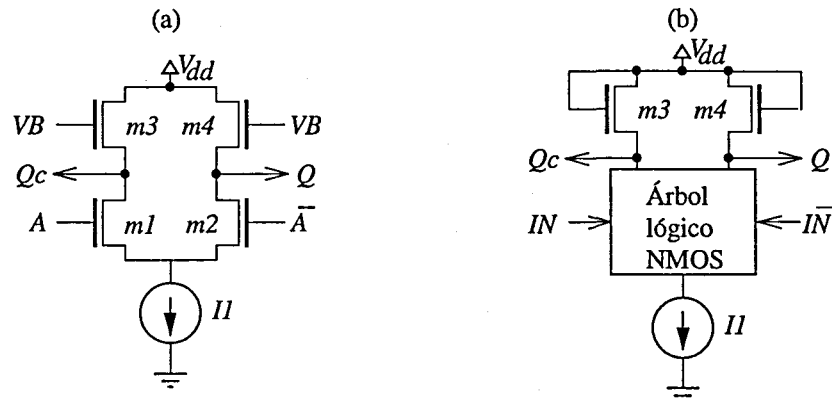
donde  $(W/L)_3$  es la relación de aspecto de  $m3$ , y  $k_n'$  la ganancia unitaria de los NMOS. El diseño de las puertas ESCL se completa estableciendo una ganancia de tensión ( $a_v$ ) mayor a la unidad para obtener un margen de ruido aceptable. Esta condición de diseño se plasma en la siguiente ecuación:

$$a_v = (W/L)_1 / (W/L)_3 \geq 1 \quad \text{Ec. (5-2)}$$

donde  $(W/L)_1$  es la relación de aspecto de  $m1$ .

Las ventajas de la lógica ESCL frente a la CMOS convencional son: una reducción en los picos de corriente de conmutación en las líneas de alimentación y en el substrato (debido a la operación en modo corriente del circuito), una excursión de las tensiones de salida menor (que

redunda en un retardo y un consumo menores) y una mayor inmunidad al ruido debido a la topología diferencial del circuito. La lógica ESCL proporciona los valores negados y afirmados de las variables lo que puede favorecer la reducción en el número de dispositivos necesarios para construir puertas complejas. Cualquier función lógica puede construirse mediante un árbol lógico NMOS diferencial con la estructura de la Figura 5-1(a). Las tensiones  $V_B$  suelen conectarse a  $V_{DD}$  para reducir el número de interconexiones.



**Figura 5-1**

(a) Inversor ESCL. (b) Esquema general de una puerta ESCL.

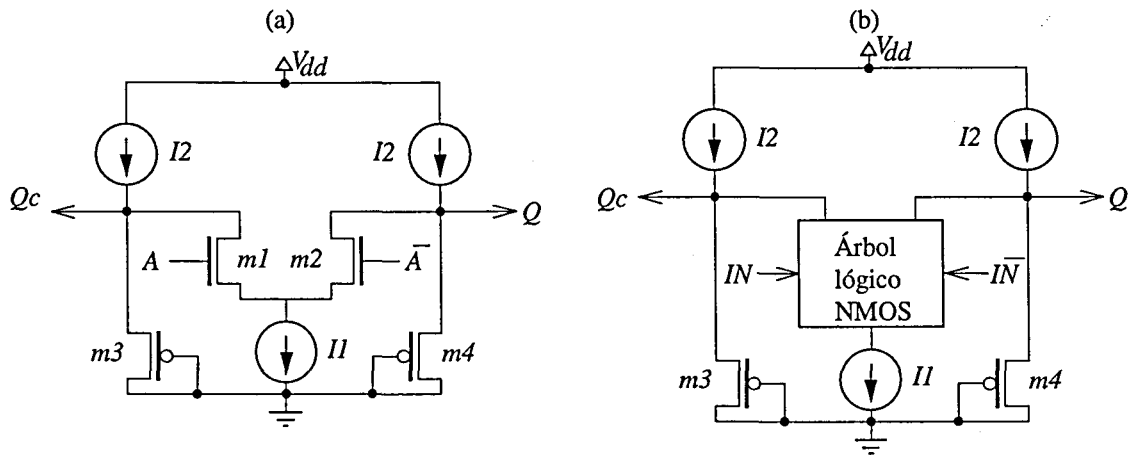
### 5.2.2 Lógica FSCL (*Folded Source-Coupled Logic*)

La lógica FSCL [4][5] es una extensión de la lógica SCL [2] que mejora sus prestaciones en cuanto a ancho de banda y reducción de la generación de ruido de conmutación. Las puertas FSCL están compuestas, como se ilustra en la Figura 5-2 para un inversor, de una etapa de entrada diferencial que redirecciona la corriente, formada por los transistores  $m1$  y  $m2$ , y una etapa de salida formada por un diodo realizado con PMOS que realiza la conversión corriente  $\rightarrow$  tensión. Para la lógica FSCL la excursión de la tensión de salida diferencial es:

$$\Delta V_{out} = \left[ 2I_2 / k_p' (W/L)_4 \right]^{1/2} - \left[ 2(I_2 - I_1) / k_p' (W/L)_3 \right]^{1/2} \quad \text{Ec. (5-3)}$$

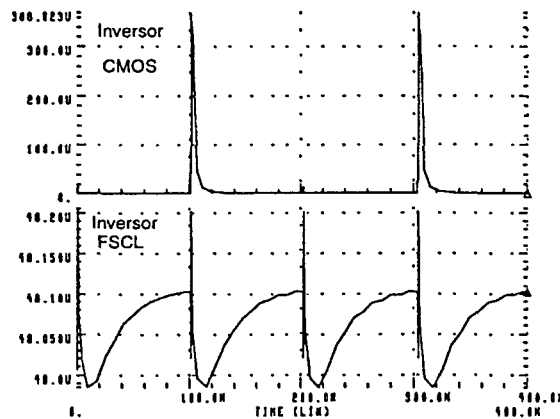
que usualmente se diseña para valer entre 0.5V y 1V. Un margen de ruido adecuado requiere una ganancia de tensión de la puerta FSCL mayor que 2.

Al igual que en la lógica ESCL cualquier función lógica puede ser fácilmente implementable con un árbol NMOS diferencial [6]. La reducción del ruido de conmutación es de unos 2 órdenes de magnitud en comparación con la lógica CMOS convencional, según reportan los autores (ver Figura 5-3).



**Figura 5-2**

(a) Inversor FSCL. (b) Esquema general de una puerta FSCL



**Figura 5-3**

Comparación entre los picos producidos al conmutar una carga de  $0.25\text{pF}$  entre un inversor CMOS (gráfica superior) y un inversor FSCL (gráfica inferior).

### 5.2.3 Otras alternativas lógicas CSL

Algunos autores han propuesto alternativas a las lógicas anteriores teniendo como objetivo reducir el número de transistores como por ejemplo la lógica NMOS-CBL (*current-balanced logic*) [7], en la que el árbol de evaluación NMOS se reduce a una sola rama. La lógica CSL, tal como se la denomina en [1], aún es mejor en este sentido, al reducir la estructura diferencial de la lógica FSCL a una sola mitad unipolar. Es difícil, sin embargo, encontrar circuitos reales que apliquen estas lógicas. En [8] se presenta un circuito mixto para la medida de tiempos de impacto en aceleradores de partículas en las que el medidor de tiempos de llegada ha de convivir con la circuitería analógica de acondicionamiento y amplificación de las señales. Los circuitos lógicos utilizados en este circuito mixto se implementan con una estructura lógica de tipo CSL diferencial realizada con transistores bipolares. Los transistores MOS se utilizan como referencias de corriente y cargas activas.

## 5.3 Testabilidad de las lógicas de consumo de corriente constante.

Entre los aspectos que hay que analizar con detalle en estas lógicas se encuentra la testabilidad. Debido a su consumo estático de corriente, determinados procesos que degradan la fiabilidad como la electromigración [9][10] pueden provocar fallos más fácilmente. Estos procesos degenerativos se aceleran si la corriente es continua, en vez de pulsada como en las lógicas CMOS convencionales [11][12]. Será necesario contar con mecanismos de test y de verificación en campo que permitan asegurar unos niveles de fiabilidad aceptables cuando se utilicen este tipo de lógicas. Sin embargo las estrategias de test utilizadas para los circuitos convencionales pueden ser inadecuadas para este tipo de lógicas. El objeto del presente apartado es exponer el resultado de un trabajo de investigación original sobre la testabilidad de las lógicas con consumo de corriente constante tomando como referencia la lógica FSCL [13].

### 5.3.1 Análisis de la testabilidad de la lógica FSCL

El análisis de la testabilidad de las puertas FSCL debe tener en cuenta su compleja estructura. La base de su baja generación de ruido de conmutación es el uso de consumo de corriente constante mediante fuentes de corriente constantes en las conexiones de la puerta con las líneas de alimentación  $V_{DD}$  y  $Gnd$  y su estructura simétrica con entradas y salidas diferenciales. El análisis se centra en la testabilidad en presencia de fallos realistas. Si una puerta lógica tiene un fallo de tipo 'puente' (*bridging fault*) o de tipo 'abierto' (*open fault*):

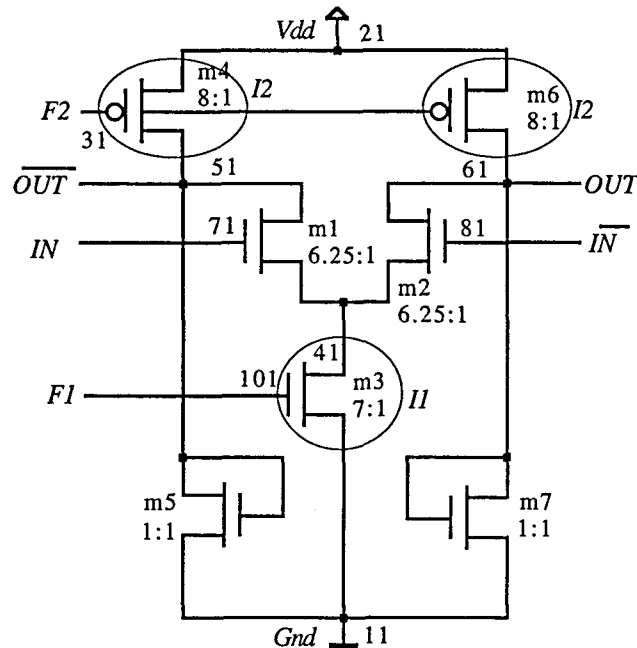
- i) La simetría del circuito queda modificada, el comportamiento de la puerta se ve afectado y los niveles lógicos de salida cambian:
- ii) En el caso de los puentes se crean nuevos caminos de conducción, incrementándose el consumo estático en la mayoría de los casos.
- iii) Un defecto en una puerta puede modificar el ruido de conmutación generado al conmutar.

En los siguientes subapartados se describirán la estructura de test utilizada en el análisis, el proceso de simulación y se presentarán los resultados obtenidos para fallos tipos 'puente' y 'abierto'. Finalmente discutiremos las diferentes alternativas de test que pueden utilizarse para detectar un circuito FSCL defectuoso a partir de los resultados de los subapartados anteriores.

### 5.3.2 Descripción del estudio

La estructura de pruebas consiste en una cadena de tres inversores básicos FSCL idénticos como el de la Figura 5-4. Los fallos se inyectan en el inversor central. Los tres inversores se alimentan a 5V y las fuentes de corriente de cada puerta se ajustan mediante una referencia de tensión común a toda la cadena. Las características eléctricas del inversor FSCL utilizado se muestran en la Tabla 5-1.

Las formas de onda de las tensiones de salida y de las corrientes de los nodos  $V_{DD}$  y  $Gnd$  para la cadena de tres inversores se muestran en la Figura 5-5. Al principio de la simulación las entradas permanecen constantes para realizar las medidas estáticas. A continuación, las entradas primarias del circuito de test ( $V_{in}$  y  $V_{nin}$ ) comienzan a conmutar lo que permite realizar la medida del pico de corrientes de alimentación ( $I_{DDn}$ ).



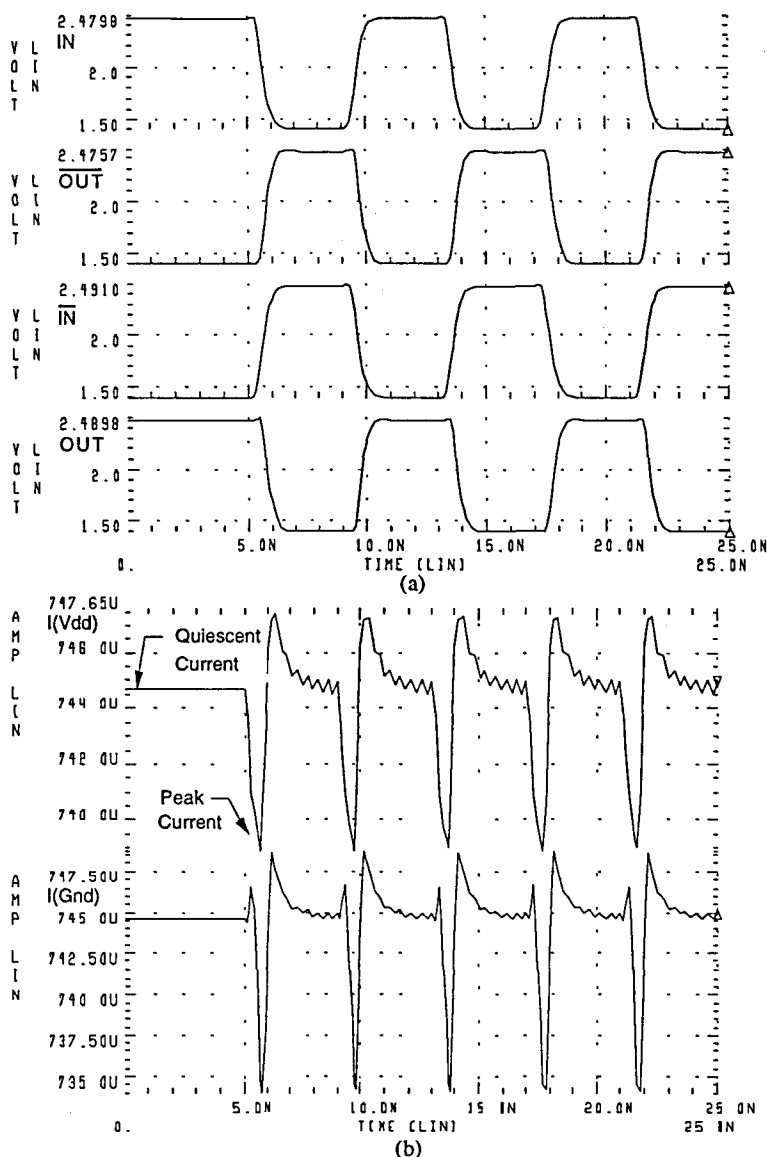
**Figura 5-4**

*Inversor básico FSCL. IN y IN' son las entradas, afirmada y negada, respectivamente. OUT y OUT' las salidas diferenciales. F1 es la tensión de referencia de la fuente I1 y F2 la de las dos fuentes de I2. Los números indican los nombres de los nodos correspondientes al fichero utilizado en las descripciones HSPICE del circuito para la simulación eléctrica.*

Parámetro	Valor
Vdd	5V
Fuente de corriente I <sub>1</sub>	87.57μA
Fuente de corriente I <sub>2</sub>	110.61μA
Nivel lógico alto, '1'	2.4734V
Nivel lógico bajo, '0'	1.3931V
Retardo de propagación	0.137nsec
Disipación de potencia	1.07mW
Corriente estática I <sub>DDQ</sub>	214.9μA
Pico de corriente de alimentación I <sub>DD</sub>	8.7μA

**Tabla 5-1**

*Parámetros eléctricos del inversor FSCL utilizado como puerta básica en el estudio.*



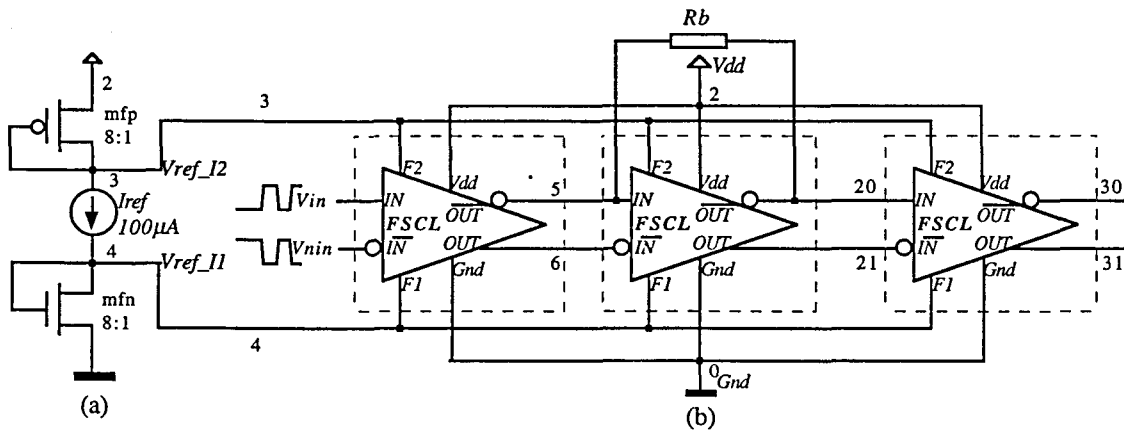
**Figura 5-5**

*Formas de onda resultantes de la simulación HSPICE de la cadena de tres inversores que forman el circuito de test. (a) Entradas y salidas del inversor central. (b) Corrientes que circulan por los terminales de alimentación del circuito de test  $V_{DD}$  y Gnd, incluyendo el consumo del circuito generador de las tensiones de referencia para las fuentes de corriente.*

Las magnitudes eléctricas utilizadas como observables de test para la lógica FSCL son: los niveles lógicos de salida ( $V_{OH}$  y  $V_{OL}$ ), la corriente estática de consumo ( $I_{DDQ}$ ) y la corriente de conmutación ( $I_{DDn}$ ). La primera magnitud permite detectar los fallos utilizando el test lógico usual. La segunda permite la detectabilidad mediante un test IDDQ. La tercera magnitud se define como la amplitud del pico de corriente en las líneas de alimentación que generará ruido  $dI/dt$  (por eso la llamaremos corriente de ruido). En un inversor FSCL libre de fallos los valores normales para estas magnitudes son los de la Tabla 5-1. El estudio de los cambios en los niveles lógicos o en las corrientes (estáticas o dinámicas) cuando se presenta un defecto de tipo 'puente' o 'abierto', en una puerta FSCL, permitirá decidir qué tipo de estrategia de test es la mejor en cada caso.

### 5.3.3 Simulaciones de los defectos tipo ‘puente’

El modelo eléctrico utilizado para simular un defecto de tipo ‘puente’ consiste en una resistencia entre los dos nodos considerados (Figura 5-6) [14][15]. Se ha realizado una simulación paramétrica para cada ‘puente’ posible, con valores para la resistencia desde 0 hasta  $10^6 \Omega$ . Se han considerado todos los nodos de entrada y salida, los nodos de las tensiones de referencia para  $I1$  y  $I2$  y el nodo interno que conecta los surtidores de los dos transistores de entrada  $m1$  y  $m2$  y el drenador del transistor  $m3$  de la fuente  $I1$  (nodo 41 en la Figura 5-4). Los ‘puentes’ simétricamente equivalentes han sido simplificados (i.e. el ‘puente’ entre los nodos  $IN$ - $OUT$  es equivalente al ‘puente’ entre los nodos  $IN'$ - $OUT'$  debido a la simetría del circuito).



**Figura 5-6**

Circuito de test utilizado en el análisis formado por una cadena de tres inversores FSCL. (a) Defecto tipo ‘puente’ entre los nodos  $IN$  y  $OUT$  del inversor central. (b) Circuito generador de las tensiones de referencia para las fuentes  $I1$  y  $I2$ .

Las simulaciones se han realizado con el simulador HSPICE y los resultados han sido procesados posteriormente. Se han trazado tres curvas para diferentes valores de la resistencia del ‘puente’ y para cada par de nodos considerados. Estas tres curvas son:

- i) Los dos niveles lógicos de cada una de las salidas diferenciales del inversor central.
- ii) El valor total de  $I_{DDQ}$  para el circuito de test de la Figura 5-6 y los valores  $I_{DDQ}$  de cada uno de los tres inversores FSCL por separado.
- iii) El valor total de  $I_{DDn}$  y el de cada uno de los tres inversores.

La Figura 5-7 muestra algunos ejemplos de estas curvas. Las gráficas de  $I_{DDQ}$  y de  $I_{DDn}$  contienen una curva para los valores totales (etiquetadas ‘itot’ y ‘pt’, respectivamente) y una curva para cada uno de los tres inversores (‘ix1’, ‘ix2’ y ‘ix3’ para los valores de  $I_{DDQ}$  y ‘px1’, ‘px2’ y ‘px3’ para los valores de  $I_{DDn}$ ). El inversor de entrada es el ‘x1’, el central es ‘x2’ y el de carga el ‘x3’.

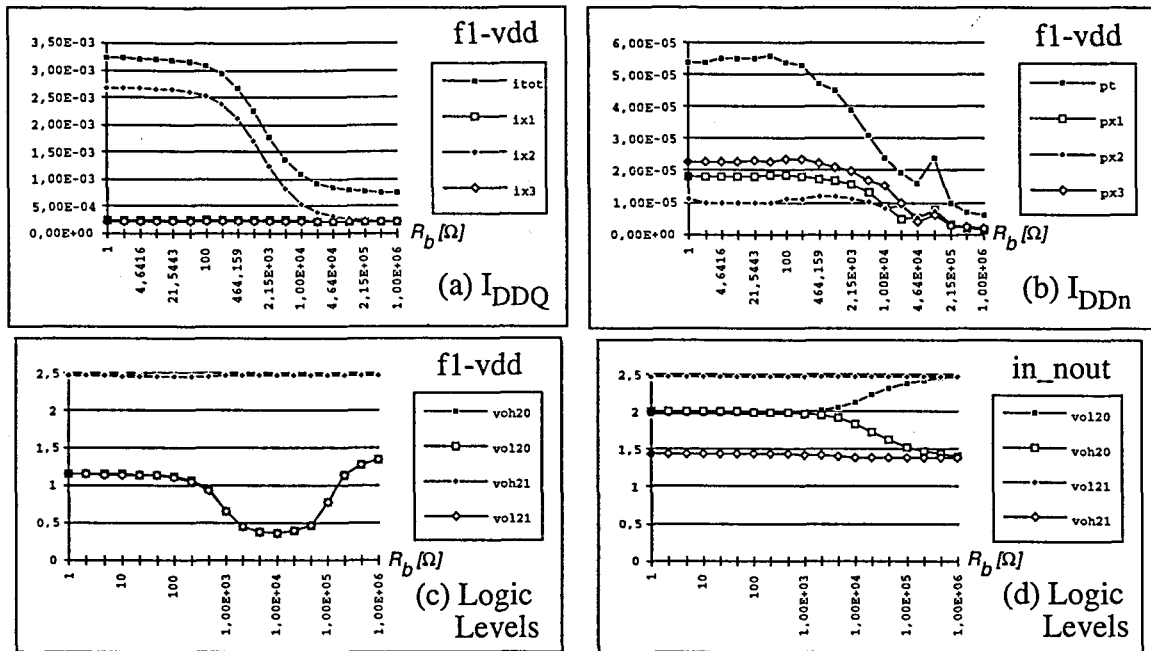


Figura 5-7

Curvas de las diferentes magnitudes eléctricas utilizadas como observables de test. Defecto tipo 'puente' entre los nodos  $V_{DD}$  y F1: (a)  $I_{DDQ}$ , (b)  $I_{DDn}$  y (c) niveles lógicos de salida del inversor central. Defecto tipo 'puente' entre los nodos IN y OUT: (d) niveles lógicos de salida del inversor central.

La Tabla 5-2 presenta los resultados del análisis para los diferentes 'puentes' en el inversor central del circuito de test para un margen de variación de la resistencia del puente de 0 a 1 M $\Omega$ . La etiqueta de las filas es el nombre del 'puente' siguiendo la convención de nombres utilizados en el esquemático de la Figura 5-4. La primera columna etiquetada  $\Delta I_{DDQ}$  muestra el incremento de corriente estática debido al defecto respecto del valor nominal de la Tabla 5-1. La segunda columna,  $\Delta I_{DDn}$  muestra el incremento de la corriente de ruido o dinámica. La última columna, etiquetado como 'Test Lógico' indica si es posible detectar el fallo producido por el 'puente' mediante un test lógico que tuviera accesibilidad directa a las salidas del inversor central. El criterio utilizado para determinar la detectabilidad de forma lógica ha sido un incremento de  $V_{OL}$  por encima y una disminución de  $V_{OH}$  por debajo del margen de ruido del inversor FSCL. Si los niveles lógicos son incorrectos para una de las dos salidas, pero no para la otra, se indica con un código 'Si/No' (i.e. Figura 5-7(d)). Si los niveles de las dos salidas se ven afectadas por el defecto tipo 'puente' se indica con un 'Si'. Si los niveles de ninguna de las dos salidas se ven afectadas por el defecto se indica con un 'No'. Éste sería el caso de la Figura 5-7(c), en la que se observa como para algunos valores de la resistencia del puentes entorno a los 10K $\Omega$  el nivel  $V_{OL}$  de las dos salidas disminuye y sin embargo esto no implica un error lógico (lo sería si aumentase por encima del margen de ruido). En el resto de los casos en los que se indica un 'No' es porque los niveles lógicos no se ven afectados de ninguna forma por el 'puente'. En el caso de los valores de  $I_{DDQ}$  y  $I_{DDn}$  se consideran los valores totales de todo el circuito de test a la hora de calcular las variaciones introducidas por el defecto.

Mediante los resultados de la Tabla 5-2 se puede determinar si un determinado 'puente' puede ser detectado o no por cada una de las tres estrategias de test consideradas. Para el caso del test  $I_{DDQ}$  se considera que un puente es detectable si el valor de  $\Delta I_{DDQ}$  es positivo y del



mismo orden de magnitud que el valor nominal de  $I_{DDQ}$ , que es de  $774.7\mu\text{A}$ . Para el caso de test  $I_{DDn}$ , es decir, test de corriente de ruido o dinámica, se ha tomado como umbral de detectabilidad una desviación  $\Delta I_{DDn}$  de más de  $10\mu\text{A}$  sobre el valor nominal de  $I_{DDn}$ , que es de  $5.5\mu\text{A}$ . Para el test lógico se ha considerado que todos los casos etiquetados 'Si' o 'Si/No' son 'puentes' detectables. Con estos criterios se ha elaborado un cálculo de la detectabilidad expresada como el número de puentes, respecto el total, que son detectables con cada estrategia de test. La Figura 5-7 muestra una representación gráfica de la detectabilidad de cada técnica y la Tabla 5-3 presenta los resultados numéricos.

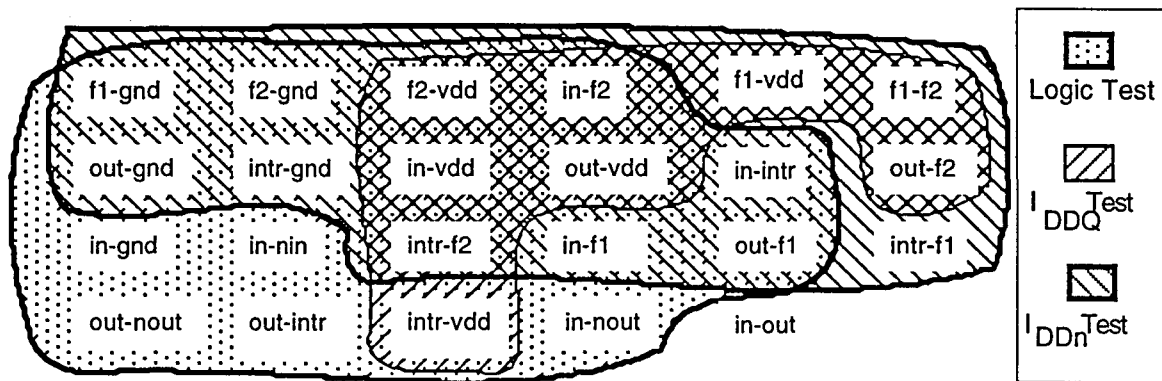
Nombre del 'puente'	$\Delta I_{DDQ}$ [mA]	$\Delta I_{DDn}$ [ $\mu\text{A}$ ]	Test Lógico
in-nin	0	-4.7	Si
in-nout	0	-1.4	Si/No
in-out	0	30.0	No
in-gnd	0	7.7	Si
in-vdd	0.20	75	Si
in-intr	0	1.0	Si/No
in-f1	0	50.0	Si/No
in-f2	0.26	230.0	Si/No
out-nout	0	-1.0	Si
out-gnd	0	4.0	Si
out-vdd	0.20	75.0	Si/No
out-intr	0	1.0	Si
out-f1	0	55.0	Si/No
out-f2	0.15	23.0	Si/No
intr-gnd	0	45.0	Si
intr-vdd	0.10	1.5	Si
intr-f1	0	25.0	No
intr-f2	0.60	25.0	Si
f1-f2	1.80	170.0	No
f1-gnd	0	-5.3	Si
f1-vdd	2.50	5500.0	No
f2-gnd	2.50	97.0	Si
f2-vdd	-0.65	20.0	Si

**Tabla 5-2**

*Efectos del defecto de tipo 'puente' en  $I_{DDQ}$ ,  $I_{DDn}$  y los niveles lógicos para una cadena de tres inversores FSCL.*

### 5.3.4 Simulaciones de los defectos tipo 'abierto'

El defecto tipo 'abierto' ha sido estudiado siguiendo el mismo procedimiento que en el subapartado anterior. En primer lugar se ha escogido un modelo para representar eléctricamente el defecto físico que consiste en una abertura de una de las ramas del circuito. A continuación se inserta el defecto en una puerta básica FSCL (el inversor central del circuito de test de la Figura 5-6) y se encuentran por simulación las variaciones en los valores de los niveles lógicos, de  $I_{DDQ}$  y de  $I_{DDn}$  del circuito defectuoso respecto del nominal.



**Figura 5-8**

Representación gráfica de la detectabilidad para las tres estrategias de test: test lógico, test  $I_{DDQ}$  y test  $I_{DDn}$  para un defecto tipo 'puente' en un inversor FSCL.

Estrategia de test	% de defectos detectados
Test lógico	77.27%
Test $I_{DDQ}$	40.90%
Test $I_{DDn}$	59.09%

**Tabla 5-3**

Detectabilidad para un defecto tipo 'puente' en un inversor FSCL

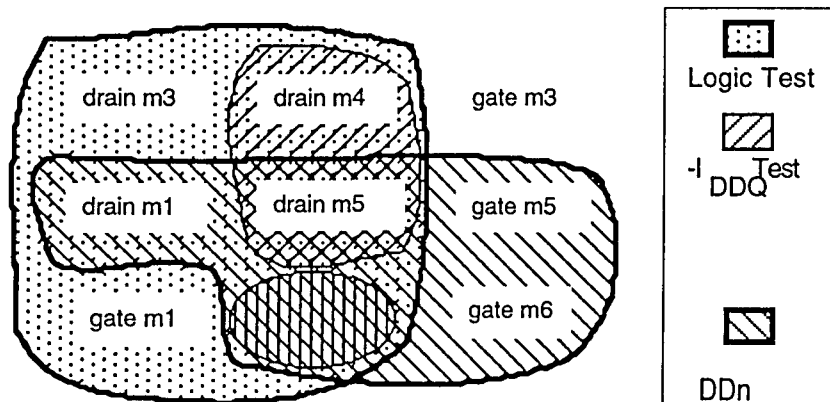
El modelo eléctrico del defecto tipo 'abierto' es el conocido modelo RC utilizado ampliamente en la literatura sobre test [16][17]. Puede ser utilizado para representar 'abiertos' en las líneas de drenador y surtidor de los dispositivos MOS y también para modelar el defecto de puerta flotante [18]. Los parámetros del modelo son una resistencia ( $R_o$ ) entre los dos nodos que originalmente eran uno sólo y una capacidad parásita ( $C_p$ ). La resistencia  $R_o$  es necesaria porque la mayoría de los simuladores eléctricos no permite dejar nodos flotantes. El 'abierto' en una línea se representará de este modo con una resistencia serie muy grande, del orden de  $10^8\Omega$ . La capacidad parásita se utiliza en el modelo de puerta flotante para representar la capacidad parásita entre la puerta del transistor MOS y las partes vecinas del CI. Su valor se extrae del layout del circuito y suele ser del orden de  $10^{-15}F$ . En este estudio se han utilizado los valores  $R_o=100M\Omega$  y  $C_p=5fF$  para los parámetros del modelo.

Se han considerado sólo dos tipos de defectos: el ‘abierto’ en la línea de drenador o surtidor y el ‘abierto’ en la línea de puerta. Para cada transistor MOS de un inversor FSCL (Figura 5-4) solo uno de los dos ‘abiertos’, el de drenador o el de surtidor, ha sido simulado. Los ‘abiertos’ en las puertas de los transistores MOS se han tratado como defectos de puerta flotante utilizando el modelo RC anteriormente comentado. Los ‘abiertos’ simétricamente equivalentes han sido simplificados (i.e. el ‘abierto’ en el drenador de  $m4$  y el del drenador de  $m6$  son equivalentes). La Tabla 5-4 presenta los resultados de la simulación, utilizando las mismas convenciones que en la Tabla 5-2. Los incrementos negativos indican que la corriente defectuosa es menor que la nominal. La Figura 5-9 es una representación gráfica de la detectabilidad para cada una de las tres estrategias de test consideradas y la Tabla 5-5 presenta los valores numéricos para esta detectabilidad para todos los ‘abiertos’ posibles en el inversor central del circuito de test. Para un estudio más detallado sería necesario utilizar un modelo más complejo para el defecto tipo ‘abierto’ y para el defecto de puerta flotante como el propuesto en [19].

Nombre del ‘abierto’	$\Delta I_{DDQ}$ [mA]	$\Delta I_{DDn}$ [ $\mu$ A]	Test lógico
drenador de m1	0	5.3	Si
drenador de m3	0	-1.8	Si
drenador de m4	-0.10	0.8	Si
drenador de m5	-0.10	79.0	Si
línea de F2	0.42	8.1	Si
puerta de m1	0	1.4	Si
puerta de m3	0	0.9	No
puerta de m5	0	9.3	No
puerta de m6	0	19.0	No

**Tabla 5-4**

*Variaciones en los observables de test debido a los defectos de tipo ‘abierto’.*



**Figura 5-9**

*Representación gráfica de la detectabilidad para las tres estrategias de test: test lógico, test  $I_{DDQ}$  y test  $I_{DDn}$  para un defecto tipo ‘abierto’ en un inversor FSCL.*

Estrategia de test	% de defectos detectados
Test lógico	77.27%
Test IDDQ	40.90%
Test IDDn	59.09%

**Tabla 5-5**

*Detectabilidad para un defecto tipo 'abierto' en un inversor FSCL*

Mientras que un 'puente' crea nuevos caminos de conducción y potencialmente incrementa el consumo de corriente, un 'abierto' los elimina y hace disminuir la  $I_{DDQ}$ . Este es el efecto de los 'abiertos' en  $m4$  y  $m5$ . El 'abierto' en la línea de  $F2$  causa un defecto de tipo puerta flotante en las puertas de  $m4$  y  $m6$ . En este caso  $I_{DDQ}$  aumenta debido al cambio en la tensión de referencia de las fuentes de corriente  $I2$ . En la Figura 5-9 se indican explícitamente los dos tiempos de variaciones en la corriente de consumo estática:  $-I_{DDQ}$  indica una reducción y  $+I_{DDQ}$  un incremento. Desde el punto de vista de la testabilidad son casos diferentes pues el sensor de test IDDQ deberá detectar variaciones positivas en un caso y negativas en el otro. En la Tabla 5-5 no se ha hecho diferencia entre los dos tipos de efectos de los defectos tipo 'abierto' en  $I_{DDQ}$ .

### 5.3.5 Análisis de los resultados y discusión

El test lógico es la estrategia de test más ampliamente aceptada por la industria de fabricación de semiconductores. Las técnicas de test IDDQ han demostrado ser un complemento interesante para los circuitos CMOS convencionales. Sin embargo en los circuitos FSCL, y por extensión en los circuitos que utilicen lógicas de consumo constante de corriente, el número de defectos que pueden ser detectados por test IDDQ es claramente inferior al del resto de técnicas y a los valores usuales en lógicas CMOS convencionales. Una nueva estrategia de test consistente en medir el pico de ruido de la corriente total del circuito ha sido considerada en los subapartados anteriores. Esta nueva estrategia parte del hecho que en las puertas FSCL la corriente de ruido o dinámica es normalmente muy pequeña debido a que se trata de lógicas de bajo nivel de ruido de conmutación. Una puerta defectuosa del circuito puede incrementar el ruido generado por todo el circuito, como se ha demostrado en las simulaciones, de forma que el ruido puede ser un interesante indicador de fallo. La detectabilidad, considerando todos los defectos tipo 'abierto' y tipo 'puente' a la vez, de las estrategias de test lógico y test IDDn son muy similares y se complementan perfectamente (ver Tabla 5-6).

Estrategia de test	% de defectos detectados
Test lógico	78.94%
Test IDDQ	36.84%
Test IDDn	64.91%

**Tabla 5-6**

*Detectabilidad para defectos tipo 'abierto' y 'puente' en un inversor FSCL*

La Tabla 5-7 presenta la detectabilidad cruzada para las diferentes estrategias de test consideradas para los dos tipos de defectos realistas, 'abierto' y 'puente'. Cada fila de la tabla y las tres primeras columnas corresponden a una de las tres estrategias. El número de defectos detectados conjuntamente por dos estrategias diferentes se indica en la intersección entre la fila y la columna correspondiente a esas dos estrategias. En las intersecciones entre la fila y la columna de una misma estrategia de test se indica el número de defectos detectados exclusivamente por esa estrategia. Para cada estrategia de test las columnas cuarta y quinta de la tabla muestran el número total de defectos ('abiertos' + 'puentes') detectados y el número de defectos no detectados, respectivamente. El test lógico completado con el test IDDn se muestra como la mejor opción. Utilizando las dos estrategias se alcanza una detectabilidad del 94.73% (54 defectos de un total de 57). El resto de defectos no son detectables por ninguna de las tres estrategias.

	Test IDDn	Test IDDQ	Test lógico	Total	No detectados
Test lógico	28	18	15	45	12
Test IDDQ	17	0	18	21	36
Test IDDn	5	17	28	37	20

**Tabla 5-7**

*Detectabilidad cruzada para defectos tipo 'abierto' y 'puente' en un inversor FSCL.*

El test IDDQ para estas lógicas con consumo constante tiene los mismos problemas que el test IDDQ para circuitos analógicos. El sensor debe ser capaz de distinguir la pequeña variación debida al defecto de un consumo constante de mayor magnitud que además puede variar de una muestra a otra debido a las derivas del proceso. Afortunadamente el consumo de las puertas FSCL no depende de las entradas ni de la función lógica. Para el test IDDn es necesario un sensor *on-chip* que deberá detectar cambios dinámicos en la forma de onda de la corriente de consumo [20]. Esta es actualmente una de las líneas de investigación activas en el campo del test analógico de CIs. Otra alternativa, ya apuntada en algunos trabajos [21][22], consistiría en medir directamente el ruido de tensión sobre los terminales de alimentación, en vez de la corriente.

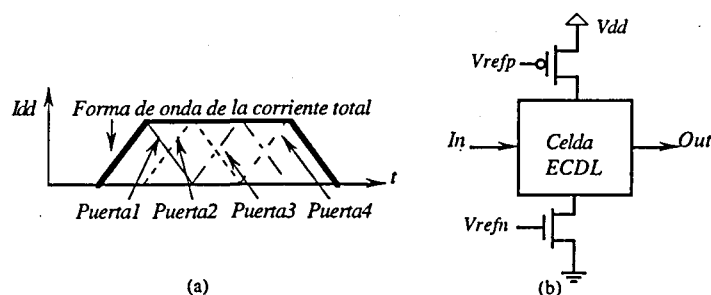
## 5.4 Técnica de reducción del ruido de conmutación basada en lógicas diferenciales autotemporizadas.

En este apartado se propone una técnica de diseño de bajo ruido de conmutación para circuitos que es una de las aportaciones del presente trabajo de tesis [23]. La reducción del ruido de conmutación se realiza a base de minimizar su generación a través de un diseño estructural adecuado y al uso de lógicas autotemporizadas. En los siguientes subapartados se describen el proceso de diseño y su aplicación a un circuito combinacional concreto, un multiplicador de 4x4 bits. En el apartado siguiente se presentan los resultados experimentales de una implementación en un ASIC de esta técnica y la comparación con un multiplicador de 4x4 bits realizado con una estructura y una lógica CMOS convencional.

### 5.4.1 Metodología de diseño

Como se vio en el apartado 3.4.5. el diseño de sistemas digitales mediante lógicas autotemporizadas presenta ventajas de cara a reducir el ruido de conmutación debido a la minimización de las transiciones simultáneas síncronas con la señal de reloj. En las lógicas autotemporizadas cada puerta de una cadena genera la señal de reloj para la siguiente una vez a completado su operación. Por otra parte, los circuitos CMOS convencionales puramente combinacionales de tamaño medio y grande presentan el problema de las transiciones espúreas y de variabilidad de la forma de onda de la corriente de conmutación, debido a que ésta depende de las entradas y de la función lógica de cada puerta. Una forma de reducir el ruido de conmutación consiste en controlar la forma de onda de la corriente durante el proceso de la información por un determinado bloque lógico. La propuesta que se presenta en este trabajo consiste en fijar esta forma de onda para que se aproxime a un trapecio. Cuando las entradas primarias cambian, se produce un flanco ascendente en la corriente (que en estática ha de ser nula, en contraposición con las lógicas de consumo constante vistas anteriormente). Una vez la corriente de conmutación alcanza su valor máximo se mantiene constante durante todo el tiempo de operación, sin altibajos, hasta que las salidas finales muestran el nuevo valor. En ese momento la corriente descende hasta volver a valer cero. De esta forma el ruido  $dI/dt$  sólo se produce al inicio y al final de la operación, disponiendo de un intervalo 'tranquilo' mientras ésta se está realizando. Para conseguir esta forma de onda trapezoidal en un circuito complejo se ha de poder controlar el consumo de cada puerta y la estructura del circuito ha de ser tal que las diferentes puertas vayan conmutando consecutivamente, siempre de la misma forma, como se ilustra esquemáticamente en la Figura 5-10(a). Esta estrategia de diseño se resume en las siguientes condiciones:

- El número de puertas que conmutan simultáneamente en un instante dado debe ser siempre el mismo.
- La forma y la amplitud de la forma de corriente de conmutación debe ser la misma para todas las puertas, independientemente del cambio en las entradas y de la función lógica de la puerta.



**Figura 5-10**

(a) Forma de onda ideal en forma de trapecio para la corriente de conmutación obtenida mediante la superposición temporal de la corriente de conmutación individual de cuatro puertas. (b) Limitadores de corriente en los terminales de alimentación y masa de un celda ECDL.

Estas dos condiciones no se satisfacen en general en un diseño CMOS convencional porque la conmutación de una puerta CMOS convencional depende del cambio en las entradas (i.e. un cambio en las entradas de una NAND CMOS desde 00 a 11 produce un pulso de corriente, mientras que un cambio desde 00 a 01 no). La amplitud del pulso de corriente depende del vector de entrada (i.e. en la misma puerta NAND de antes, la amplitud del pulso de corriente de conmutación producido por la transición de entrada de 00 a 11 es aproximadamente la mitad de la del producido por la transición de 01 a 11, como se demostró en el subapartado 2.1.1) y de la carga de salida. A partir de las condiciones anteriores se puede establecer un proceso de diseño que debería contemplar los siguientes aspectos:

1. El circuito lógico deberá ser lo más regular posible, añadiendo bloques redundantes o celdas de retardo para tener en cada instante y para cualquier condición de las entradas un mismo número de puertas que conmuten simultáneamente.
2. La alternativa lógica utilizada deberá demandar pulso de corriente de conmutación de aproximadamente la misma amplitud y duración independientemente de la transición de entrada y para cualquier función lógica.
2. El retardo de cada bloque o puerta de la estructura regular debe ser el mismo. Si es necesario se pueden subdividir los bloques grandes en sub-bloques más pequeños hasta conseguir la uniformidad espacial y temporal requerida para la estructura. Pueden insertarse celdas de retardo para compensar posibles no uniformidades.

#### 5.4.2 Ejemplo de diseño: multiplicador de 4×4 bits.

El diseño se basa en la lógica ECDL (*Enable/disable CMOS Differential Logic*) [24] ya que ésta satisface los puntos 2 y 3 del procedimiento de diseño esbozado en el subapartado anterior. Las puertas ECDL tienen un retardo intrínseco independiente del valor de las entradas y de la función lógica de la puerta [25]. La lógica ECDL es una lógica controlada por una señal de reloj (*clocked logic*) que establece las dos fases de funcionamiento de las puertas: en la fase de desactivación (*disable*) los dos nodos de salida se mantienen al mismo nivel y las entradas pueden cambiar; en la fase de activación (*enable*) la función lógica se evalúa y las salidas quedan fijadas a su valor por el *latch*. En una cadena de puertas ECDL el reloj para la siguiente puerta es generado por la puerta actual y la operación total del circuito se realiza de forma autotemporizada.

El criterio de diseño 1 queda satisfecho utilizando una estructura regular. La estructura de matriz del multiplicador binario queda explicada en [26]. El multiplicador de 4×4 bits está compuesto por una matriz de 3×4 celdas (ver Figura 5-12). Cada fila computa simultáneamente una suma parcial de dos números de 4 bits. El resultado se pasa a la siguiente fila que lo suma con un nuevo número de 4 bits formado por los productos parciales correspondientes. La señal de reloj se propaga también de una fila a la siguiente. Se utilizan dos tipos de celdas básicas. una celda externa, en los márgenes izquierdo y superior de la matriz, y una interna en el resto de celdas. Las funciones lógicas de las dos salidas de cada celda externa e interna calculan el valor

de la suma ( $S_{ext}$  y  $S_{int}$ ) y el acarreo ( $C_{ext}$  y  $C_{int}$ ) en función de las entradas. En las celdas externas las entradas son cuatro bits que se multiplican dos a dos y estos productos parciales se suman junto con un acarreo de entrada. En las celdas internas se suma el resultado del producto de dos bits de entrada con otro bit de entrada y el acarreo de entrada.

$$\begin{aligned}
 S_{ext} &= (a_i \cdot b_k) \oplus (a_j \cdot b_l) \oplus C_{in} & S_{int} &= (a_i \cdot b_k) \oplus (S_{in}) \oplus C_{in} \\
 C_{ext} &= (a_i \cdot b_k \cdot C_{in}) + (a_j \cdot b_l \cdot C_{in}) + (a_i \cdot b_k \cdot a_j \cdot b_l) & C_{int} &= (a_i \cdot b_k \cdot C_{in}) + (S_{in} \cdot C_{in}) + (a_i \cdot b_k \cdot S_{in})
 \end{aligned}$$

Ec. (5-4)

donde el símbolo  $\oplus$  significa una operación XOR,  $a_i, a_j, b_k, b_l$  son los bits de los operandos A y B de dos productos parciales diferentes, y  $C_{in}$  y  $S_{in}$  son los bits de acarreo y suma precedentes, respectivamente. En la Figura 5-11 se muestra el esquemático de una celda interna ECDL. La celda externa tiene la misma estructura pero con un árbol N ligeramente diferente. Debido a la estructura regular del multiplicador se tiene siempre tres celdas conmutando simultáneamente (en cada fila de la matriz), y se hay cuatro pulsos de conmutación consecutivos, uno por cada fila (ver Figura 5-13(b)). La última fila, sin embargo, propaga el acarreo y el reloj de forma horizontal desde el bit menos significativo (*lsb*) hacia el bit más significativo (*msb*), es decir, de O4 hasta O7. En esta fila final, en vez de tres pulsos de corriente simultáneos se tiene una superposición consecutiva de estos tres pulsos. Para un multiplicador mayor esta última suma parcial se realizaría con un *carry look-ahead adder*, es decir, un sumador que no propaga el acarreo. La estructura seguiría siendo regular y se cumplirían los criterios de diseño establecidos disminuyendo el retardo respecto al presente multiplicador.

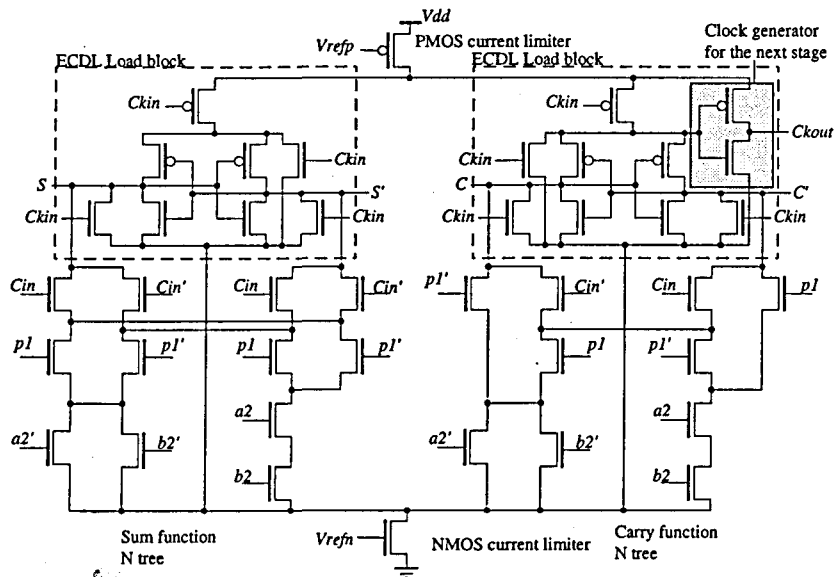


Figura 5-11

Esquemático de la celda interna ECDL del multiplicador. La celda consta de dos puertas ECDL que realizan la función suma (S) y acarreo (C) de dos bits ( $p1 + a2 \cdot b2$ ) más un acarreo de entrada ( $Cin$ ).



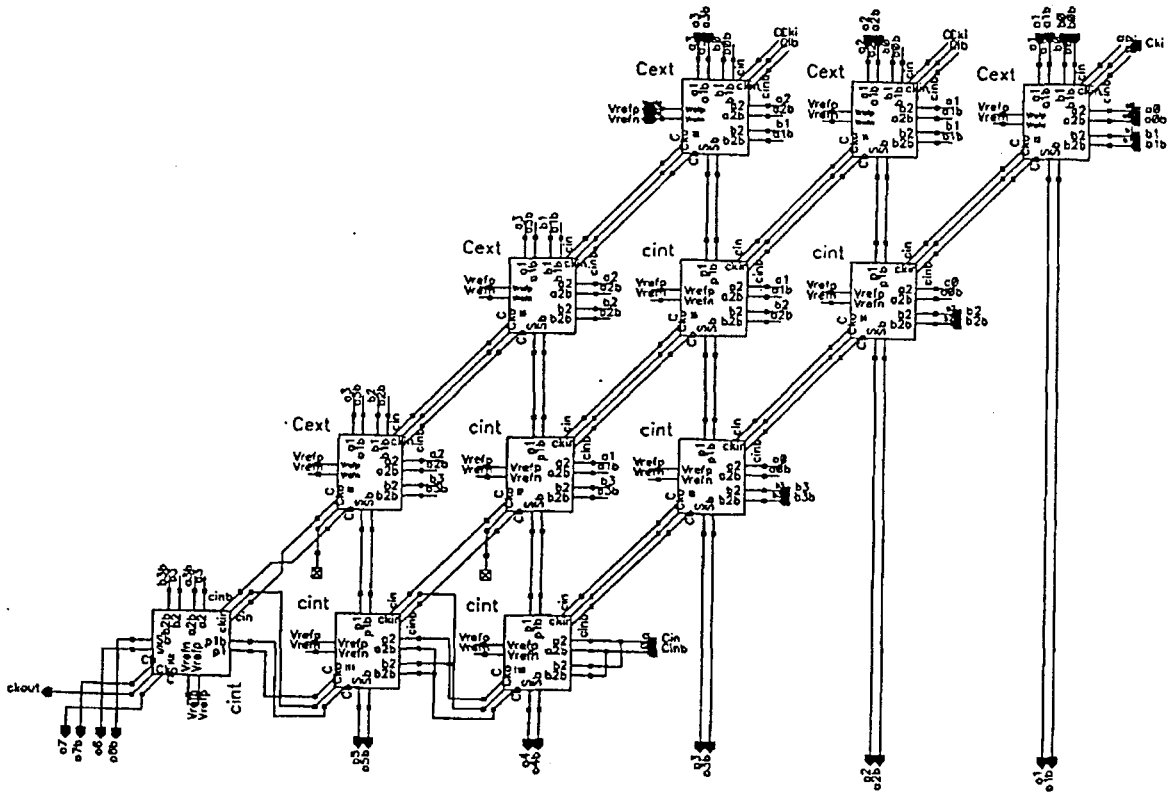


Figura 5-12 Estructura del multiplicador de 4x4 bits ECDL.

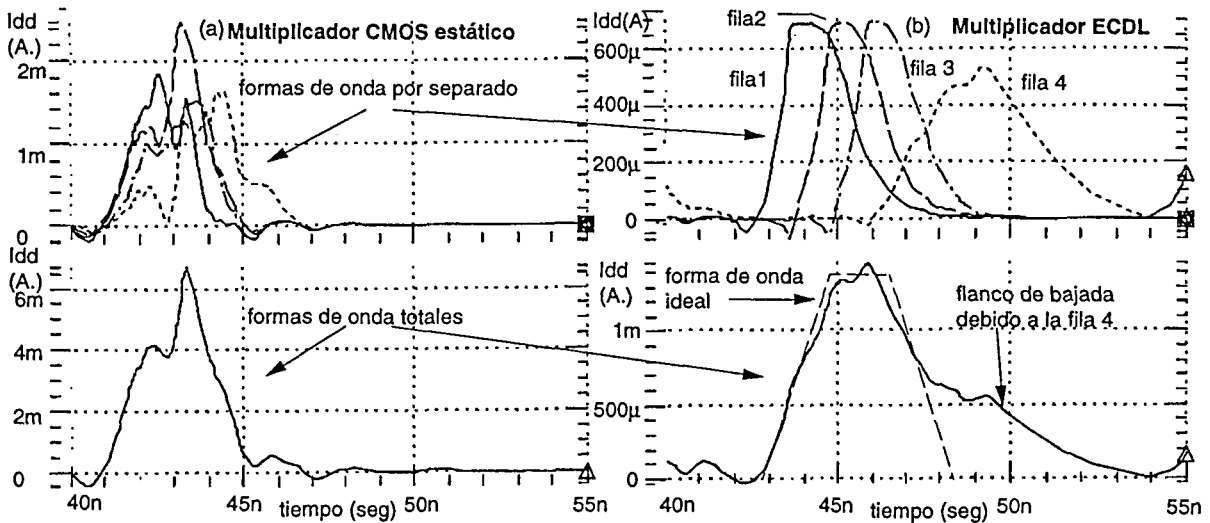


Figura 5-13 Formas de onda de la corriente de conmutación para el multiplicador de 4x4 bits ECDL y comparación con un multiplicador equivalente implementado mediante lógica CMOS convencional. Los vectores de entrada son los productos consecutivos  $0101 \times 1010 \rightarrow 1010 \times 0101$ . Los limitadores de corriente en el multiplicador ECDL se han situado a  $200 \mu A/celda$ .

Para satisfacer la condición b) del subpartado anterior se utilizan sendos transistores PMOS y NMOS, en serie con los terminales de alimentación  $V_{DD}$  y  $Gnd$  de cada celda (ver

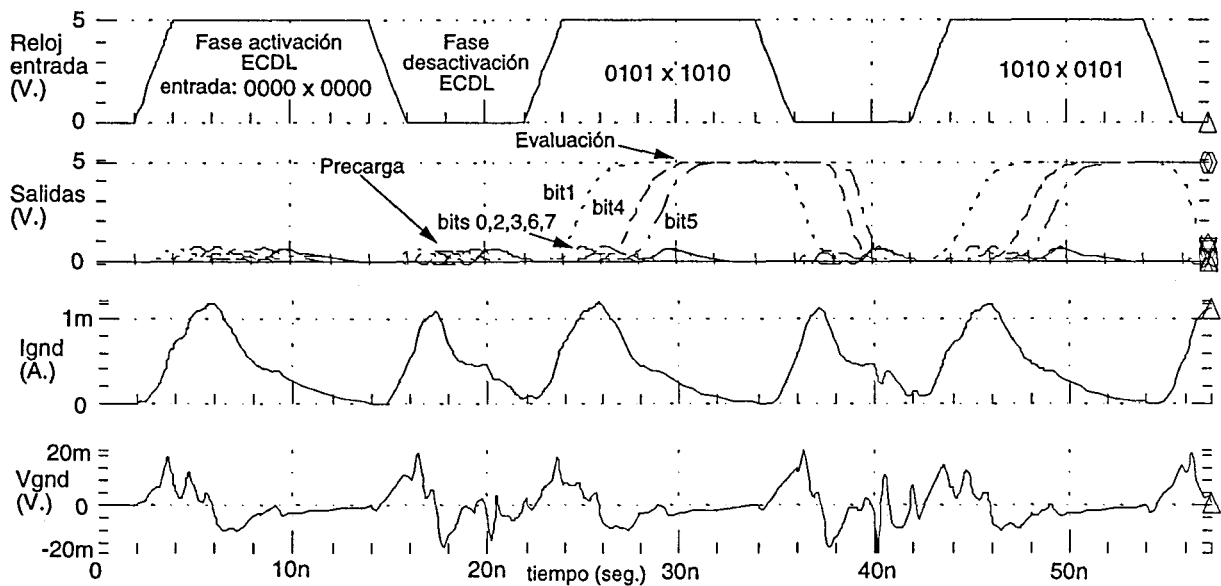
Figura 5-10(b)). La tensión de puerta de estos transistores se ajusta para limitar la corriente máxima proporcionada por la alimentación a cada celda. El funcionamiento autotemporizado del circuito favorece el solapamiento regular de los pulsos de corriente de conmutación de cada fila. Las simulaciones se han realizado utilizando una tecnología convencional CMOS de  $1.0\mu\text{m}$  [27] y los modelos para los dispositivos proporcionados por el fabricante para el simulador HSPICE. Los elementos parásitos del encapsulado se han modelado con un valor de inductancia  $20\text{nH}$  y una resistencia de  $0.1\Omega$ , típicos de encapsulados de tipo DIL (dos líneas de terminales en paralelo) [28]. Estos elementos parásitos se han insertado en serie entre la fuente de alimentación ideal y los terminales de  $V_{DD}$  y  $Gnd$  del circuito. El multiplicador se ha descrito a nivel de transistor, utilizando transistores NMOS de longitud mínima para los árboles lógicos de evaluación de las celdas ECDL. No se ha incluido los parásitos debido a las interconexiones al no disponer de información sobre el *layout* final del circuito.

### 5.4.3 Resultados y discusión

En la Figura 5-14 se muestran tres productos consecutivos ( $0000\times 0000 \rightarrow 0101\times 1010 \rightarrow 1010\times 0101$ ), incluyendo el reloj de entrada y las formas de onda de la corriente de conmutación y del ruido  $dI/dt$  generado en los terminales de alimentación ( $I_{gnd}$  y  $V_{gnd}$ , respectivamente). La Tabla 5-8 muestra las prestaciones del multiplicador ECDL, con un límite de corriente de aproximadamente  $200\mu\text{A/celda}$ . Estas prestaciones se comparan con las del mismo multiplicador sin limitadores de corriente y con un multiplicador con la misma estructura pero en el que las celdas se han implementado mediante lógica CMOS convencional a dos niveles. Estas puertas son inversores, y puertas NAND de 2, tres y cuatro entradas realizadas con transistores PMOS y NMOS de mínima longitud como se indica en [26]. Éste multiplicador CMOS convencional se ha descrito también a nivel de transistor sin considerar los parásitos de las interconexiones. Para realizar una comparación justa los tamaños de los transistores NMOS de los árboles lógicos de las celdas ECDL y los de las puertas CMOS convencionales son los mismos. Los transistores PMOS en las puertas CMOS convencionales tienen una anchura doble que los NMOS. El resto de transistores PMOS y NMOS dentro de las celdas ECDL (bloque de carga, generadores de las pre-cargas y los circuitos generadores del reloj,...) son más grandes que cualquier transistor del multiplicador CMOS convencional.

Según los resultados expuestos en la Tabla 5-8 el multiplicador ECDL con limitadores es el que claramente genera menos ruido de conmutación. La comparación con el multiplicador ECDL sin limitadores de corriente ilustra el compromiso entre velocidad y reducción de ruido de conmutación. El consumo de potencia de los tres multiplicadores ha sido medido a la máxima velocidad posible de cada uno de ellos para mostrar las prestaciones de su producto retardo $\times$ consumo. El retardo se ha medido entre los puntos en que las salidas más lentas y las entradas pasan por  $V_{DD}/2$ . El consumo ha sido calculado directamente por el simulador HSPICE como el promedio de la potencia proporcionada por la fuente de alimentación sobre varios ciclos de las entradas. También se ha medido el consumo de potencia a la misma frecuencia para todos los multiplicadores. En este caso, la separación entre dos vectores de entrada iguales es de  $33\text{ ns}$  y entre vectores consecutivos de  $33/2\text{ ns}$ . En el caso de los multiplicadores ECDL, que

están controlados por la señal de reloj, el periodo del reloj ha sido fijado a  $33/2$  ns, pues es necesario un ciclo completo de reloj para evaluar completamente cada vector de entrada. Se ha obtenido en ambos casos un consumo mayor para el multiplicador CMOS convencional. Este multiplicador tiene más transistores que los otros dos y además tiene un número mayor de transistores PMOS, que son mayores que los NMOS (el tipo de transistor dominante en los multiplicadores ECDL). Además, el multiplicador CMOS realiza conmutaciones espúreas o *glitches* durante la evaluación del producto que disipan potencia pero no contribuyen al resultado, mientras que la naturaleza autotemporizada de los multiplicadores ECDL evita esta posibilidad.



**Figura 5-14**

*Resultados de simulación para el multiplicador 4x4 ECDL con limitadores de corriente.*

Tipo multiplicador	Ruido pico $V_{DD}$ (mV)	Ruido pico Gnd (mV)	Retardo por fila (nseg)	Retardo total (nseg)	Consumo@ misma frec. (mW)	Consumo@ max frec. (mW)	Nº transistores (pmos+nmos)
ECDL + Limit.	25	20	1.35	7.29	2.684	2.49	99 + 427=526
ECDL	150	100	0.85	4.01	2.971	4.76	87 + 415=502
CMOS convenc.	408	500	-	4.73	5.27	12.90	297 + 297=594

**Tabla 5-8**

*Comparación de tres tipos de multiplicadores de 4x4 bits. Las medidas de consumo y de ruido se han realizado con una multiplicación consecutiva de 0000x0000 seguida de 1111x1111.*

La reducción en el ruido de conmutación se consigue gracias a una forma de onda de la corriente de conmutación total del circuito mucho más suave, comparada con la del multiplicador CMOS convencional. Esta corriente no es exactamente trapezoidal pero el retardo y la forma constantes de los pulsos de corriente individuales de cada celda y la estructura regular del

multiplicador ayudan a que la superposición de estos pulsos individuales se realice de forma óptima de cara a la reducción del ruido  $dI/dt$ . La eliminación del fenómeno del *glitching* también contribuye a reducir éste tipo de ruido. La penalización en el retardo introducida por la limitación de corriente es un compromiso de diseño. Si el límite de corriente/celda se aumenta, el retardo disminuye, teniendo como límite el del multiplicador ECDL sin limitadores, pero el ruido  $dI/dt$  aumenta. La velocidad del multiplicador CMOS convencional está limitada por su retardo total (4.73 ns). Sin embargo en los multiplicadores ECDL pueden introducirse datos de forma mucho más rápida, una vez las dos primeras fila han evaluado sus sumas parciales y generado el reloj para las filas siguientes. Esto representa, en el peor de los casos con los limitadores a  $200\mu A/celda$ , un total de 2.7 ns; una velocidad de operación mucho mayor que la del multiplicador CMOS convencional. Este tipo de estructuras, a las que ya nos referimos en el capítulo 3, se denominan *wave pipelines*. Dado que todas las operaciones se irían encadenando consecutivamente, mientras el multiplicador funcionase se generaría muy poco ruido de conmutación. Únicamente existiría un nivel más elevado al inicio y al final del ciclo de operaciones (en plural) debido a los flancos ascendente y descendente del pulso de corriente de consumo total. El funcionamiento autotemporizado de este tipo de estructuras permite eliminar registros y elementos de sincronización que contribuyen cuantiosamente al ruido de conmutación al incrementar la actividad simultánea en los flancos del reloj.

## 5.5 Resultados experimentales del multiplicador $4\times 4$ ECDL.

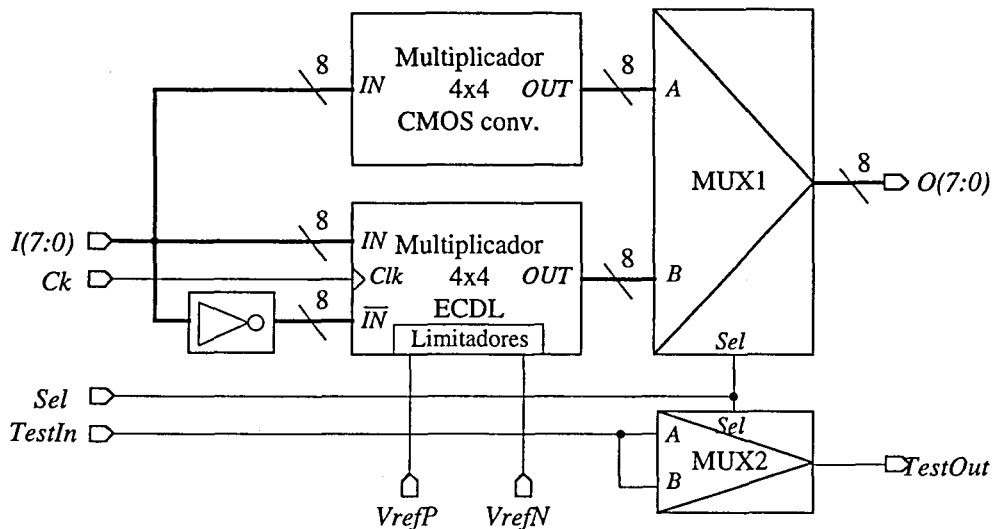
Los resultados obtenidos en el apartado anterior mediante simulaciones eléctricas han sido contrastadas con las medidas experimentales realizadas sobre un prototipo de CI en el que se ha incluido un multiplicador de  $4\times 4$  bits implementado mediante la técnica propuesta en el apartado anterior y otro equivalente con lógica CMOS convencional utilizando las celdas estándar de la tecnología escogida. En primer lugar describiremos las características del prototipo para presentar a continuación las medidas realizadas y comentar los resultados.

### 5.5.1 Descripción del prototipo

El CI integrado diseñado tiene por objetivos poder comparar las formas de onda de la corriente de conmutación en dos multiplicadores equivalentes, uno implementado con celdas estándar CMOS convencionales y el otro con celdas ECDL y limitadores de corriente. Para su diseño y fabricación se ha utilizado la tecnología CMOS de dos niveles de metal y uno de polisilicio de  $0.7\mu m$  de ES2 [29]. La tensión de alimentación de esta tecnología es de 5V.

El diagrama de bloques del prototipo fabricado se muestra en la Figura 5-15. Los dos multiplicadores comparten las mismas entradas. La parte alta de las entradas ( $I[7:4]$ ) corresponde a uno de los operandos de 4 bits y la parte baja ( $I[3:0]$ ) al otro. Debido a que el multiplicador ECDL necesita los valores de las entradas y su complemento se utiliza una batería de inversores (*NOTs*) para obtener la entrada negada. Los dos *buses* de salida de 8 bits de los multiplicadores, que contienen el resultado, se multiplexan para conectarse a un único bus de salida mediante el *MUX1*. Una entrada binaria, denominada *TestIn*, se conecta a las dos

entradas de otro multiplexor (*MUX2*) con la misma estructura que el anterior. La entrada de selección de ambos multiplexores es común (*Sel*). Mediante esta señal se puede seleccionar cual de los dos resultados, el del multiplicador CMOS convencional o el del ECDL, es accesible desde las salidas del CI. La salida de *MUX2* denominada *TestOut* también es accesible como salida del prototipo. Este segundo multiplexor se utiliza para medir el retardo del conjunto *driver* de entrada + multiplexor + *driver* de salida. De esta forma los retardos que midamos desde las entradas de los multiplicadores hasta las salidas, que incluyen el retardo *driver* de entrada + multiplicador (ECDL o CMOS) + multiplexor + *driver* de salida, podrán utilizarse para calcular los retardos internos de los multiplicadores, una vez restada la parte que no corresponde al propio multiplicador (retardo medido desde *TestIn* a *TestOut*).



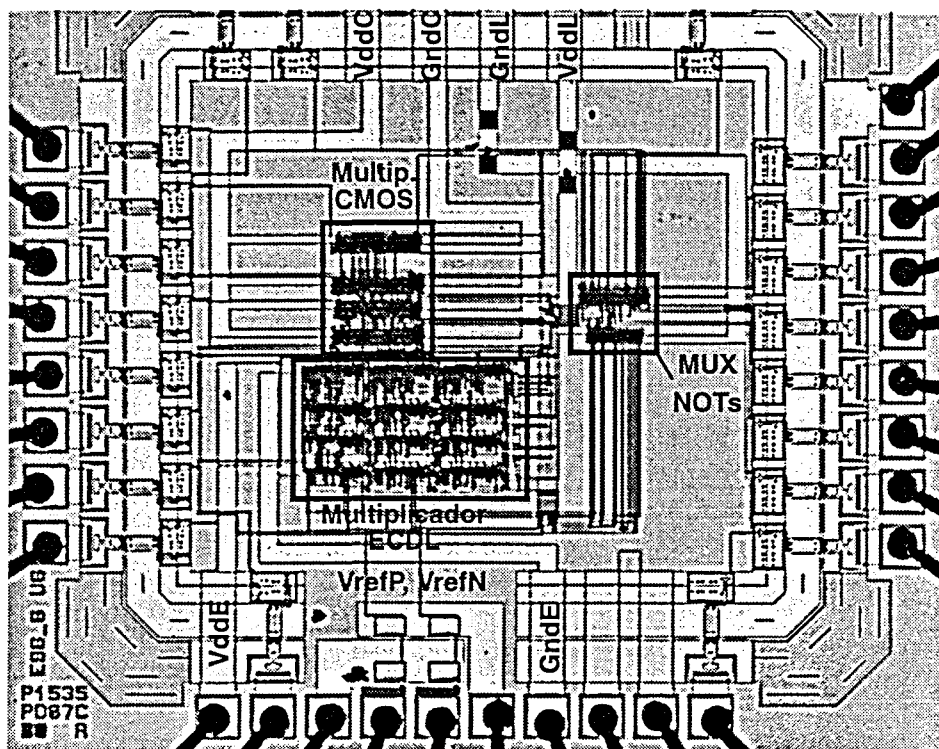
**Figura 5-15**

*Diagrama de bloques del prototipo de CI integrado fabricado conteniendo un multiplicador de 4x4 bits ECDL con limitadores de corriente y otro implementado con celdas estándar CMOS convencionales.*

El multiplicador ECDL tiene otras entradas adicionales. La señal de reloj (*Ckin*) controla el funcionamiento de la primera fila de celdas del multiplicador, como se explicó en el apartado anterior. Las tensiones *VrefP* y *VrefN* son dos entradas analógicas que establecen la polarización de los limitadores de corriente para todas las celdas del multiplicador. La tensión *VrefP* va conectada internamente a las puertas de los limitadores PMOS, y la tensión *VrefN* a las puertas de los limitadores NMOS. Aunque no se indica en el diagrama de bloques, las salidas complementarias del multiplicador ECDL van conectadas a un banco de inversores de forma que la carga de las salidas afirmadas (que van al multiplexor *MUX1*) y complementadas es la misma. Estos inversores tienen su salida flotante. Cada uno de los dos multiplicadores tiene un par de terminales de alimentación dedicados. La lógica adicional, como los multiplexores o los inversores, se alimenta con dos terminales propios. En la Figura 5-16 se muestra una fotografía del prototipo dónde se indican los diferentes bloques. A la izquierda del circuito se encuentran los *pads* de entrada, alimentados con los mismos terminales que la lógica adicional, y a la derecha los *pads* de salida, que son alimentados con otros dos terminales dedicados. En la parte superior se pueden ver los dos pares de terminales de alimentación, *VddC* y *GndC* para el multiplicador CMOS y *VddL* y *GndL* para la lógica adicional, y los *pads* de entrada. En la parte inferior tenemos entre los dos terminales de alimentación del multiplicador ECDL (*VddE* y

GndE) además de la entrada del reloj ( $C_{kin}$ ) un conjunto de cuatro pads analógicos utilizados para conectar las tensiones de referencia de los limitadores ( $V_{refP}$  y  $V_{refN}$ ). La Tabla 5-9 muestra todos los terminales del prototipo y su función.

El diseño del prototipo se ha realizado con el entorno DFW2 de Cadence [30] utilizando el *kit* de diseño que el fabricante, ES2, proporciona. El multiplicador CMOS, la lógica adicional (multiplexores e inversores) y los *pads* de entrada y salida digitales se han realizado con celdas estándar de las librerías del fabricante. El multiplicador ECDL ha sido diseñado a nivel de máscaras, realizando el *layout* de las dos celdas, la externa y la interna, y después interconectándolas entre si. El interconexionado global entre los diferentes bloques y las entradas y salidas y las alimentaciones se ha realizado en una primera fase de forma automática, retocándose posteriormente el trazado de las alimentaciones para conseguir separar las alimentaciones de la lógica adicional, de las entradas y las salidas y de los dos multiplicadores. Los diferentes esquemáticos del prototipo y algunos *layouts* de las celdas del multiplicador ECDL pueden consultarse en el apéndice A de esta memoria de tesis.



**Figura 5-16**

*Microfotografía del prototipo fabricado indicando el multiplicador CMOS, el multiplicador ECDL, la lógica adicional y algunos terminales de alimentación.*

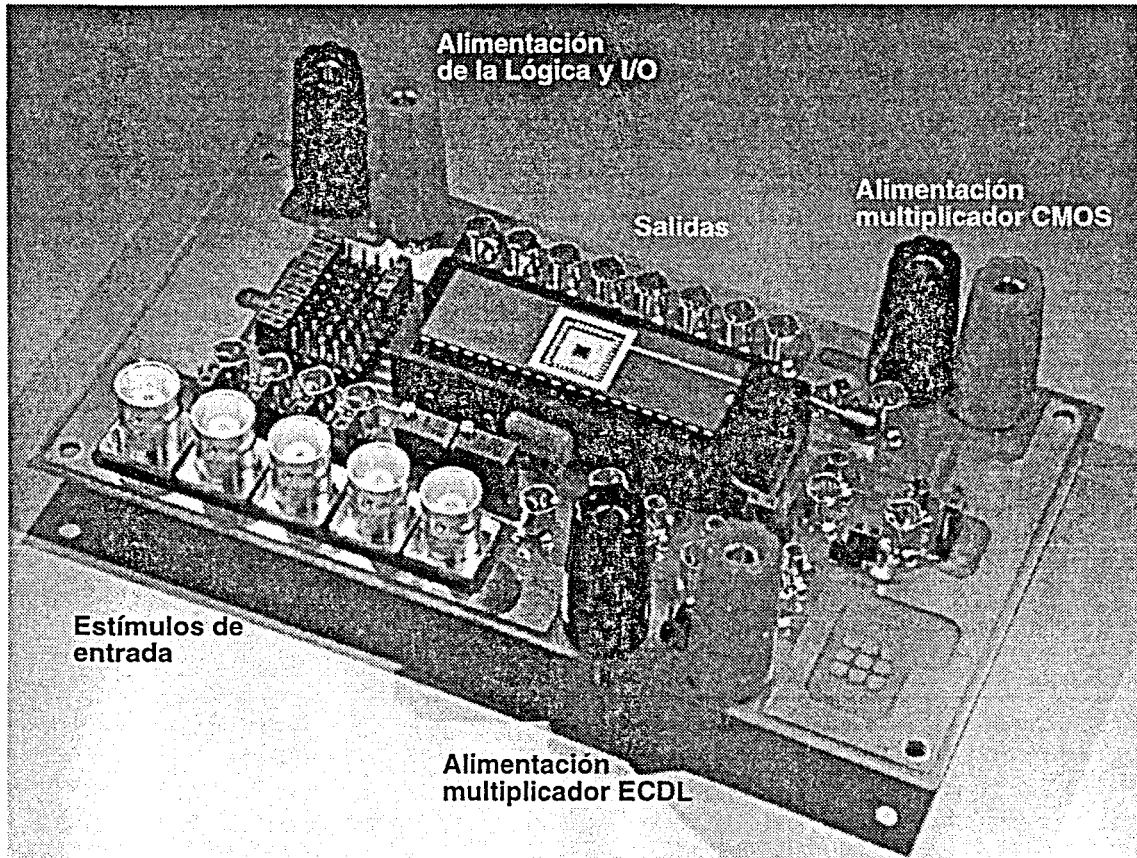
El prototipo fabricado se ha encapsulado con un DIL (*dual in line*) cerámico de 40 terminales. Para realizar las medidas e introducir los estímulos en las entradas se ha diseñado una placa de circuito impreso a doble cara (Figura 5-17). En esta placa se ha colocado un zócalo para alojar el prototipo, una serie de conectores BNC para las señales de entrada y terminales de baja inductancia de tierra para conectar sondas Tektronix dinámicas de elevado ancho de banda (P6205 de 750MHz y P604 de 1GHz) [31]. Estas sondas se han utilizado para medir las formas

de onda de las entradas y de las salidas. La placa dispone de tres pares de terminales de alimentación. El primero es permanente y se utiliza para alimentar la lógica interna adicional del prototipo, los *pads* de entrada analógicos, los *pads* de salida y todas las tensiones necesarias en la placa de circuito impreso. Los otros dos pares de terminales de la placa se utilizan para alimentar o bien al multiplicador ECDL o bien al multiplicador CMOS. La tensión positiva de estos dos pares de terminales se conecta al prototipo a través de un cable extraíble. Este cable se hace pasar por el orificio de una sonda de corriente Tektronix CT-1 de 1GHz de ancho de banda para medir la corriente de alimentación de cada uno de los multiplicadores. Únicamente se alimenta uno de los dos multiplicadores dejando al otro sin tensión al realizar las medidas, para minimizar las interferencias mutuas. Los estímulos de entrada los proporciona el generador Tektronix HFS 9003 Stimulus System, y las medidas se realizan con un osciloscopio digital de gran ancho de banda, el DSA 602A Digitizing Signal Analyzer de Tektronix.

Nº. terminal	Entradas	Función
4, 3, 2, 1	$I[7:4]$	Multiplicando
40, 39, 38, 37	$I[3:0]$	Multiplicador
7	$Ckin$	Reloj del mult. ECDL
9, 10	$VrefP, VrefN$	Referencias de los limitadores (entradas analógicas)
27	$Sel$	Selección de la salida ('1': Mult. CMOS, '0': Mult. ECDL)
33	$TestIn$	Medida de retardos entrada→mux→salida
34	$Cero$	Entrada constante conectada a '0' permanentemente
	Salidas	
del 24 al 17	$O[7:0]$	Resultado de la multiplicación
15	$TestOut$	Medida de retardos entrada→mux→salida
	Alimentaciones	Bloques alimentados
6, 12	$VddE, GndE$	Multiplicador ECDL
8, 11	$VddA, GndA$	<i>Pads</i> de entrada analógicos ( $VrefP$ y $VrefN$ )
28, 25	$VddP, GndP$	<i>Pads</i> de salida digitales
29, 30	$VddL, GndL$	<i>Pads</i> de entrada digitales y lógica adicional
32, 31	$VddC, GndC$	Multiplicador CMOS convencional

**Tabla 5-9**

*Entradas y salidas del prototipo, función y número de terminal correspondiente del encapsulado.*



**Figura 5-17**

*Fotografía de la placa del circuito impreso utilizado para realizar las medidas con el prototipo.*

## 5.5.2 Medidas sobre el prototipo

### 5.5.2.1 Limitadores de corriente

Antes de proceder a las medidas se han realizado una serie de simulaciones para determinar los valores que deben tomar las tensiones de referencia  $V_{refP}$  y  $V_{refN}$  para fijar los límites de corriente que se desean. Para ello se ha aislado el *layout* de una celda interna y se ha extraído el circuito eléctrico, incluyendo las capacidades parásitas de las interconexiones. El fichero obtenido se ha utilizado para realizar una simulación transitoria con HSPICE en la que se ha variado de forma paramétrica, primero la tensión  $V_{refP}$ , con  $V_{refN}$  fija a 5 voltios, y después se ha variado  $V_{refN}$  dejando fija  $V_{refP}$  a 0 voltios. En el primer caso se ha medido el máximo de la corriente de conmutación en la transición de '1' a '0' del reloj y en el segundo en la transición de '0' a '1' (ver Figura 5-18). Los límites para un funcionamiento correcto de la celda para  $V_{refP}$  son de 0 a 3 voltios y para  $V_{refN}$  de 5 a 2 voltios. La Figura 5-19 muestra los resultados obtenidos. Ésta figura nos permite seleccionar los niveles necesarios para las tensiones de referencia de los limitadores para un límite de corriente/celda establecido.



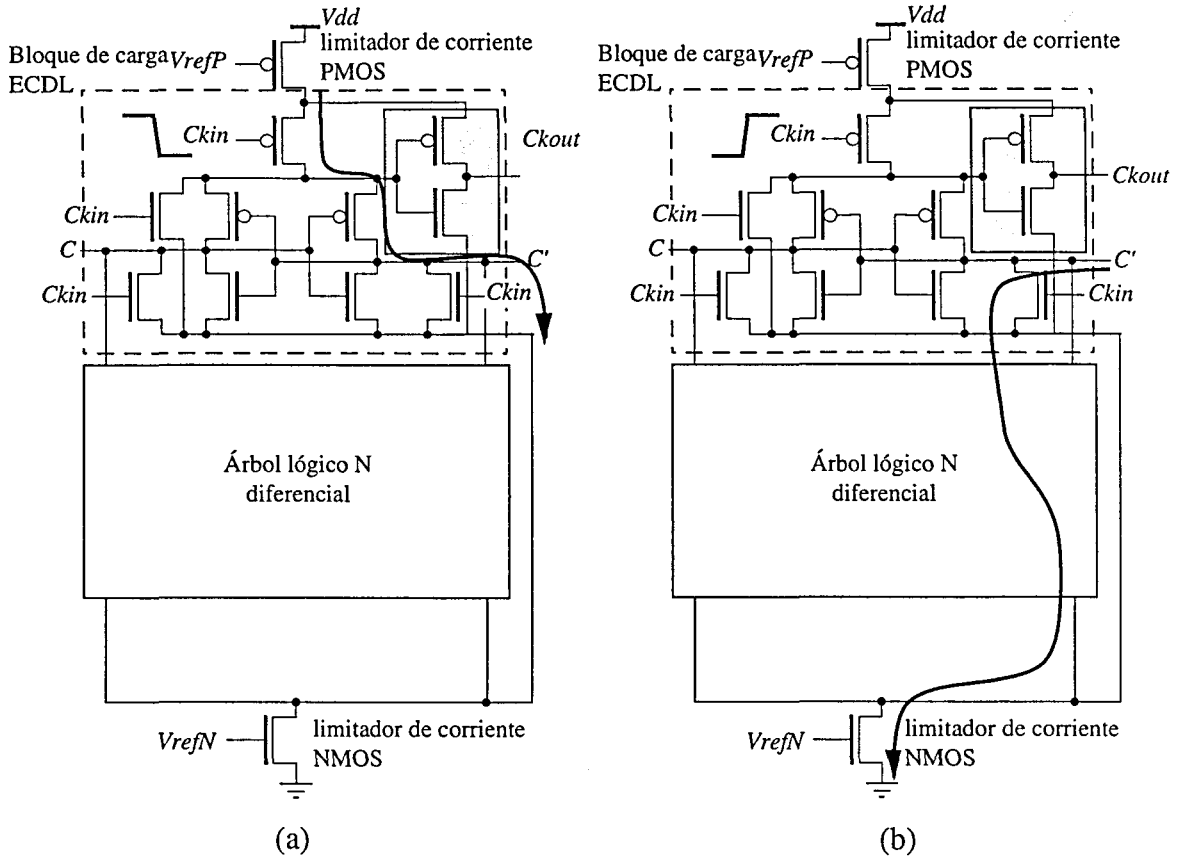


Figura 5-18

Corrientes de carga y descarga de una celda ECDL (a) para una transición del reloj de '1' a '0' y (b) para una transición del reloj de '0' a '1'.

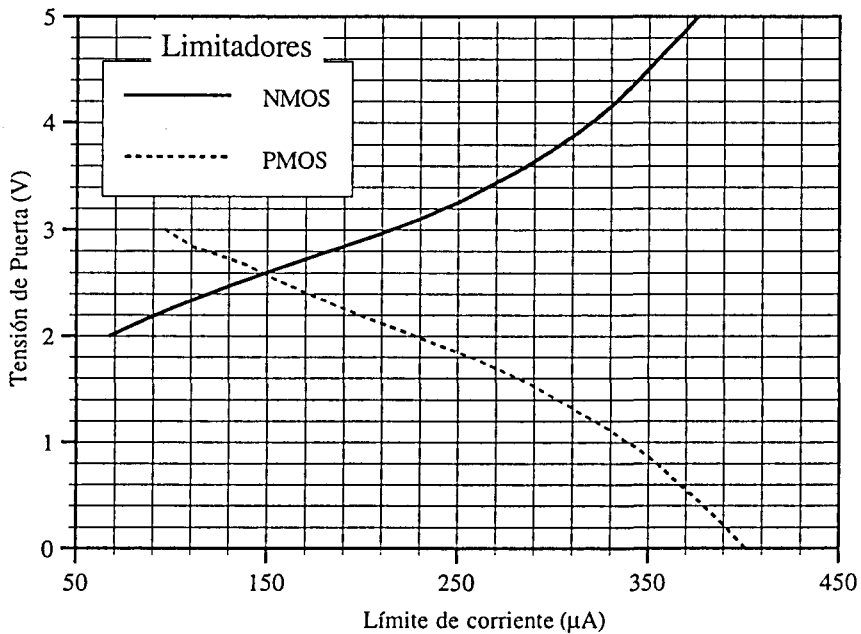


Figura 5-19

Relación entre las tensiones de referencia de los limitadores PMOS y NMOS ( $V_{refP}$  y  $V_{refN}$ , respectivamente) y la corriente máxima.

### 5.5.2.2 Multiplicador CMOS

La Figura 5-20 muestra las formas de onda de alguna de las salidas para una repetición cíclica de las entradas del producto  $1111 \times 1111 \rightarrow 1111 \times 1101 \rightarrow 1111 \times 1111 \rightarrow \dots$ . Puede observarse como alguna de las salidas, OUT(2), OUT(3) y OUT(4), presentan *glitches* antes de estabilizarse en su valor correcto. En esta gráfica puede verse también la forma de onda de la corriente de alimentación exclusiva del multiplicador. Para realizar esta medida se ha colocado la sonda de corriente Tektronix CT-1 de 1GHz de ancho de banda alrededor del cable que une el terminal positivo de la fuente de alimentación con el terminal de alimentación del multiplicador CMOS ( $V_{ddC}$ ) del prototipo. La escala de la forma de onda de la corriente en la figura es de 4mA/división. En la Tabla 5-10 se muestran los retardos de propagación medidos entre las salidas, una vez restado el retardo entre la salida *TestOut* y la entrada *TestIn*. Al calcularse de este modo estos tiempos de propagación corresponden al retardo entre entradas y salidas internas del multiplicador CMOS. Se han realizado varias medidas con diferentes combinaciones de entrada, tal y como se indica en la tabla.

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 16-MAY-97 time: 19:21:18

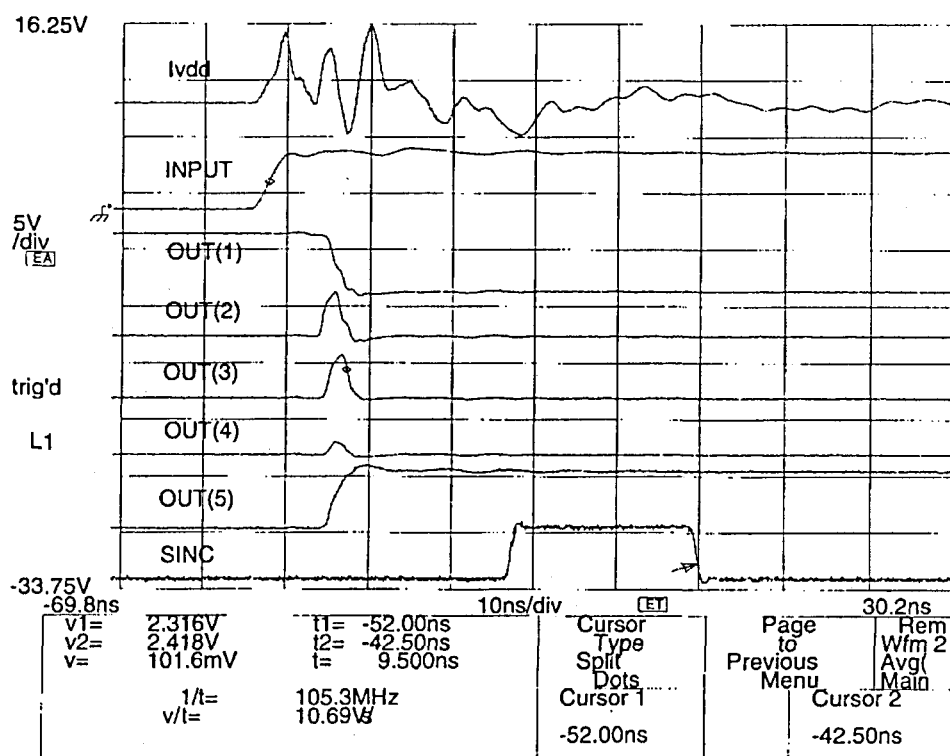


Figura 5-20

Evolución de las salidas del multiplicador CMOS convencional para una combinación de entradas cíclica  $1111 \times 1111 \rightarrow 1111 \times 1101 \rightarrow 1111 \times 1111 \rightarrow \dots$ . La curva superior corresponde a la corriente de conmutación con una amplificación vertical de 4 mA/división.

En cuanto a la forma de onda de la corriente puede apreciarse como presenta varios picos y valles de varios miliamperios de amplitud. La mayor pendiente observada para esta

combinación es de 1.54 A/ $\mu$ s. Esta  $dI/dt$  sobre una inductancia de valor 10 nH produciría un pulso de ruido de 15.44 mV de amplitud.

Entrada →	1111	1111	1111	1111	1111	1111
Salidas ↓	$\times$ 0101 → $\times$ 1111	$\times$ 1111 → $\times$ 0101	$\times$ 1101 → $\times$ 1111			
	01001011	11100001	11100001	01001011	11000011	11100001
O(0)	—	—	—	—	—	—
O(1)	2.73 nseg	2.01 nseg	2.01 nseg	2.73 nseg	2.5 ns	2.5 ns
O(2)	—	—	—	—	3.2 ns (*)	3.2 ns (*)
O(3)	4.32 nseg	4.68 nseg	4.68 nseg	4.32 nseg	4.2 ns (*)	4.2 ns (*)
O(4)	—	—	—	—	—	—
O(5)	3.83 nseg	4.18 nseg	4.18 nseg	3.83 nseg	2.7 ns	2.7 ns
O(6)	—	—	—	—	—	—
O(7)	1.4 nseg	3.68 nseg	3.68 nseg	1.4 nseg	—	—

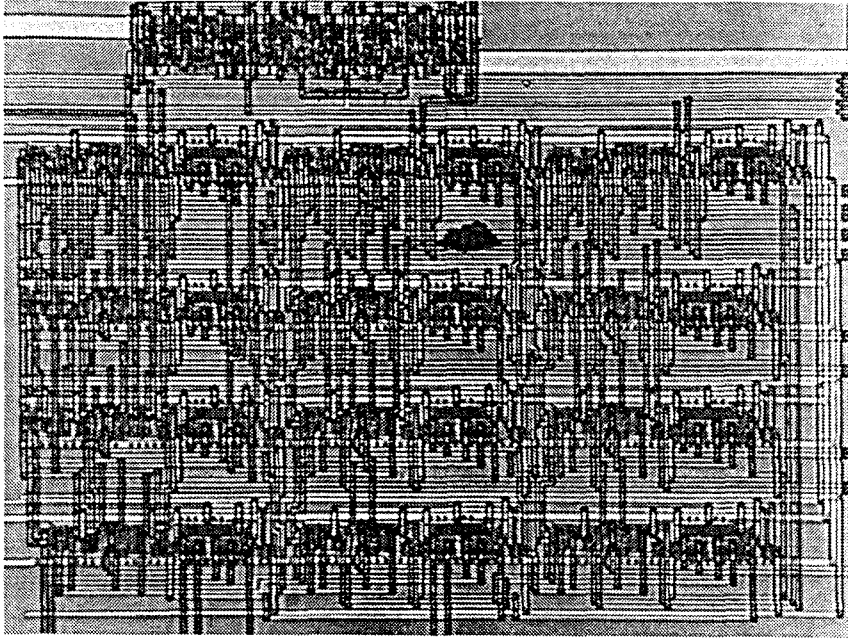
**Tabla 5-10**

*Retardos de propagación internos del multiplicador CMOS medidos para algunas combinaciones de entrada. Los valores marcados con (\*) corresponden al retardo entre la entrada y el cambio espúreo de la salida (glitch).*

### 5.5.2.3 Multiplicador ECDL

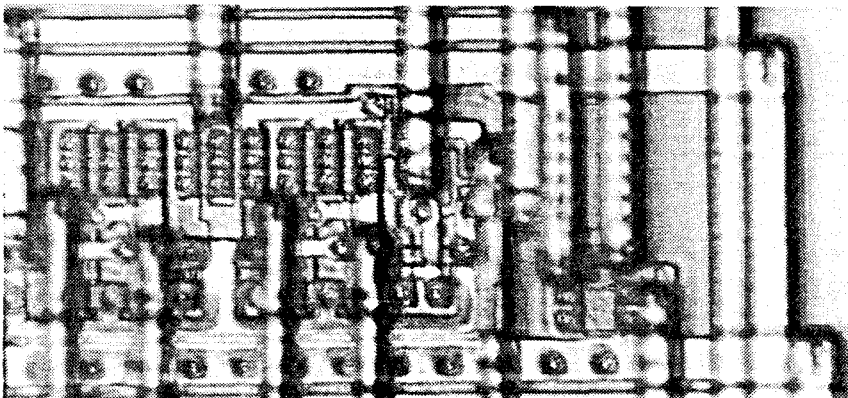
La Figura 5-21 muestra el multiplicador de 4×4 bits implementado con lógica ECDL y limitadores de corriente integrado en el prototipo fabricado. Las dos celdas utilizadas y el interconexión se ha diseñado de forma manual sin técnicas de compactación del *layout*. Esta es la razón de que su área sea mayor que la del multiplicador CMOS, a pesar de contener menos transistores y más pequeños (la mayoría de tipo NMOS de dimensiones mínimas). El multiplicador CMOS se ha realizado con celdas estándar de la librería, muchos más optimizadas en cuanto a área y el interconexión se ha realizado de forma automática. La estructura física del multiplicador ECDL coincide con la estructura lógica. El *layout* está compuesto de cuatro filas con tres celdas cada una.

Las celdas externas e internas sólo se diferencian en la estructura del árbol N diferencial. Cada celda (sea del tipo que sea) está compuesta de dos bloques de carga, que incluyen los transistores de precarga y el *latch* y de dos árboles N que implementan las funciones suma y acarreo de salida (Figura 5-22). Como puede observarse en la figura, la mayor parte del área de este multiplicador la ocupan las interconexiones, debido a que todas las señales son diferenciales. La Figura 5-23 muestra las formas de onda medidas sobre el prototipo de la entrada de reloj y alguna de las salidas cuando se realiza de forma cíclica la multiplicación 1001×1110. El bit de salida O(0) es común a ambos multiplicadores y consiste únicamente en una puerta AND entre I(0) y I(4). Los bits de entrada se fijan a valores constantes ('0' o '1') según sea la combinación. La señal de reloj (*Ckin*) es la misma que se utiliza para medir el retardo entre *TestIn* y *TestOut*.

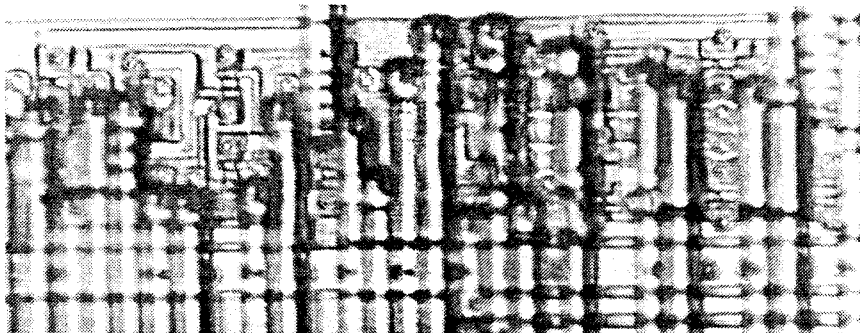


**Figura 5-21**

*Multiplicador ECDL integrado en el prototipo. En la parte superior puede apreciarse también la última fila del multiplicador CMOS.*



(a)



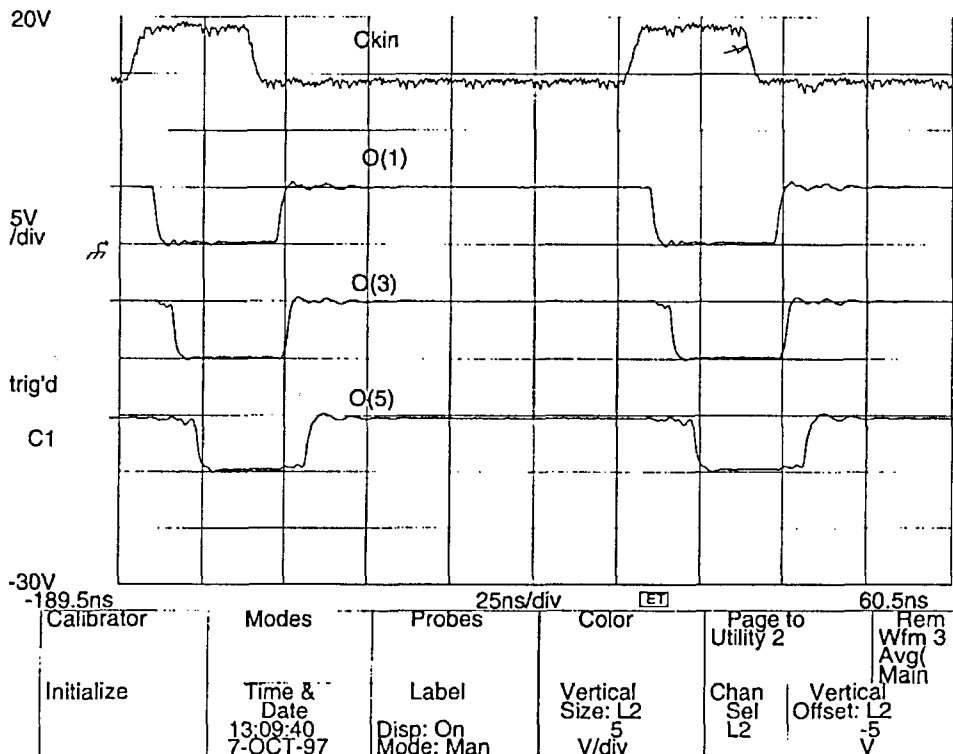
(b)

**Figura 5-22**

*Detalles de una celda externa del multiplicador ECDL: (a) Bloques de carga y (b) árboles N de la función suma y acarreo de salida.*

El funcionamiento del multiplicador ECDL está controlado por la señal de reloj ( $C_{kin}$ ). Los retardos se han medido desde los flancos del reloj hasta los cambios en las salidas. Cada una de las dos fases impuestas por el reloj lleva asociados retardos diferentes. Cuando  $C_{kin}$  realiza una transición de '0' a '1', pasando de la fase de activación a la de desactivación, las dos salidas se conectan a Gnd a través de sendos transistores NMOS en cada celda. Una vez las celdas de la primera fila han realizado esta precarga, generan la orden para la siguiente fila y así consecutivamente. La transición de  $C_{kin}$  de '1' a '0' activa el *latch* y una de las dos ramas del árbol N genera la evaluación de la función lógica, quedando una de las salidas a nivel bajo y conmutando la otra a nivel alto. Esta fase de activación también se va propagando de una fila a la siguiente de forma autotemporizada. Se llamará al primer tiempo de propagación el retardo de desactivación y al segundo, el retardo de activación. La Tabla 5-11 muestra estos retardos medidos sobre el prototipo, una vez descontado el retardo medido entre *TestIn* y *TestOut*. De esta forma los retardos presentados corresponden al tiempo de propagación entre las entradas y las salidas internas del multiplicador ECDL. Los resultados de esta tabla se han obtenido con los limitadores al máximo, es decir, con  $V_{refP}$  fijado a 0 voltios y  $V_{refN}$  fijado a 5 voltios.

DSA 602A DIGITIZING SIGNAL ANALYZER  
 date: 7-OCT-97 time: 13:09:41



**Figura 5-23**

*Evolución de las salidas del multiplicador ECDL para una entrada fija 1001×1110. Sólo se han incluido alguna de las salidas.  $O(7) = O(0) = '0'$ . El resto,  $O(2)$  y  $O(5)$ , tienen la misma forma que las mostradas en la figura, pero con su correspondiente retardo.*

En la Tabla 5-11 puede observarse como, al contrario que en el multiplicador CMOS donde el mayor retardo se encontraba (para las combinaciones probadas) en los bits de salida

centrales del resultado (O(3) y O(4)), en el multiplicador ECDL los bits de salida de mayor peso son los más lentos, debido al funcionamiento autotemporizado. En la fase de desactivación se observa una mayor regularidad en el retardo, con un incremento de algo menos de 3 ns de bit a bit, aunque los de mayor peso conmutan prácticamente a la vez. Esto es debido a que las salidas O(7) y O(6) son las salidas suma y acarreo de la misma celda, la última en conmutar de toda la estructura. Las demás pertenecen todas a filas diferentes (O(1) a la 1ª, O(2) a la 2ª, O(3) a la 3ª y O(4), O(5), O(6) y O(7) a la 4ª). Los tres últimos bits de salida aunque pertenecen a la misma fila aparecen decalados temporalmente debido a que tanto el acarreo como el reloj se propagan de O(4) a O(5) y de ésta a O(6) y O(7). Los retardos totales son, como ya esperábamos, mayores que los del multiplicador CMOS. En el prototipo fabricado las diferencias entre el retardo por fila del multiplicador ECDL (aproximadamente 3 nseg) y el retardo total del multiplicador CMOS (4.38 ns en el peor caso analizado) no son tan grandes como se observaron en las simulaciones del apartado anterior. Esto es debido, sobre todo, a la influencia del interconexión que no se tuvo en cuenta entonces, y que como puede observarse en las fotografías anteriores, está mucho mejor optimizado en el caso del multiplicador CMOS que en del multiplicador ECDL.

Entradas →	$Ckin\uparrow$	$Ckin\downarrow$	1111	$Ckin\uparrow$	$Ckin\downarrow$	1001
	Salidas a '0'		$\times$ 1101	Salidas a '0'		$\times$ 1110
			11000011			01111110
Salida ↓	Retardo de desactivación	Retardo de activación	Retardo de desactivación	Retardo de activación		
O(1)	3.5 nseg	5.2 nseg	3.7 nseg	5.4 nseg		
O(2)	—	—	5.8 nseg	5.9 nseg		
O(3)	—	—	8.8 nseg	7.3 nseg		
O(4)	—	—	11.6 nseg	9.3 nseg		
O(5)	—	—	15.8 nseg	12.9 nseg		
O(6)	18.6 nseg	16.2 nseg	19.5 nseg	16.0 nseg		
O(7)	18.9 nseg	16.0 nseg	—	—		

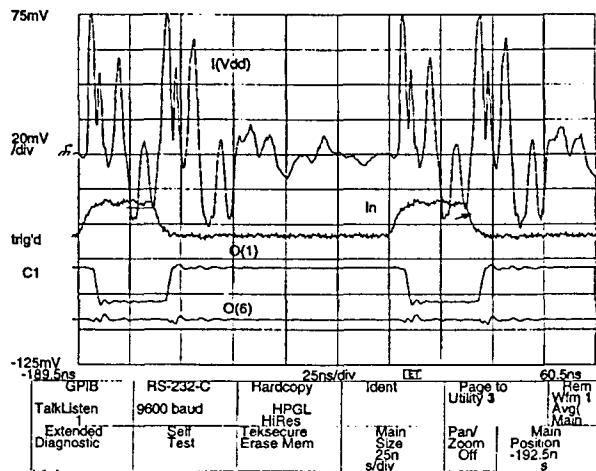
**Tabla 5-11**

*Retardos de propagación entre la señal de reloj Ckin y las salidas para las fases de desactivación y activación para dos combinaciones distintas de las entradas.*

La Figura 5-24 muestra una comparación entre la corriente de alimentación de los dos multiplicadores. La medida se ha realizado con la sonda de corriente Tektronix CT-1, arrollando tres vueltas de hilo por el orificio de la sonda. Dado que la sensibilidad de dicha sonda es de 5mV por mA y debido a las tres vueltas de hilo, la lectura de tensión de la gráficas debe dividirse por 15 mV/mA para convertirlas en corriente. De esta forma se puede medir el valor pico a pico de la corriente para el multiplicador CMOS, que es de 8.1mA, y compararlo con el multiplicador ECDL, que presenta un valor de 3.4mA de pico a pico. La corriente de conmutación del multiplicador CMOS presenta numerosos altibajos, debido a los *glitches*, mientras que la del multiplicador ECDL es mucho más uniforme, de forma muy similar a como se mostró en las simulaciones. La pendiente más pronunciada en la corriente de conmutación

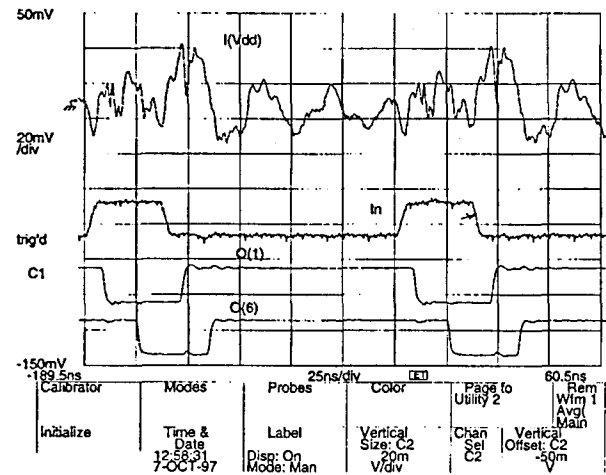
para el multiplicador CMOS y el ECDL es de  $1.37 \cdot 10^6$  A/s y  $0.46 \cdot 10^6$  A/seg, respectivamente. Si se hace circular esta corriente sobre un inductor de 10nH el ruido  $dI/dt$  generado será de 13.7 mV para el multiplicador CMOS y 4.59 mV para el multiplicador ECDL. Esto representa aproximadamente un tercio de ruido de conmutación menos en el multiplicador ECDL. Estas medidas deben tomarse de forma indicativa y son válidas sólo a nivel comparativo dado que se refieren a un caso particular y la medida de corriente se ha limitado a un ancho de banda de 1GHz, debido al instrumental de medida disponible.

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 7-OCT-97 time: 12:53:50



(a)

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 7-OCT-97 time: 12:58:31



(b)

Figura 5-24

Comparación de la corriente de conmutación de los dos multiplicadores. (a) Multiplicador CMOS convencional con la combinación de entradas cíclica  $1111 \times 1111 \rightarrow 1101 \times 0110$ . (b) Multiplicador ECDL con la combinación de entradas fija  $1101 \times 0110$  y  $V_{refP} = 0$  V,  $V_{refN} = 5$  V. Eje vertical de las gráficas de corriente: 1.33mA/división.

Límite de corriente por celda	Retardo de activación entre $C_{kin} \downarrow$ y $O(6)$	Valor pico a pico de la corriente de conmutación
Máximo (370 $\mu$ A)	18.9 nseg	4.6 mA
200 $\mu$ A	23.0 nseg	3.3 mA
150 $\mu$ A	28.6 nseg	2.7 mA
100 $\mu$ A	45.1 nseg	3.0 mA

Tabla 5-12

Efecto de los limitadores de corriente en el retardo y la corriente de conmutación para el multiplicador ECDL. La combinación de entradas utilizada para la medida es  $1111 \times 1111$ .

El efecto de los limitadores de corriente puede observarse en dos magnitudes relevantes: la corriente de conmutación y el retardo. Al limitarse la corriente a cada celda del multiplicador ECDL la velocidad con la que pueden conmutarse las salidas queda disminuida. Del mismo modo los pulsos de corriente de conmutación se hacen más bajos y más anchos. La Tabla 5-12 muestra el retardo medido sobre la salida O(6) o O(7) (ambas son equivalentes y las más lentas) y la amplitud pico a pico del pulso de corriente de conmutación, para varios límites de corriente.

Éstos límites se han fijado a través de las tensiones  $V_{refP}$  y  $V_{refN}$ , según la Figura 5-19, de forma que el límite fijado por el PMOS coincida con el del NMOS.

#### 5.5.2.4 Análisis de los resultados

Los resultados experimentales concuerdan con las simulaciones. Se ha demostrado el funcionamiento de la nueva técnica propuesta, basada en un procedimiento de diseño que conduce a obtener estructuras regulares basadas en lógicas autotemporizadas y de consumo y retardo independientes de la función lógica. Los resultados numéricos no pueden compararse directamente, dado que las simulaciones se han realizado con una tecnología de  $1\ \mu\text{m}$  (ECPD10) al no estar disponible otra tecnología de menores dimensiones en el momento en el que se realizaron los primeros diseños y los prototipos se han diseñado y fabricado con otra de  $0.7\ \mu\text{m}$  (ECPC07). No obstante las comparaciones se realizan siempre dentro de la misma tecnología entre los circuitos CMOS convencionales y los diseñados con esta nueva estrategia. El retardo encontrado por simulación para el multiplicador CMOS convencional es mayor que el del multiplicador CMOS fabricado, como cabe esperar debido al escalado tecnológico. La diferencia no es muy grande debido a que en la simulación no se han tenido en cuenta los efectos de las capacidades parásitas de las interconexiones. Para el multiplicador ECDL estos efectos son tan importantes que el escalado tecnológico no es suficiente para compensar el incremento de retardo debido a las interconexiones. Así, el multiplicador ECDL implementado con tecnología de  $1\ \mu\text{m}$  presentaba un retardo por fila de  $1.35\ \text{ns}$  y total de  $4.01\ \text{ns}$ , mientras que para la versión fabricada en tecnología de  $0.7\ \mu\text{m}$  éstos retardos son de  $3\ \text{ns}$  y  $16\ \text{ns}$ , en la fase de activación y para  $V_{refP} = 0\ \text{V}$  y  $V_{refN} = 5\ \text{V}$ , en ambos casos. Una optimización del *layout* del multiplicador ECDL y una mejor distribución de las líneas de interconexión reduciría estos retardos y quede propuesto como trabajo futuro.

La reducción del límite de corriente por celda tiene un efecto negativo en el incremento del retardo y para valores no muy pequeños de corriente, disminuye aún más la amplitud de los pulsos de corriente y por tanto el ruido  $dI/dt$ . Sin embargo, llevar estos límites a valores de corriente reducidos no aporta ningún beneficio respecto a la reducción del ruido y sí aumenta considerablemente los retardos de propagación, como puede apreciarse para los valores correspondientes a los límites de  $150$  y  $100\ \mu\text{A}$  / celda en la Tabla 5-12.

Los resultados globales obtenidos tanto por simulación como a través de las medidas de los prototipos fabricados confirman la utilidad de la técnica de diseño propuesta de cara a reducir el ruido de conmutación y demuestran la utilidad que los circuitos autotemporizados suponen de cara a un diseño de bajo ruido.



## 5.6 Conclusiones

En este capítulo se han tratado dos técnicas de diseño con el objetivo de minimizar la generación del ruido de conmutación. Ambas se centran en moldear la forma de onda de la corriente generada por los circuitos combinatoriales al conmutar. Si se logran reducir las pendientes de estas corrientes de conmutación se consigue reducir la  $dI/dt$ , el término de generación del ruido de conmutación. Al contrario que en el capítulo 3, no se trata de reducir la actividad de los circuitos sino en implementarlos de forma que la corriente de conmutación, independientemente de la función del circuito, tenga unas características controlables.

La primera técnica, publicada en la literatura por el grupo de D.J. Allstos de la Universidad Estatal de Oregón, consiste en el uso de lógicas con consumo constante de corriente (CSL, ESCL, FSCL). La función lógica se evalúa redirigiendo la corriente de una fuente constante por una de las dos ramas de un árbol diferencial. Desde el punto de vista de la fuente de alimentación el consumo es constante. Los pequeños transitorios de corriente que aparecen en los circuitos reales de este tipo de lógicas debido a los elementos parásitos son de dos a tres órdenes de magnitud más pequeños que los generados por los circuitos digitales implementados con lógica CMOS convencional. Además de esta característica del consumo de corriente, la excursión de las tensiones correspondientes a los niveles lógicos también son más reducidas, lo que favorece la velocidad y reduce los problemas de acoplamiento entre líneas de señal o *crossstalk*. La principal desventaja de estas lógicas es su elevado consumo. Los propios autores proponen el uso particularizado de estas lógicas en aquellas partes dentro de un circuito general CMOS convencional donde la generación del ruido sea un aspecto crítico.

La aportación de este trabajo de tesis a esta primera técnica de bajo ruido ha sido el estudio de su testabilidad. Se ha demostrado como el test paramétrico por medida de la corriente quiescente (IDDQ) presenta cotas de detectabilidad de los defectos bastante bajas. Una nueva estrategia de test basada en la medida dinámica del ruido en tensión o en corriente presenta cotas de detectabilidad muy aceptables y junto con el test lógico se muestra como la mejor alternativa de test para estas lógicas.

La segunda técnica de diseño orientada a minimizar la generación de ruido es una aportación original de este trabajo de tesis. Ésta técnica tiene como objetivo conseguir una forma de onda de la corriente de conmutación de un circuito digital similar a un trapecio, es decir, con flancos al inicio y al final de la operación del circuito y plana durante ésta. Los resultados obtenidos tanto por simulación como sobre un prototipo de CI fabricado demuestran la utilidad de esta técnica. Para conseguir este tipo de forma de onda de la corriente de conmutación es necesario cumplir una serie de condiciones de diseño que dan como resultado una estructura regular espacial y temporalmente. Por ello los circuitos aritméticos o con una estructura inherentemente regular se ajustan mejor a esta estrategia. Sin embargo cualquier otro circuito puede adaptarse añadiendo bloques redundantes o celdas de retardo para regularizar su estructura, a costa de un incremento de área. Otra de las condiciones necesarias es que la lógica utilizada para realizar los diferentes elementos de la estructura del circuito tenga unas características de conmutación uniformes. La lógica ECDL es una candidata perfecta y ha sido la

utilizada en este trabajo, si bien otro tipo de alternativas lógicas equivalentes también pueden ser utilizadas. Al contrario que la técnica basada en lógicas FSCL y similares, nuestra propuesta no supone un incremento del consumo, aunque si en cierto modo del área. Por ello es importante un buen diseño físico de la estructura para evitar que el retardo adicional introducido por las conexiones haga aumentar excesivamente los retardos totales, como se ha comprobado en el prototipo fabricado en el que el *layout* del multiplicador ECDL no ha sido optimizado. Por otro lado el uso de limitadores de corriente permite controlar y reducir aún más los niveles de corriente de conmutación generados. Esta técnica es efectiva dentro de unos límites adecuados, como también se ha demostrado experimentalmente, a costa de un incremento de los retardos. Como propuesta futura de trabajo, se plantea el control del límite de corriente de forma automática. El propio circuito integrado podría sensar el nivel de ruido de conmutación generado internamente y ajustar adecuadamente los limitadores de corriente de forma que siempre se obtendría el mejor compromiso entre ruido  $dI/dt$  y retardo. Esta técnica permitiría trabajar a los circuitos digitales mucho más rápidamente cuando las partes sensibles del CI digital o mixto no estén trabajando y las ralentizarían cuando se activasen. Del mismo modo, y dado que la actividad del circuito digital es variable, cuando éste generase niveles de ruido inferiores a un determinado umbral no se actuaría sobre los limitadores.

Finalmente, el uso de lógicas autotemporizadas favorece la construcción de circuitos que funcionen de forma asíncrona eliminando registros y biestables y reduciendo la cota de actividad simultánea síncrona con el reloj. Las velocidades que pueden alcanzarse con estas técnicas son superiores a las de los circuitos CMOS pues los caminos de propagación están perfectamente controlados y los datos van avanzando de forma regular por la estructura en forma de "olas". Estas técnicas denominadas *wave pipelines* también presentan un consumo menor dado que se elimina la posibilidad de transiciones espúreas o *glitches*.

## Referencias

- [1] David J. Allstot, Sayfe Kiaei, and Rajesh H. Zele, 'Analog Logic Techniques Steer Around the Noise', *IEEE Circuits & Devices*, September 1993, pp. 18–21.
- [2] S. Kiaei, S.H. Chee, and D.J. Allstot, 'CMOS Source-Coupled Logic for Mixed-Mode VLSI', *Proc. IEEE Int. Symp. Circuits and Systems*, 1990, pp. 1608–1611.
- [3] M. Maleki, and S. Kiaei, 'Enhancement Source-Coupled Logic for Mixed-mode VLSI Circuits', *IEEE Tr. on Circuits and Systems—II*, Vol. 39, No. 6, June 1992, pp. 399–401.
- [4] D.J. Allstot and S. Kiaei, 'MOS Folded Source-Coupled Logic', U.S. Patent #5,149,992, Sept. 22, 1992.
- [5] David J. Allstot, San-Hwa Chee, Sayfe Kiaei, and Manu Shrivastawa, 'Folded Source-Coupled Logic vs. CMOS Static Logic for Low-Noise Mixed-Signal ICs', *IEEE Tr. on Circuits and Systems—I*, Vol. 40, No. 9, September 1993, pp. 553–563.
- [6] Sailesh R. Maskai, Sayfe Kiaedi, and David J. Allstot, 'Synthesis Techniques for CMOS Folded Source-Coupled Logic Circuits', *IEEE J. Solid-State Circuits*, Vol. 27, No. 8, August 1992, pp. 1157–1166.

- [7] E. Albuquerque, J. Fernández, and M. Silva, 'NMOS Current-Balanced Logic', *Electronics Letters*, Vol. 32, No. 11, May 1996, pp. 997–998.
- [8] Marc J. Loinaz, and Bruce A. Wooley, 'A BiCMOS Time Interval Digitizer based on Fully-Differential, Current-Steering Circuits', *IEEE J. Solid-State Circuits*, Vol. 29, No. 6, June 1994, pp. 707–714.
- [9] J.L. González, and A. Rubio, 'Shape Effect on Electromigration in VLSI Interconnects', *Microelectron. Reliab.*, Vol. 37, No. 7, July 1997, pp. 1073–1078.
- [10] Daniel Young, Aristos Cristou, 'Failure Mechanim Models for Electromigration', *IEEE Tr. on Reliability*, Vol. 43, No. 2, June 1994, pp. 186–192.
- [11] Jiang Tao, Nathan W. Cheung, and Chenming Hu, 'Modeling Electromigration Lifetime Under Bidirectional Current Stress', *IEEE Electron Device Letters*, Vol. 16, No. 11, November 1995, pp. 467–478.
- [12] Aris Christou (Editor). *Electromigration and Electronic Device Degradation..* 1994. New York: John Wiley & Sons, Inc.
- [13] J.L. González, and A. Rubio, 'Testability Aspects of Folded Source-Couled Logic', aceptado para su publicación en *IEE Proceedings: Circuits, Devices and Systems*.
- [14] H. Hao, E.J. McCluskey, "Resistive shorts within CMOS gates", in *Proc. of the Int. Test Conf.*, 1991, pp. 292-301.
- [15] R. Rodríguez-Montañés, J.A. Segura, V.H. Champac, J.Figueras, J.A. Rubio, "Current vs. logic testing of gate oxide short, floating gate and bridging failures in CMOS", in *Proc. of the Int. Test Conf.*, 1991, pp. 510-519.
- [16] R.L. Wadsack, "Fault modelling and logic simulation of CMOS and MOS integrated circuits", *Bell System Technology Journal*, May-June 1978, pp. 1449-1474.
- [17] V.H. Champac, R. Rodríguez-Montañés, J.A. Segura, J.Figueras, J.A. Rubio, "Fault modelling of gate oxide short, floating gate and bridging failures in CMOS circuits", in *Proc. of the European Test Conf.*, 1991, pp. 143-148.
- [18] M.Renovell, G. Cambon, "Topology dependence of floating gate faults in MOS circuits", *Electronics Letters*, vol. 22, January 1986, pp. 152-153.
- [19] R. Chandramouli, "On testing stuck-open faults", *13th. Fault Tolerant Computing Systems*, 1983.
- [20] J.A. Segura, M. Roca, D. Mateo, and A Rubio, "An Appraoch to Dynamic Power Consumption Current Testing of CMOS ICs", *Proc. 13th IEEE VLSI Test Symposium*, 1995, pp. 95–100.
- [21] Pál Bánlaki, Zsolt Kincses, "Study of the relation between the reliability and the noise of digital silicon integrated circuits", *Periodica Polytechnica ser. Eng. El.* vol. 38, No. 2, 1994, pp. 109-123.
- [22] B.K. Jones, Y.Z. Xu, "Excess noise as an indicator of digital integrated circuit reliability", *Microelecron. Reliab.*, vol. 31, No. 2/3, 1991, pp. 351-361.
- [23] Jose Luis González y Antonio Rubio, 'Circuitos Digitales CMOS de Bajo Nivel de Ruido dI/dt Basados en Lógicas Diferenciales y Limitadores de Corriente', *Seminario Anual de Automática y Electrónica Industrial*, Zaragoza, 11–13 de Septiembre de 1996, pp. 246–251.
- [24] Shien-Lien L. Lu, 'Implementation of Iterative Networks with CMOS Differential Logic', *IEEE J. Solid-State Circuits*, Vol. 23, No. 4, 1998, pp. 1013–1017.
- [25] Shien-Lien L. Lu, and Milos D. Ercegovac, 'Evaluation of Two-Summand Adders Implemented in ECDL CMOS Differential Logic', *IEEE J. Solid-State Circuits*, Vol. 26, No. 8, August 1991, pp. 1152–1160.

- [26] Joseph J.F. Cavanagh. *Digital Computer Arithmetic: Design and Implementation*. 1986. New York: McGraw-Hill Book Company, pp. 182–193.
- [27] ECPD10 Technology, ver. 4.0.2E2, ATMEL-ES2, Bât 24, Parc Burospace, 91572 Bievres CEDEX.
- [28] Francesc Moll Echeto. *Parasitic Effects Due to Interconnections in Microelectronic Design*. Dissertation for the obtention of the Ph. D. degree, Dept. d'Enginyeria Electrònica, Universitat Politècnica de Catalunya, 1996.
- [29] ECPD07 Dual Layer Metal 0.7 $\mu$ m Technology, Ver. 3.0.1.e1, Rev. A, 30 March 1992, ATMEL-ES2, Bât 24, Parc Burospace, 91572 Bievres CEDEX.
- [30] *Cadence Design Framework—II*, Cadence EDA Tools Release 9502.
- [31] *Tektronix Measurement Products Catalog*, 1996, Oregon: Tektronix Inc. Also accessible by web, HTML: <http://www.tek.com>



# Capítulo 6

---

## *Técnicas de alimentación de CIs CMOS de bajo nivel de ruido de conmutación*

*En este capítulo se estudia la estructura de la distribución de la alimentación<sup>1</sup> a los CIs CMOS y su influencia en el ruido de conmutación  $dI/dt$ . Se analizan los diferentes tipos de encapsulados disponibles. El núcleo del capítulo se centra en técnicas de reducción del ruido de conmutación dentro del encapsulado y se resumirán las propuestas aparecidas en la literatura. Se propone una nueva técnica original de alimentación de bajo nivel de ruido  $dI/dt$  que intenta evitar alguna de las desventajas de las técnicas existentes. Se presentarán los principios básicos de la técnica y los resultados experimentales obtenidos sobre un prototipo fabricado. Finalmente se analizarán algunas propuestas de futuro en el campo de la alimentación de los CIs.*

### 6.1 Introducción

El ruido de conmutación  $dI/dt$  tiene dos factores diferentes. Por un lado tenemos el factor de generación que viene dado por la actividad de los circuitos y que depende de la forma de onda de las corrientes de conmutación demandadas al sub-sistema de alimentación. Ya se ha tratado este factor y se han propuesto técnicas propias de reducirlo en capítulos anteriores. Por otro lado está el factor inductivo debido al sub-sistema de alimentación que convierte la  $dI/dt$  en ruido de tensión. Existen técnicas de reducción del ruido de conmutación basadas en la minimización del término inductivo del sub-sistema de alimentación de los circuitos electrónicos. Estas técnicas tienen por objetivo el diseño adecuado de la distribución de la alimentación, incluyendo los conectores y la estructura de alimentación de las placas de circuito impreso, el dimensionado y colocación de los condensadores de desacoplo, el diseño del encapsulado, el dimensionado de los terminales dedicados a alimentación del CI y finalmente la distribución de la alimentación dentro del propio CI.

---

<sup>1</sup> El término 'distribución de la alimentación' se utiliza para referirse a toda la estructura formada por las líneas conductoras, los planos de masa, los condensadores de desacoplo, etc., utilizados para conducir la tensión de alimentación a los diferentes elementos de un sistema electrónico.

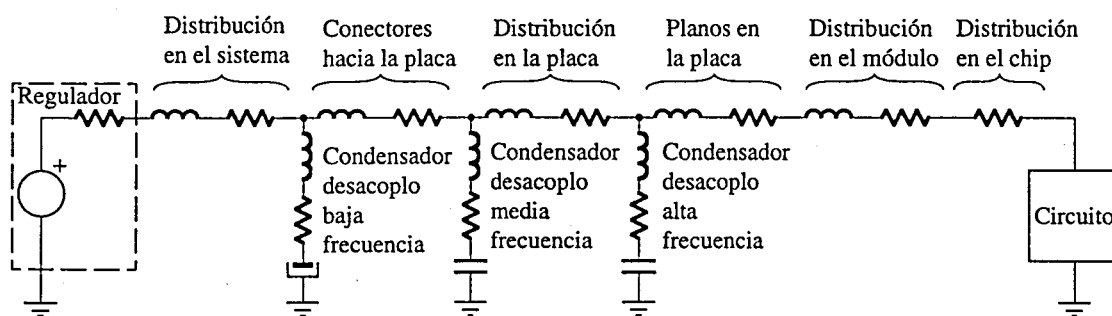
La distribución de la alimentación a los sistemas electrónicos puede verse como una estructura jerárquica de diferentes niveles. El nivel más alto sería el de sistema, pasando después a nivel de placa, encapsulado, módulo y finalmente a la distribución dentro del chip [1]. El nivel de jerarquía de la distribución de la alimentación de módulo aparece en los sistemas Multichip (MCM) en los que se integran en un mismo encapsulado diferentes dados o chips semiconductores que se interconectan entre sí gracias a un sustrato común. Además cada chip del módulo dispone internamente de su propia estructura de interconexiones para distribuir la alimentación. Las actuales técnicas de encapsulado hacen que muchas veces las divisiones entre los diferentes niveles no estén bien definidas. Por ejemplo, en un sistema híbrido los chips de silicio se conectan directamente sobre la placa de circuito impreso y el concepto de encapsulado queda difuminado o es aplicable únicamente a las coberturas que se realizan por requerimientos mecánicos y térmicos. Otras veces, el encapsulado es tan complejo que se puede considerar un sub-sistema de interconexión completo, con sus niveles de jerarquía, como en el caso de los módulos TCM de IBM [2]. Esta variedad de situaciones dificulta un análisis generalizado del sistema de distribución de la alimentación. No obstante es posible realizar un modelado simplificado del mismo con elementos discretos y estudiar las características determinantes del ruido de conmutación. Las técnicas de diseño utilizadas pueden aplicarse a los diferentes niveles de la jerarquía anteriormente comentados por separado o bien a todo el sub-sistema de alimentación a la vez. En el segundo apartado de este capítulo se analizará la estructura global de la alimentación y se comentará el uso de las capacidades de desacoplo. En el apartado siguiente nos centraremos en las alternativas de encapsulado y en los MCMs. A continuación abordaremos el problema del ruido de conmutación y la alimentación en el interior de los CI monolíticos CMOS analizando las técnicas de reducción del ruido de conmutación aparecidas en la literatura y presentado una nueva propuesta original de la que se proporcionarán resultados experimentales.

## 6.2 Distribución de la alimentación y condensadores de desacoplo

El sub-sistema de alimentación de un sistema electrónico comienza con la fuente de alimentación (FA) y el regulador posterior (convertor DC-DC). A partir de ahí la(s) tensión(es) de alimentación se distribuye(n) a través de cables, o *buses* de alimentaciones en el caso de un entorno tipo bastidor (*rack*), hasta los conectores de las diferentes placas que pueden formar el sistema. Cada placa puede llevar su propio regulador local. En este caso, de cara al ruido de conmutación, el sub-sistema de alimentación a analizar comenzaría tras este regulador local. La principal misión del sub-sistema de alimentación es proporcionar tensiones estables a los circuitos independientemente del consumo de los mismos (estático y dinámico). Esta estabilidad se basa en que la red de alimentación presente una impedancia reducida y constante para todo el rango de frecuencias de interés. El objetivo de la inserción de condensadores de desacoplo es, precisamente, compensar el carácter inductivo de los conductores a diferentes frecuencias. La misma estructura que encontramos a nivel de placa puede aplicarse, de forma escalada, a nivel de MCM.

### 6.2.1 Modelo discreto de la distribución de la alimentación

La impedancia de salida de los reguladores puede considerarse como una fuente de tensión ideal con una resistencia de salida muy pequeña en serie. Los cables de distribución a nivel de sistema tienen una componente inductiva y otra resistiva (ver Figura 6-1). A partir de aquí cada conductor puede modelarse como un inductor en serie con una resistencia. El valor de la resistencia disminuirá al disminuir la longitud y aumentará al disminuir la sección transversal. La inductancia también disminuye al disminuir la longitud y su dependencia con la sección transversal es más compleja y depende del tipo de conductor. En un cable de sección cilíndrica rodeada por un aislante o paralelo a un plano conductor la inductancia disminuye al aumentar el radio del conductor y aumenta al disminuir el radio del aislante o la distancia al plano, respectivamente. Si el conductor es una pista metálica de sección cuadrangular sobre un plano conductor la inductancia disminuye con la anchura y aumenta al disminuir la distancia con el plano conductor. Por tanto existe un compromiso al reducir la sección transversal de los conductores, que por un lado hace aumentar la resistencia y por otro disminuir la inductancia (nos referimos aquí siempre al término de auto inductancia del inductor). Los condensadores de desacoplo solo se comportan capacitivamente para bajas frecuencias. Para altas frecuencias se comportan de forma inductiva, por encima de su frecuencia de resonancia [3][4]. De esta forma cada nivel de la jerarquía puede representarse como un tramo de conductor que finaliza en el condensador (o condensadores) de desacoplo correspondiente.



**Figura 6-1**

*Representación esquemática de la distribución de la alimentación en un sistema electrónico según los diferentes niveles.*

### 6.2.2 Condensadores de desacoplo

En el diseño de la distribución de la alimentación es crucial calcular adecuadamente la situación [5] y el valor de las capacidades de desacoplo. En la Figura 6-2 se muestra la impedancia respecto a la frecuencia obtenida tras el proceso de diseño que se presenta en [6]. Las especificaciones para este sistema en concreto eran mantener una impedancia por debajo de los  $18\text{m}\Omega$  desde DC hasta  $35\text{MHz}$  debido a que el circuito que se debe alimentar puede presentar demandas de consumo de corriente de variaciones de 0 a 10A en 10 nseg. En la Tabla 6-1 se indican los valores de los diferentes elementos según el esquema general de la Figura 6-1. En este ejemplo nos quedamos en el nivel de placa de circuito impreso (PCB). El regulador de tensión está situado junto a la placa, de forma que la inductancia debida a la distribución de la

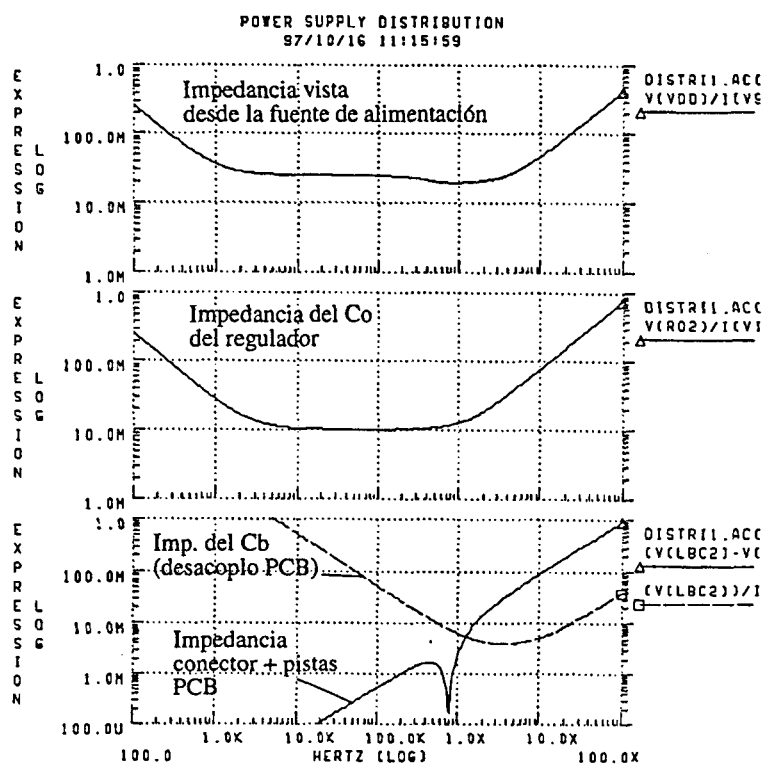


alimentación a nivel de sistema queda eliminada. Otra particularidad de este ejemplo es que la propia capacidad de salida del regulador ( $C_o$ ) se utiliza como capacidad de desacoplo de baja frecuencia.

Regulador	C desacoplo Regulador	Conectores Regulador-PCB	Pistas PCB	C desacoplo PCB
$R_o = 15 \text{ m}\Omega$	$R_{CO} = 10.4 \text{ m}\Omega$		$R_s = 3.6 \text{ m}\Omega$	$R_{CB} = 4 \text{ m}\Omega$
	$L_{CO} = 1.25 \text{ nH}$	$L_c = 1.0 \text{ nH}$	$L_B = 0.5 \text{ nH}$	$L_{CB} = 63 \text{ pH}$
	$C_o = 6000 \text{ }\mu\text{F}$			$C_B = 30 \text{ }\mu\text{F}$

**Tabla 6-1**

Valores de los elementos del sistema de distribución de la alimentación para el sistema presentado en [6].



**Figura 6-2**

Impedancia de la distribución de la alimentación con los valores de la Tabla 6-1

El efecto de los elementos parásitos de los condensadores de desacoplo puede apreciarse claramente en la Figura 6-2. En ella se ha representado la inductancia de los dos condensadores ( $C_o$  y  $C_B$ ) y puede apreciarse como se comportan de forma inductiva por encima de una determinada frecuencia (1MHz para  $C_o$  y 10MHz para  $C_B$ , aproximadamente). Debido a ello se consigue un comportamiento plano de la impedancia de la alimentación desde 1kHz hasta casi 10MHz. Para aumentar la banda en la que la distribución se mantiene con un valor bajo de impedancia sería necesario añadir otro banco de condensadores de desacoplo para más alta frecuencia y con mejores prestaciones en cuanto a su comportamiento a altas frecuencias. En todo caso, estos condensadores se situarían dentro del módulo o del encapsulado para compensar a la vez el comportamiento inductivo del condensador  $C_B$  y las inductancias de los terminales del encapsulado.

El diseño de la distribución de la alimentación dentro del módulo y del circuito integrado o chip presenta una mayor complejidad debido a las reducidas dimensiones del encapsulado. El substrato común puede verse como una red básicamente resistiva en forma de malla [7][8]. En este caso el problema es de ruido resistivo, proporcional a los pulsos de corriente y no a su derivada. El diseño se basa en detectar puntos del módulo donde las caídas de tensión debido a ruido resistivo o inductivo ( $dI/dt$ ) son elevadas y calcular las colocaciones óptimas de los condensadores internos de desacoplo. Sin embargo en todos estos sistemas la inductancia dominante es la del encapsulado, que analizaremos en el apartado siguiente.

### 6.3 Encapsulados

El diseño y selección del encapsulado es determinante para la reducción del ruido de conmutación. A nivel de placa de circuito impreso existe bastante libertad de diseño de forma que no es difícil conseguir unas buenas características del sistema de distribución de la alimentación (pueden utilizarse valores del condensador de desacoplo elevados, condensadores de diferentes tipos y tamaños, etc.). La única limitación es el comportamiento inductivo para elevadas frecuencias de éstos condensadores de desacoplo. Sin embargo, en el interior del encapsulado el tamaño de los condensadores de desacoplo está limitado por las dimensiones físicas del mismo [9]. Debido a que el ruido de conmutación es directamente proporcional a la inductancia de los terminales de alimentación la minimización de ésta es un objetivo prioritario en el diseño de CIs.

Existen dos alternativas a la hora de minimizar esta inductancia. En primer lugar pueden utilizarse varios terminales dedicados a la tensión de alimentación. El valor final de la inductancia será, en primera aproximación, la inductancia por terminal del encapsulado dividida por el número de terminales de alimentación. Esta primera alternativa incrementa el coste de encapsulado, al tener que utilizar encapsulados con un gran número de terminales cuando el número de entradas y salidas del CI no es tan elevado (i.e., el microprocesador de [10] requiere de 187 terminales de alimentación de un total de 520). Existen diferentes métodos publicados en la literatura que permiten obtener el número óptimo de terminales dedicados a alimentación y su selección de entre todos los terminales del encapsulado [11][12]. Los encapsulados de tipo *lead frame*, como los DIP, SOIC o QSOP, tienen una gran varianza en cuanto al valor de la autoinductancia del terminal según éste pertenezca a la parte central del encapsulado o cerca de las esquinas.

Si esto no es suficiente se ha de recurrir a cambiar el tipo de encapsulado por otro que presente una menor inductancia por terminal. En la Tabla 6-2 se muestran diferentes encapsulados y otros métodos avanzados de interconexión entre el chip y la placa como las bolas de soldaduras (*solder bump*) utilizadas en técnicas *flip chip* en las que el chip se suelda boca abajo directamente sobre la placa PCB o bien el cableado directo del chip sobre la placa utilizado en circuitos híbridos (*wire bond*). Los datos se han extraído de varias fuentes: [1][13][14][15].

Encapsulado	Inductancia típica	Capacidad típica
DIP 68 plástico	35.0 nH	4.0 pF
DIP 68 cerámico	20.0 nH	7.0 pF
SMT 68	7.0 nH	2.0 pF
PGA 68	7.0 nH	2.0 pF
PGA 256	15.0 nH	5.0 pF
DIP 18 plástico	13.7 nH	
SOIC 18	8.5 nH	
QSOP 18	3.6 nH	
BGA	3 nH	
Wire bond	1.0 nH	1.0 pF
Solder bump	0.1 nH	0.5 pF

**Tabla 6-2**

*Parámetros eléctricos para varias alternativas de encapsulado.*

A partir de la tabla podemos observar como los encapsulados de montaje superficial (SMT, SOIC o QSOP) presentan menores inductancias que los de montaje a través de agujero (DIP y PGA). Los encapsulados avanzados como los de tipo BGA presentan valores reducidos de inductancia de unos pocos nH [15]. Para reducir aún más la inductancia se ha de recurrir a técnicas *flip chip* o cableado directo sobre la placa, con lo que se consiguen inductancias por terminal entre 0.1 nH y 1 nH. El coste concreto de estas alternativas no se encuentra disponible pero es mucho mayor que las técnicas de encapsulado anteriores ya que necesita de maquinaria dedicada al ensamblaje del chip sobre la placa y, en el caso *flip chip*, de tecnologías de fabricación del encapsulado y materiales muy sofisticados. Existe un compromiso muy importante entre el coste del encapsulado y la mínima inductancia requerida que debe abordarse en el proceso de diseño del CI.

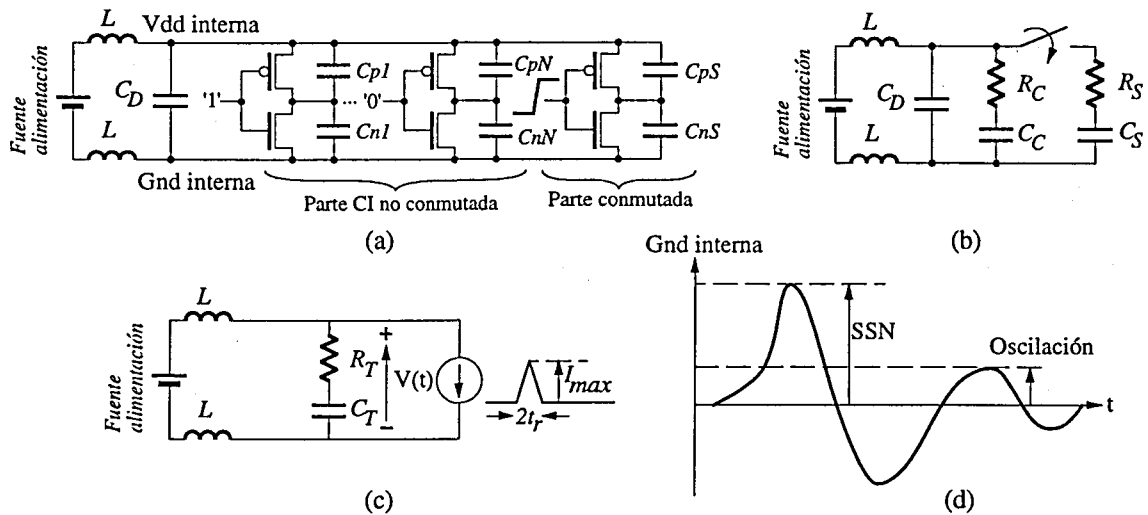
## 6.4 Técnicas de reducción del ruido de conmutación utilizando condensadores dentro del encapsulado

Las técnicas de reducción del ruido de conmutación una vez fijada la inductancia del encapsulado se centran en el diseño de las capacidades de desacoplo u otras técnicas similares dentro del encapsulado (*on-chip*). En este apartado se analiza en primer lugar, sobre una representación eléctrica simplificada del CI y el encapsulado, el diseño de la capacidad de desacoplo y su efectividad. Se muestra como el circuito LC formado por la inductancia del encapsulado y la capacidad de desacoplo produce oscilaciones que pueden ser más perjudiciales que el propio ruido de conmutación [16]. Se resumen, a continuación, las diferentes alternativas propuestas en la literatura para solventar estos problemas. Finalmente se presenta una propuesta original como contribución de este trabajo de tesis a la minimización del ruido de conmutación mediante técnicas de alimentación apropiadas.

### 6.4.1 Modelo eléctrico simplificado de un CI encapsulado con condensador de desacoplo *on-chip*

La Figura 6-3.(a) muestra una representación esquemática de un CI CMOS. Algunas de las puertas lógicas realizan un conmutación mientras que el resto mantienen su salida fija a '0' o a '1'. Se añade además un condensador de desacoplo ( $C_D$ ), que consideraremos de momento ideal. La inductancia de los terminales de alimentación se representa por los dos inductores de valor  $L$ . En [1] se muestra como puede simplificarse este esquema por el circuito más sencillo de la Figura 6-3.(b).  $R_C$  representa la resistencia en paralelo de todos los transistores NMOS o PMOS que no conmutan y  $C_C$  la capacidad no conmutada que puede calcularse como  $(1-\alpha) \cdot C_{CI}/2$ , donde  $\alpha$  representa la actividad del sistema y tiene un valor entre 0.05 y 0.3 [17][18], y  $C_{CI}$  es la capacidad total del CI [19]. Puede encontrarse fácilmente que la parte que no conmuta forma un circuito RLC con la siguiente frecuencia de resonancia ( $\omega_o$ ) y factor de atenuación ( $\xi$ ):

$$\omega_o = \frac{1}{\sqrt{\frac{2L}{L_T}(C_D + C_C)}} \quad \xi = \frac{R_C}{2} \sqrt{\frac{C_T}{L_T}} \quad \text{Ec. (6-1)}$$



**Figura 6-3**

(a) Modelo de un CI encapsulado con una parte que no conmuta y otra que sí lo hace. (b) Modelo eléctrico simplificado del circuito anterior. (c) Circuito RLC formado por la parte que no conmuta del CI y las inductancias del encapsulado. (d) Formas de onda en los terminales internos de alimentación cuando se produce una conmutación en el CI debidas al ruido simultáneo de conmutación (SSN) y a la oscilación del circuito RLC.

La parte que conmuta del CI puede representarse por una fuente de corriente que demanda un pulso de una forma determinada. En el análisis que se realiza a continuación se utiliza un pulso de corriente triangular de amplitud  $I_{max}$  y tiempo de subida  $t_r$ . La Figura 6-3.(d) muestra la forma de onda del terminal interno de Gnd cuando se produce una conmutación. La forma de onda del terminal Vdd interno es verticalmente simétrica a la anterior y centrada sobre el valor constante de tensión Vdd. La resta de estas dos formas de onda — el ruido de conmutación en

bornes de  $R_T$  y  $C_T$  — consta de un primer mínimo debido al ruido de conmutación simultáneo (SSN) y una oscilación que se genera a continuación con la frecuencia fundamental de la Ec. (6-1).

Lo importante de este análisis es determinar los valores de pico de ambos mínimos (el debido a la SSN y el de la oscilación) y estudiar sus cotas máximas. En una primera aproximación al problema vamos a suponer que  $R_C = 0$  y más tarde estudiaremos el efecto de la atenuación introducida por  $R_C$  en la oscilación. En análisis transitorio del circuito de la Figura 6-3.(c) se puede dividir en tres partes en función del pulso de corriente de conmutación.

$$1) 0 < t \leq t_r$$

El valor de la tensión sobre el condensador es de la ecuación (6-2). También se indica el valor del mínimo debido a SSN y la cota máxima para este valor:

$$\begin{aligned} V_{C_T}(t) &= V_{DD} - \frac{I_{max} L_T}{t_r} \left( 1 - \cos \left( \frac{t}{\sqrt{L_T C_T}} \right) \right) \\ \min(V_{C_T}(t)) &= V_{DD} - \underbrace{\frac{I_{max} L_T}{t_r} \left( 1 - \cos \left( \frac{t_r}{\sqrt{L_T C_T}} \right) \right)}_{SSN} \end{aligned} \quad Ec. (6-2)$$

$$SSN_{max} = \frac{2I_{max} L_T}{t_r} \quad t_r = k\pi\sqrt{L_T C_T}, k=1,3,5,\dots$$

$$2) t_r < t \leq 2t_r$$

Este tramo no es relevante, pues en él únicamente tenemos el flanco descendente del pulso de corriente de conmutación del circuito.

$$V_{C_T}(t) = V_{DD} + \frac{I_{max} L_T}{t_r} \left( 1 - (2 - \cos(t_r \omega_o)) \cos((t - t_r) \omega_o) - \sin(t_r \omega_o) \sin((t + t_r) \omega_o) \right) \quad Ec. (6-3)$$

$$3) t > t_r$$

A partir de aquí aparece la oscilación armónica cuya amplitud puede calcularse a partir de la energía que queda almacenada en las inductancias ( $L_T$ ) y en los condensadores ( $C_T$ ) tras el pulso de corriente que representa la excitación forzada del sistema. La amplitud de esta oscilación y su cota máxima viene dada por la ecuación siguiente:

$$\begin{aligned} V_{C_T}|_{pico} &= \frac{I_{max} L_T}{t_r} 2 \left( 1 - \cos \left( \frac{t_r}{\sqrt{L_T C_T}} \right) \right) \\ \max(V_{C_T}|_{pico}) &= \frac{4I_{max} L_T}{t_r} \end{aligned} \quad Ec. (6-4)$$

donde la cota máxima para el valor de pico de  $V_{CT}$  se da para las mismas condiciones que en la Ec. (6-1). Esta cota máxima para la oscilación armónica es el doble que la del ruido de conmutación. A partir de estas ecuaciones se puede establecer un criterio para el cálculo de la capacidad de desacoplo mínima. El peor caso se da para un valor de  $C_T^* = (t_r/\pi)/L_T$ . Si  $C_T \gg C_T^*$  las Ec. (6-1) y (6-2) pueden aproximarse por:

$$SSN \propto I_{max} \sqrt{\frac{L_T}{C_T}} \quad V_{CT}|_{pico} \propto 2I_{max} \sqrt{\frac{L_T}{C_T}} \quad Ec. (6-5)$$

En la Figura 6-4 se ilustra esta situación donde se han dibujado las corrientes por cada uno de los elementos y el ruido de tensión sobre el condensador  $C_T$  para el circuito de la Figura 6-3.(c) con  $R_T = 0$ .

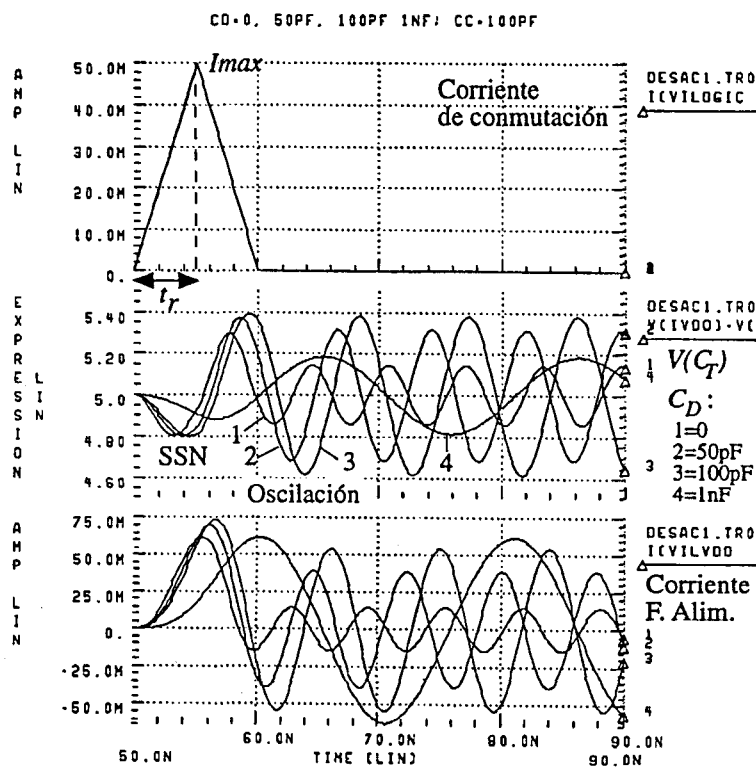
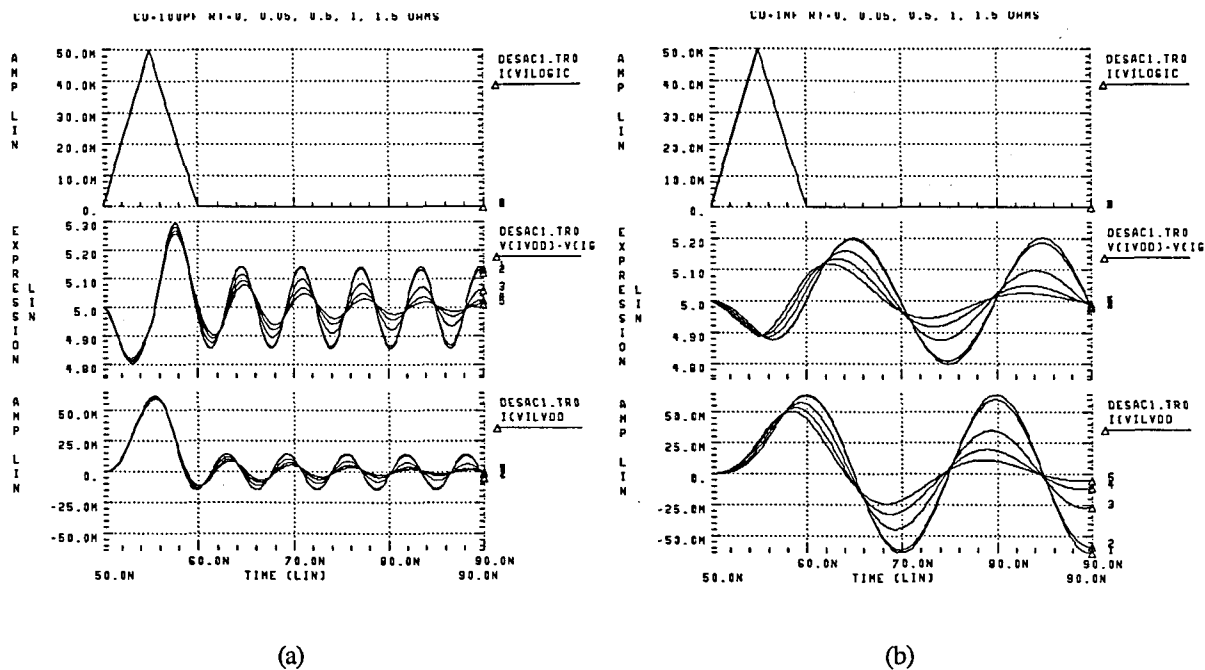


Figura 6-4

Ruido de conmutación (SSN) y oscilación para el circuito de la Figura 6-3.(b) con  $I_{max}=50mA$ ,  $t_r=5 nseg$ ,  $L_T=10nH$ ,  $C_C=100pF$ ,  $C_T^*=253.3pF$  y  $R_C=0$  para diferentes valores del condensador de desacoplo ( $C_D$ ).

La existencia de esta oscilación tiene efectos muy perjudiciales si  $\omega_0$  es un múltiplo entero de la frecuencia del reloj del sistema, pues se puede llegar a producir acumulación de ruido al sumarse las oscilaciones de conmutaciones anteriores con el SSN de la conmutación actual [19][20]. Además de afectar a los circuitos integrados en el propio chip, la oscilación puede provocar fallos en otros chips o circuitos conectados a él a través de los drivers de salida, como se demuestra en [20]. Para evitarlo es necesario atenuar estas oscilaciones. La resistencia disponible en el circuito para atenuar estas oscilaciones,  $R_T$ , suele ser pequeña, en el rango de unos pocos ohmios. La Figura 6-5 muestra unas simulaciones realizadas con diferentes valores de  $R_T$  para valores de  $C_T$  por encima y por debajo de  $C_T^*$  para ese circuito.

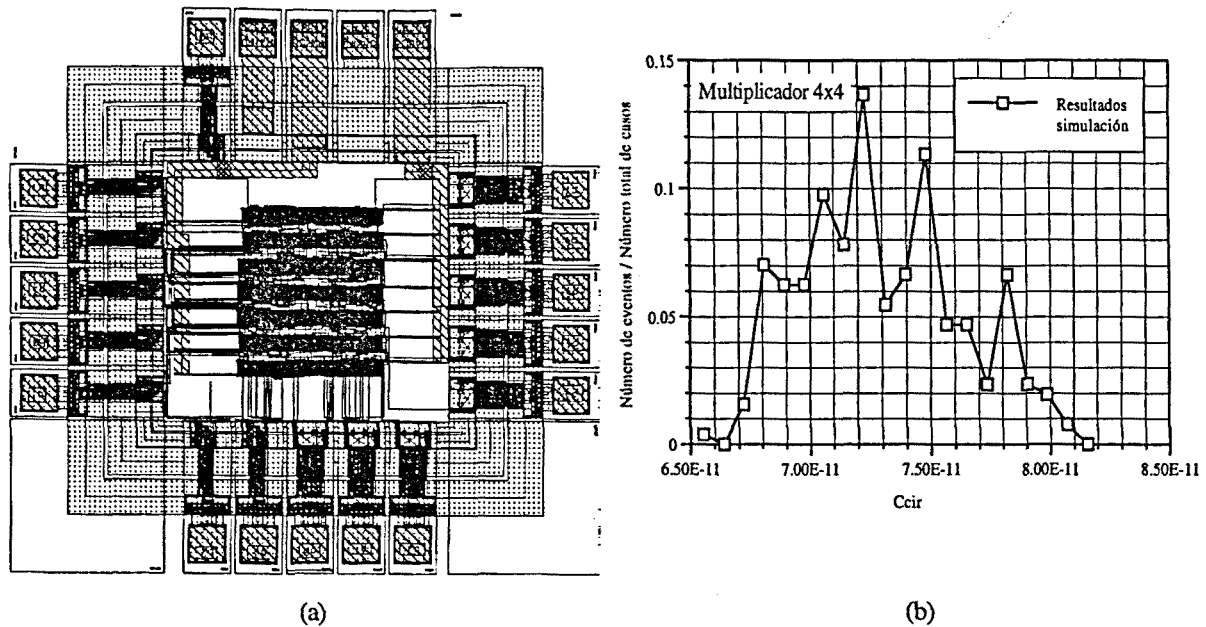


**Figura 6-5**

Formas de onda de la corriente de conmutación, la corriente de la fuente de alimentación y la tensión de alimentación interna  $V_{dd}-G_{nd}$  del circuito de la Figura 6-3 para dos valores de  $C_T$  (a) 100pF y (b) 1nF y valores crecientes de  $R_T$  de 0 a 1.5Ω

### 6.4.2 Capacidades de desacoplo on-chip

La capacidad no conmutada en un CI sirve como capacidad de desacoplo [21]. Se ha realizado un estudio con un ejemplo concreto: un multiplicador de 4×4 bits realizado con lógica CMOS convencional. Se ha obtenido el *layout* de este circuito incluyendo los *pads* de entrada y salida (ver Figura 6-6.(a)) y se ha extraído el circuito eléctrico incluyendo las capacidades parásitas debido a las interconexiones. El circuito obtenido se ha conectado a través de una resistencia (bastante mayor que la resistencia  $R_T$  del modelo del subapartado anterior) a la fuente de alimentación. La medida del valor de la capacidad interna no conmutada se realiza de la siguiente forma: se establece una determinada combinación de entradas y a continuación se baja bruscamente la tensión de la fuente de alimentación de 5 a 0 voltios. La constante medida de descarga del nodo de alimentación del circuito a través de la resistencia de valor conocido se utiliza para deducir la capacidad. Se ha realizado esta medida con simulaciones para todas las combinaciones posibles de las entradas (256 vectores distintos) y los resultados se muestran en la Figura 6-6.(b), en forma de histograma. Para este circuito la capacidad media encontrada es de 72.2 pF y su desviación típica de ±3.35 pF.



**Figura 6-6**

(a) Layout generado por la herramienta CAD para el multiplicador 4x4 CMOS con tecnología de 1.0µm.  
 (b) Histograma de la capacidad del circuito para todas las posibles combinaciones de entrada.

Normalmente la capacidad no conmutada es insuficiente para actuar como capacidad de desacoplo. Para reducir los niveles de ruido de conmutación se recurre a integrar una capacidad dentro del encapsulado [22][23][24][25]. El condensador puede incluirse dentro de la cavidad del encapsulado, o bien sobre o bajo el propio chip de silicio y cablearse entre los terminales de alimentación [24][26]. En módulos multi chip puede ser uno más de los chips y conectarse al substrato común, o bien mediante cables (*wire bondend*), o bien mediante bolas de soldadura (*solder bumps*) [7]. Estas formas de añadir la capacidad de desacoplo tienen las limitaciones del comportamiento inductivo a altas frecuencias. El problema es más grave en las alternativas cableadas que en las que utilizan bolas de soldadura. Para aplicaciones de muy alta frecuencia el condensador debe integrarse en el mismo substrato (ya se el del MCM o el del chip de silicio, en el caso de un CI monolítico) para minimizar la longitud de las interconexiones entre los condensadores de desacoplo y los terminales o los planos de alimentación internos del CI [7][24]. El substrato semiconductor se comporta capacitivamente y es por tanto un buen condensador de desacoplo hasta frecuencias de 500MHz [27]. Las efectividades reportadas en la literatura en cuanto a la reducción del SSN dentro del encapsulado con y sin condensadores de desacoplo internos oscilan entre el 30% y el 70% [22][24].

Sin embargo, los condensadores de desacoplo *on-chip* son del todo ineficaces por lo que respecta al ruido de conmutación generado por los *drivers* de salida [1]. Al conmutarse cargas exteriores al encapsulado, el lazo de corriente se cierra por uno de los dos terminales de alimentación, el positivo para transiciones de nivel bajo a alto y el negativo para las complementarias. La reducción del SSN en este tipo de elementos del CI se abordará en el capítulo siguiente.



### 6.4.3 Soluciones al problema de la resonancia de los condensadores de desacoplo *on-chip*.

Como se ha visto, las inductancias del encapsulado y el condensador de desacoplo *on-chip* junto con la capacidad de la parte del CI no conmutada forman un circuito RLC que genera una oscilación amortiguada cada vez que se produce una conmutación.

Las resistencias que podemos encontrar debido a los elementos intrínsecos del CI (resistencia de los transistores que no conmutan, cableado del encapsulado, etc...) no supera los pocos ohmios. Si esta resistencia es inferior a la requerida para asegurar una determinada atenuación será necesario añadir resistencias suplementarias en las líneas de alimentación para aumentar el factor de amortiguación ( $\xi$ ). Esta resistencia introduce un nuevo tipo de ruido, el ruido resistivo proporcional a  $I(t)$ , la corriente de conmutación. En [19] se analizan diferentes alternativas de introducir esta amortiguación adicional, incluyendo el uso de resistencias activas en serie con la capacidad de desacoplo. A pesar de la reducción reportada respecto del ruido de conmutación proporcional a  $dI/dt$  y la reducción de la oscilación RLC, los propios autores reconocen que su propuesta hace aumentar el ruido resistivo.

Una segunda alternativa aparecida recientemente en la literatura [28] propone utilizar un circuito RLC suplementario conectado en paralelo con el condensador de desacoplo *on-chip* del circuito RLC del conjunto CI + encapsulado de forma que contrarreste su frecuencia de resonancia. Para el buen funcionamiento es necesario que se cumpla una relación entre la inductancia y la capacidad suplementarias y las originales del CI. El principal problema es que la contribución de la capacidad no conmutada al termino capacitivo del circuito original es variable, como ya se vio en el subapartado anterior con el multiplicador CMOS convencional de 4x4 bits. Si la capacidad de desacoplo *on-chip* no es mucho mayor que la interna del CI, la variabilidad de ésta última debido a las diferentes entradas lógicas del circuito puede invalidar la compensación introducida por el circuito suplementario. En circuitos MCM con varios condensadores de desacoplo *on-chip* situados en diferentes puntos del encapsulado la frecuencia de resonancia del circuito RLC no es única sino que existen varias resonancias. Compensarlas con un único circuito RLC suplementario de forma adecuada no es posible. Sin embargo esta técnica si resulta muy adecuada para circuitos monolíticos con una capacidad de desacoplo *on-chip* mucho mayor que la capacidad interna del CI.

## 6.5 Técnica de alimentación con condensador tanque TCMOS

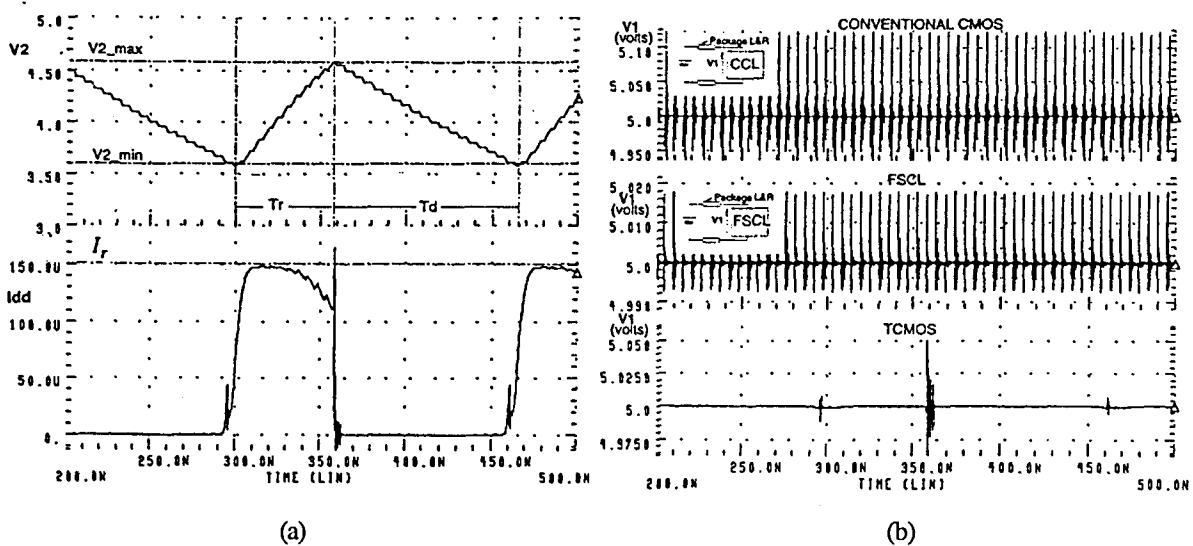
La técnica TCMOS [29][30] que proponemos se basa en utilizar un condensador *on-chip* que alimenta al circuito lógico CMOS convencional (CCL) y que a su vez es recargado por la fuente de alimentación exterior por un inyector de corriente controlado (CCI). De esta forma, el circuito lógico queda aislado de los terminales de alimentación del encapsulado ( $V_I$ ) por el CCI. El diagrama de bloques esquemático de la técnica TCMOS se ilustra en la Figura 6-7.

El condensador, llamado condensador de tanque o  $C_T$ , almacena suficiente energía como para alimentar al CCL durante un cierto periodo de tiempo con una caída controlada de la tensión



fuente externa), el valor  $P_d/V_{DD}$  es una cota superior del consumo del CCL más el consumo adicional introducido por la lógica del TCMOS.

La Figura 6-8.(a) presenta los resultados de simulación obtenidos con HSPICE para un CCL consistente en una cadena de 11 inversores CMOS. La gráfica superior corresponde a la tensión en bornes del condensador  $C_T$  y por tanto la tensión de alimentación de la lógica del CCL. La gráfica inferior corresponde a la corriente que fluye desde la fuente de alimentación externa a través de las inductancias. Esta forma de onda solo produce ruido  $dI/dt$  en los instantes en los que se pasa de una fase de descarga a la otra de recarga y viceversa. Durante la fase de recarga la corriente de alimentación vista por la fuente externa ( $I_{DD}$ ) es aproximadamente constante e igual a  $150 \mu\text{A}$  en la simulación. En la fase de descarga  $I_{DD} \approx 0$ . La Figura 6-8.(b) muestra una simulación del ruido generado en los terminales internos de alimentación ( $V_I$ ) para tres circuitos diferentes. En el primero un circuito CMOS convencional (una cadena de 11 inversores) es alimentado directamente con los terminales internos de alimentación. En el segundo gráfico el mismo circuito se implementa con la lógica de bajo nivel de ruido FSCL [31], de la que ya se habló en un capítulo anterior. El tercer gráfico corresponde al circuito CMOS convencional del primero pero alimentado con la técnica TCMOS. La inductancia y resistencia del encapsulado se ha tomado igual a  $20 \text{ nH}$  y  $0.1 \Omega$ , respectivamente. En el circuito TCMOS se ha utilizado un  $C_T = 5 \text{ pF}$ , y se han fijado los límites  $V_{2\_max} = 4.6 \text{ V}$  y  $V_{2\_min} = 3.6 \text{ V}$ . Los resultados de simulación mostrados en la figura ponen de manifiesto la gran reducción de ruido de conmutación conseguida con la técnica TCMOS.



**Figura 6-8**

(a) Formas de onda del funcionamiento del TCMOS. Gráfica superior: Tensión sobre  $C_T$ . Inferior: Corriente de la F.A. externa. (b) Comparación del ruido en los terminales internos de alimentación ( $V_I$ ) de un circuito CMOS convencional alimentado directamente, el mismo circuito implementado con lógica FSCL, y el mismo circuito alimentado con la técnica TCMOS.

### 6.5.1 Diseño de un prototipo que implementa la técnica de alimentación de bajo nivel de ruido $dI/dt$ TCMOS

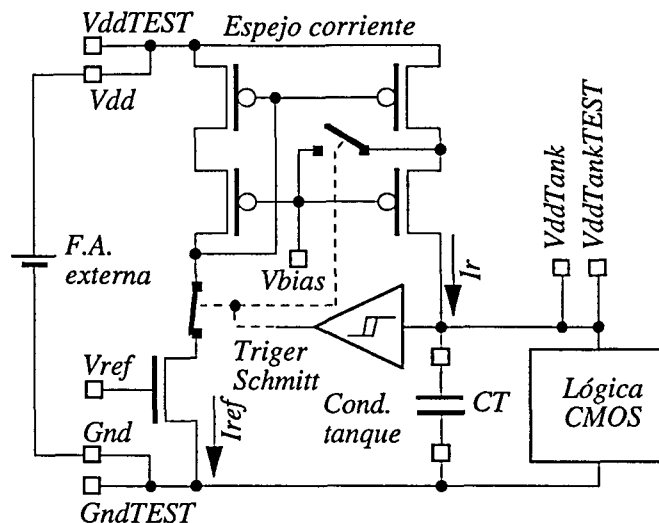
Con el objetivo de comprobar experimentalmente las prestaciones de la técnica de alimentación TCMOS se ha procedido al diseño y fabricación de un prototipo y posteriormente se han medido las diferentes prestaciones y se han comparado con otras alternativas como el uso de condensadores de desacoplo *on-chip* utilizando los mismos prototipos. En los siguientes subapartados se resumirá el proceso de diseño realizado y se expondrán los resultados experimentales obtenidos.

#### 6.5.1.1 Especificaciones y parámetros de diseño del circuito TCMOS

Los principales objetivos que se pretende conseguir con este prototipo son los siguientes:

- 1) Demostración de la funcionalidad de la técnica TCMOS con diferentes especificaciones.
  - Corriente de recarga ( $I_r$ ) ajustable.
  - Diferentes niveles máximo y mínimo ( $V_{2\_max}$  y  $V_{2\_min}$ ) de la tensión del condensador de tanque ( $C_T$ ).
  - Diferentes condensadores de tanque ( $C_T$ ).
- 2) Medida de ruido de conmutación sobre los terminales internos de alimentación ( $V_I$ ) y comparación con otras técnicas. Posibilidad de alimentar directamente el CCL con y sin condensador de desacoplo *on-chip* o bien utilizar el TCMOS.
- 3) Medida del consumo de las diferentes alternativas de alimentación. Consumo variable del CCL.
- 4) Medida de los efectos de la técnica TCMOS sobre los parámetros de la lógica convencional (CCL), en especial del retardo.

Además de estas especificaciones del prototipo la propia estructura del TCMOS implica una serie de compromisos de diseño concernientes sobre todo al espejo de corriente y la fuente de corriente de referencia que están relacionados con las especificaciones de tensiones y de tiempos de recarga y de descarga del condensador de tanque. La Figura 6-9 muestra el esquema definitivo del circuito TCMOS. Se han realizado algunas modificaciones, respecto del circuito original. El espejo de corriente sencillo se ha substituido por otro espejo de corriente que proporciona una mayor resistencia de salida para márgenes de tensión elevados [32]. Esta nueva topología para el espejo tiene como inconvenientes el incremento del área ocupada y una tensión de polarización adicional. La segunda modificación afecta a la situación de las puertas de transmisión, que se han situado de forma que la fuente de referencia sólo conduce corriente en la fase de recarga y no constantemente como lo hacía en el esquema original. Esta configuración añade un retardo adicional en la activación del CCI, retardo que no afecta visiblemente al funcionamiento del circuito.



**Figura 6-9**

*Diagrama del circuito TCMOS implementado en el prototipo.*

El valor mínimo de la corriente de recarga ( $I_r$ ) queda fijado por las especificaciones de consumo del circuito a alimentar, el incremento de consumo introducido por la circuitería del TCMOS y el tiempo de recarga que se requiera. Una vez fijado el valor de  $I_r$ , se ha de resolver un nuevo compromiso de diseño que relaciona el tamaño de los transistores PMOS de la etapa de salida del espejo de corriente con la tensión máxima del  $C_T$ . Para el correcto funcionamiento del TCMOS los transistores de salida del espejo deben estar en zona de saturación durante toda la fase de recarga. Cuanto menor sea la diferencia entre la tensión de alimentación ( $V_{DD}$ ) y el nivel máximo de la tensión del  $C_T$  ( $V_{2\_max}$ ) mayor tendrá que ser la relación de aspecto ( $W/L$ ) de los transistores para una corriente de salida dada. Si la corriente se aumenta también deberá hacerlo la relación de aspecto de los transistores. Además hay que diseñar la ganancia del espejo que relaciona los valores de la corriente  $I_r$  con la fuente de corriente de referencia ( $I_{ref}$ ). Para resolver este compromiso de diseño se ha procedido, en primer lugar, a obtener la relación de área óptima de los cuatro transistores del espejo que permite minimizar el área total ocupada. El resultado es que los cuatro transistores deben ser iguales. Esto implica un nuevo compromiso ya que la fuente de referencia deberá ser igual a  $I_r$ , y por tanto, tendremos siempre un consumo global igual al doble del consumo original del CCL. Si el consumo es un parámetro crítico del sistema se ha de rediseñar el espejo a costa de incrementar el área ocupada. Una vez establecidas las relaciones entre los tamaños de los cuatro transistores los valores máximos de  $V_{2\_max}$  y de  $I_r$  fijan unívocamente la relación de aspectos mínima de los transistores. Para  $V_{2\_max} = 4.5$  V y  $I_r = I_{ref} = 5$  mA, la relación de aspecto de todos los transistores del espejo debe ser  $W/L = 5700$  y la tensión de polarización adicional  $V_{BIAS}$  igual a 3.46 V [32][33].

La medida del ruido de conmutación se realiza a través de los terminales de alimentación y tierra duplicados, como se indica en la Figura 6-9. Los terminales de alimentación del CCL, donde se conecta el condensador de tanque, también son accesibles desde el exterior del encapsulado. De esta forma es posible alimentar directamente la lógica o bien hacerlo a través del TCMOS. La corriente de referencia se controla con una tensión externa de forma que se puede ajustar dentro de un margen que va de 0 a 5mA. Es así como se controla la corriente de

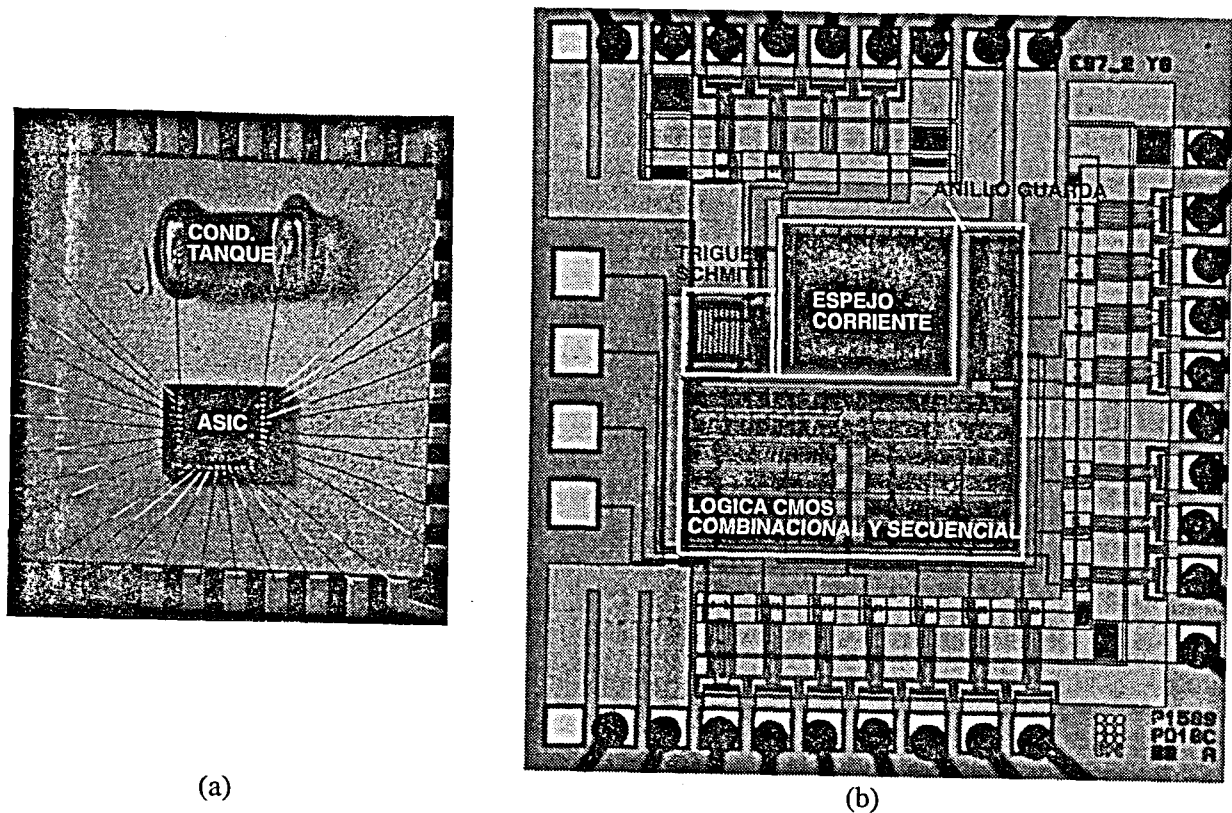
recarga  $I_r$ . El *trigger* de Schmitt tiene sus umbrales de comparación ( $V_{2\_max}$  y  $V_{2\_min}$ ) seleccionables entre cuatro casos con dos señales de control binarias. Las prestaciones del prototipo fabricado son, en resumen:

- ◇ Terminales de alimentación duplicados para la medida de ruido de conmutación en el interior del CI.
- ◇ Terminales de alimentación de la lógica accesibles desde el exterior.
- ◇ Prototipos fabricados con diferentes valores de condensador de tanque: cinco muestras sin condensador, cinco con  $C_T = 0.33$  nF, cinco con  $C_T = 4.7$  nF y cinco con  $C_T = 47.0$  nF.
- ◇ Corriente de recarga  $I_r$  ajustable exteriormente de 0 a 5 mA.
- ◇ Valores de  $V_{2\_max}$  y  $V_{2\_min}$  seleccionables de entre las siguientes posibilidades: [3.3 V y 2.94 V], [3.3 V y 2.57 V], [4.5 V y 4.0 V] y [4.5 V y 3.5 V]. Estos márgenes de tensión para la lógica y el  $C_T$  representan dos intervalos de tensión, uno ancho y el otro estrecho, cercanas a 5 V y a 3.3 V.
- ◇ Entradas de control de la lógica del CCL que permiten activar o desactivar determinadas partes de la misma para controlar el consumo.

#### 6.5.1.2 Estructura del prototipo fabricado

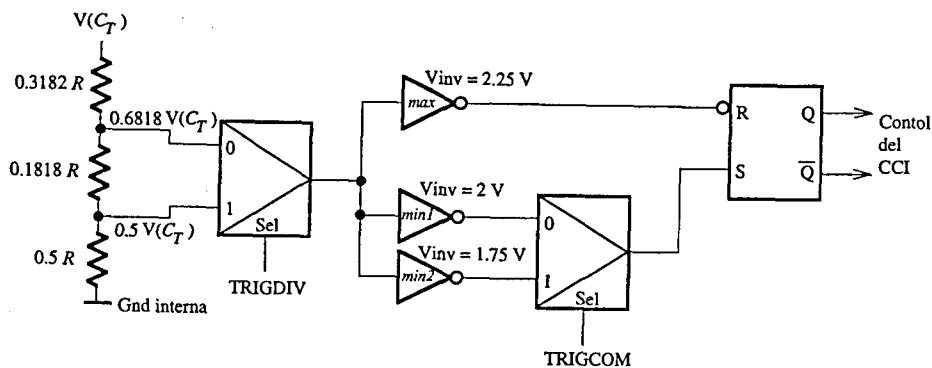
El prototipo fabricado consta de dos elementos integrados en el mismo encapsulado. La circuitería lógica (CCL) y la del TCMOS se han integrado en un chip semiconductor o ASIC fabricado con tecnología CMOS convencional de  $1.0\mu\text{m}$  [34]. El diseño se ha realizado totalmente a nivel de *layout* excepto en el caso de los *pads* de entrada y salida digitales tomados de las librerías de celdas estándar de la tecnología. Para el diseño y la simulación se ha utilizado la herramienta CAD de Cadence Opus DFWII [35]. El condensador de tanque, en aquellos prototipos que disponen de él, es un componente SMD soldado a la cavidad del encapsulado con epoxy no conductor y cableado con el dado de silicio del ASIC internamente (ver Figura 6-10.(a)).

El *trigger* de Schmitt se ha diseñado de forma que pudieran ser seleccionadas las tensiones  $V_{2\_max}$  y  $V_{2\_min}$ . Su estructura se basa en un biestables RS cuyas entradas están controladas por inversores con umbrales de conmutación diferentes. Para facilitar el diseño de estos inversores la tensión de entrada no es directamente la tensión del condensador de tanque sino una fracción obtenida con un divisor de tensión resistivo. La estructura general del *trigger* implementado se ilustra en la Figura 6-11.



**Figura 6-10**

(a) Fotografía de uno de los prototipos con condensador de tanque en la cavidad del encapsulado. (b) Fotografía del ASIC donde se indica las diferentes partes del circuito.

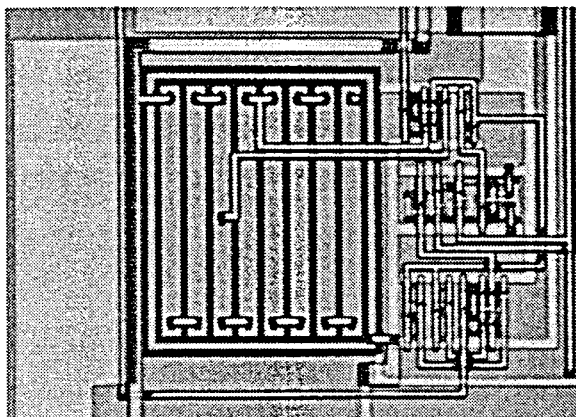


**Figura 6-11**

Estructura del trigger de Schmitt que controla la activación y desactivación del CCI.

El divisor de tensión proporciona dos fracciones de la tensión del condensador de tanque. Seleccionando una u otra llevamos el rango de funcionamiento cerca de los 5 V o bien cerca de los 3.3 V. Para seleccionar el margen de variación de la tensión se utilizan un par de inversores para detectar el valor  $V_{2\_min}$ . Seleccionando uno de ellos tendremos el margen mayor y con el otro, con umbral de conmutación superior, el margen menor. La Figura 6-12 muestra una fotografía del *trigger* de Schmitt implementado en el prototipo. La estructura de la izquierda corresponde al divisor realizado con una difusión de tipo n (la misma que se utiliza para realizar los pozos tipo n sobre el sustrato tipo p) para minimizar el área, dado que es el material que

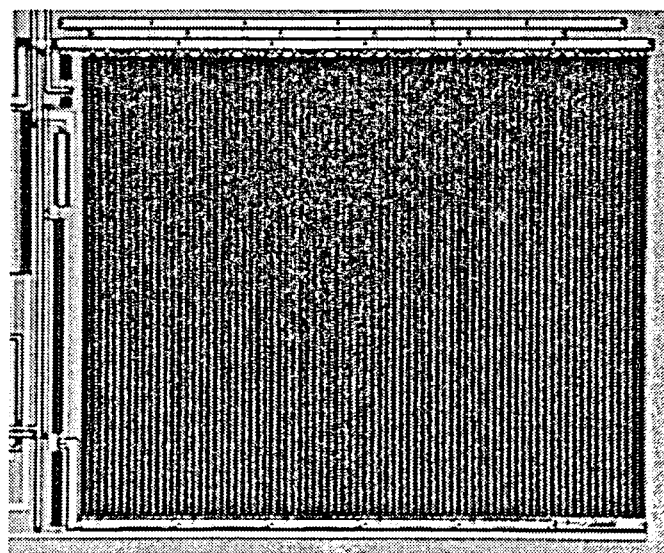
mayor resistividad por unidad de superficie presenta. A la derecha del divisor se pueden apreciar los transistores CMOS de que consta el biestable RS y el resto de elementos del *trigger*.



**Figura 6-12**

*Fotografía del trigger de Schmitt. A la izquierda se puede apreciar el divisor resistivo implementado con una difusión tipo n y a la derecha los inversores, puertas de transmisión y el biestable RS.*

El espejo de corriente de cuatro transistores se ha implementado con una estructura en forma de peine para minimizar el efecto de las variaciones de los parámetros de la tecnología dentro del mismo chip de silicio y maximizar el apareamiento entre los cuatro transistores [36][37]. En la Figura 6-13 puede apreciarse una fotografía de esta parte del circuito TCMOS. En la parte superior izquierda se encuentran las puertas de transmisión CMOS que son gobernadas por el *trigger* de Schmitt. Estas puertas se han diseñado con transistores complementarios PMOS y NMOS para minimizar los efectos de la inyección de carga al conmutar el estado del espejo de corriente. En la parte inferior izquierda tenemos el transistor NMOS que sirve como fuente de referencia controlando su tensión de puerta exteriormente.

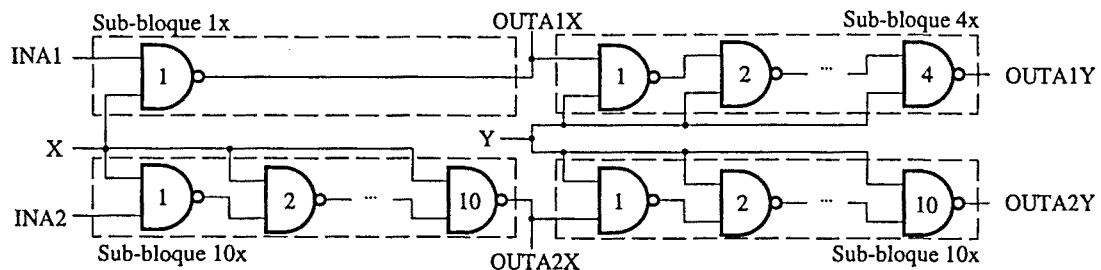


**Figura 6-13**

*Fotografía del espejo de corriente conmutable mediante las puertas de transmisión que aparecen en la esquina superior izquierda. En la parte inferior derecha se encuentra la fuente de corriente de referencia.*



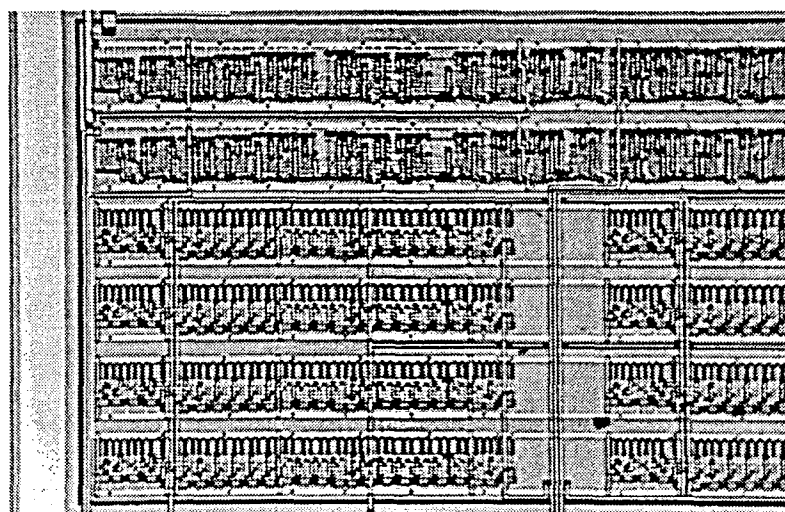
El CCL está formado por una serie de bloques lógicos secuenciales y combinacionales sencillos. Los bloques secuenciales son dos registros de desplazamiento de 8 bits realizados encadenando biestables de tipo D. Las entradas de reloj (CLKB), inicialización a '0' y a '1' (NCLR y NPRES, respectivamente) y la entrada serie (INB) son comunes a ambos registros. La salida de uno de los dos registros (OUTB) es accesible desde el exterior. El consumo medido mediante una simulación HSPICE de estos dos bloques secuenciales con una frecuencia de la señal CLKB de 100 MHz y con la entrada INB conmutando cada 20 nseg es de 12mW. Los bloques combinacionales se han realizado con una serie de puertas NAND de dos entradas encadenadas como se indica en la Figura 6-14. Los tamaños de las puertas se han agrupado en cuatro sub-bloques con consumos relativos: 1,4,10 y 10. Dos señales de control (X e Y) permiten activar o desactivar, junto con la dos entradas de las cadenas de puertas (INA1 y INA2) cada uno de los cuatro sub-bloques, consiguiéndose consumos teóricos relativos de 1, 5, 10, 11, 20 y 25. El consumo unitario de uno de estos sub-bloques, al que están referidos los demás se ha fijado en 0.44mW mediante una simulación HSPICE del circuito extraído a partir del *layout* con una frecuencia de la entrada INA1 de 100 MHz. El CCL cuenta en total con 10 bloques como el anterior. De estos bloques, dos comparten las dos entradas INA1 y INA2 y sus salidas son accesibles desde el exterior (OUTA1X, OUTA1Y, OUTA2X y OUTA2Y). Los otros ocho comparten con los dos anteriores las señales de activación X e Y, y tienen una entrada común a todos ellos (INA3). Mediante las entradas y las señales de control se puede seleccionar el número de sub-bloques que conmutan, permitiendo tener un consumo de la parte combinacional del CCL mínimo de  $2 \times 0.44 \text{ mW}$  (INA1 conmutando, INA2=INA3='0', X='1' e Y='0') y máximo de  $250 \times 0.44 \text{ mW}$  (INA1=INA2=INA3 conmutando y X=Y='1'). La Figura 6-15 muestra una fotografía de una parte del CCL. En ella puede verse, en la parte superior, una parte de los dos registros de desplazamiento y debajo de ellos cuatro bloques combinacionales completos y a su derecha parte de otros cuatro.



**Figura 6-14**

*Estructura de los bloques combinacionales del circuito lógico CMOS convencional (CCL).*

La parte lógica del circuito está rodeada por un anillo de guarda realizado con una difusión de tipo n+ sobre el sustrato tipo p. Este anillo tiene múltiples contactos en todo su perímetro y está conectado a dos terminales del encapsulado. De esta forma podemos conectar este anillo de guarda a la tensión de masa del sistema y medir con el otro terminal el ruido captado por el anillo de guarda, ruido que estará presente en el sustrato. Igualmente podemos dejar sin polarización este anillo y comparar ambas medidas.



**Figura 6-15**

*Fotografía de la lógica incluida en el ASIC mostrando parte de los registros de desplazamientos (en la parte superior) y cuatro bloques combinacionales completos más una parte de otros cuatro, en la parte inferior.*

Las entradas y salidas de la lógica se realizan mediante los *pads* digitales existentes en la librería de celdas estándar del fabricante. Todos estos circuitos de entrada y salida digitales van alimentados separadamente. Los *pads* de las entradas analógicas (tensión de polarización del espejo: VBIAS y tensión de control de la fuente de corriente  $I_{ref}$ : VREF) y de las entradas digitales de control de los márgenes del *trigger* de Schmitt (VTRIGCOM y VTRIGDIV) también se alimentan por separado con otros dos terminales de alimentación. El resto de terminales del encapsulado corresponden a alimentaciones. El terminal interno de masa (GND) es común a todo el circuito TCMOS y la lógica CCL y está duplicado. El terminal positivo de alimentación de la lógica (VDDTANK) y el de alimentación del TCMOS (VDD) están también duplicados. El prototipo se ha encapsulado en un DIP cerámico de 40 terminales.

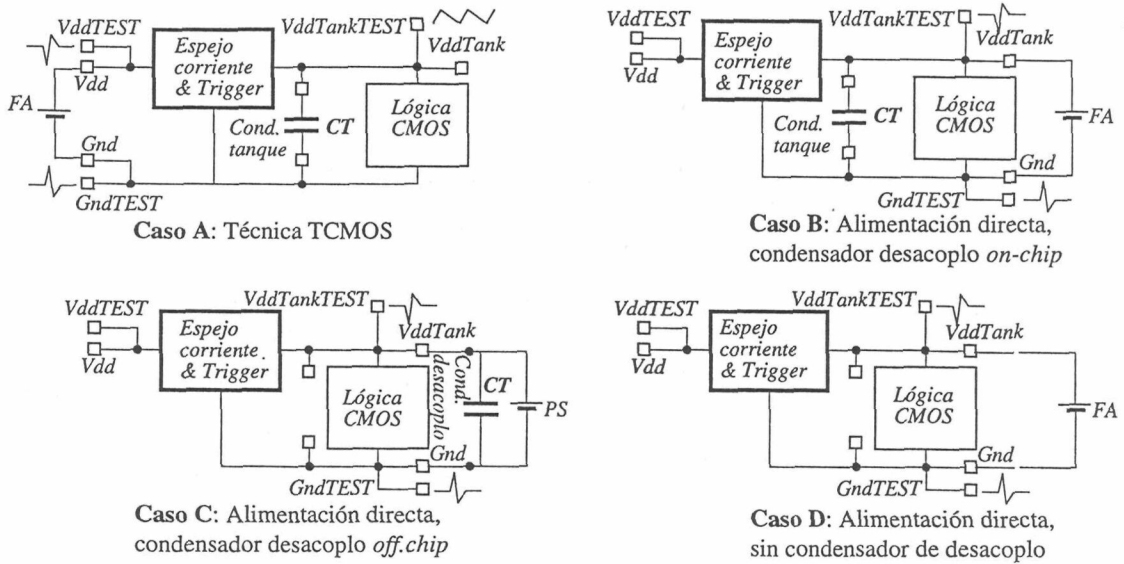
### 6.5.1.3 Configuraciones de medida

Gracias a los diferentes terminales de alimentación del prototipo podemos realizar diferentes configuraciones de medida que nos permitirán comparar la efectividad de la técnica TCMOS con otras alternativas. Estas configuraciones se representan de forma esquemática en la Figura 6-16. Como los terminales están por duplicado podemos medir el ruido de conmutación presente en las alimentaciones en el interior del chip semiconductor por un terminal mientras alimentamos por el otro [38].

El anillo de guarda nos permitirá medir el ruido de sustrato que se genera con las diferentes configuraciones posibles para alimentar la lógica (CCL): alimentación directa sin condensador de desacoplo *on-chip*, alimentación directa con condensador de desacoplo *on-chip*, y alimentación mediante el circuito TCMOS.

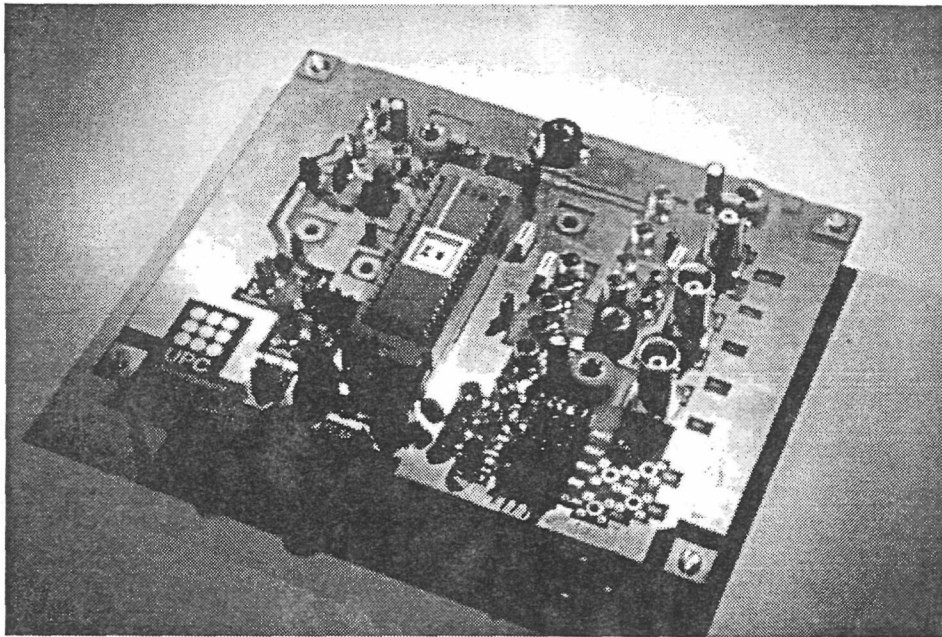
Se ha diseñado una placa de circuito impreso para realizar las diferentes medidas. La placa contiene un zócalo para colocar los prototipos, una serie de conectores para las alimentaciones, las señales de entrada y conectores especiales de baja inductancia de masa para conectar sondas Tektronix de elevado ancho de banda. Existe también la posibilidad de conectar la alimentación

al prototipo con un cable que se hace pasar a través de una sonda de corriente. La placa de medidas se muestra en la Figura 6-17



**Figura 6-16**

*Diferentes configuraciones de alimentación que es posible implementar con el prototipo.*



**Figura 6-17**

*Placa de circuito impreso para realizar las medidas sobre los prototipos.*

Las formas de onda de tensión se han medido mediante sondas activas Tektronix P605 de 700 MHz de ancho de banda, para las entradas y salidas, y P604 de 1.0 GHz de ancho de banda, en el caso del ruido de conmutación o de substrato. La corriente se ha medido en baja frecuencia con la sonda Tektronix A6302 de DC a 50MHz y el sistema de medida de corriente Tektronix AM 503, y en alta frecuencia con la sonda Tektronix CT-1 de 25 kHz a 1 GHz de ancho de banda, directamente conectada al osciloscopio. El osciloscopio es un digitalizador Tektronix DSA 602A de 2 Gmuestras/segundo con cuatro canales de 300 MHz de ancho de

banda y dos de 1 GHz. Todas las formas de onda han sido grabadas a disco e impresas directamente. Los estímulos de entrada los ha proporcionado el generador Tektronix HFS 9003.

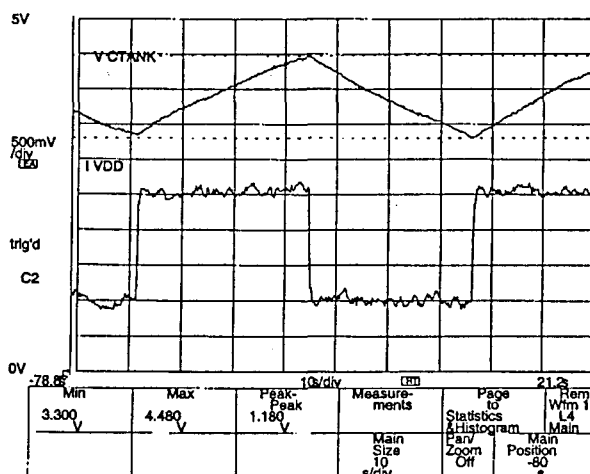
## 6.5.2 Medidas realizadas sobre los prototipos

Las medidas realizadas se agrupan en cinco sub-apartados: funcionalidad del TCMOS, ruido de conmutación, ruido en el sustrato, variación del retardo y consumo.

### 6.5.2.1 Funcionalidad del circuito TCMOS

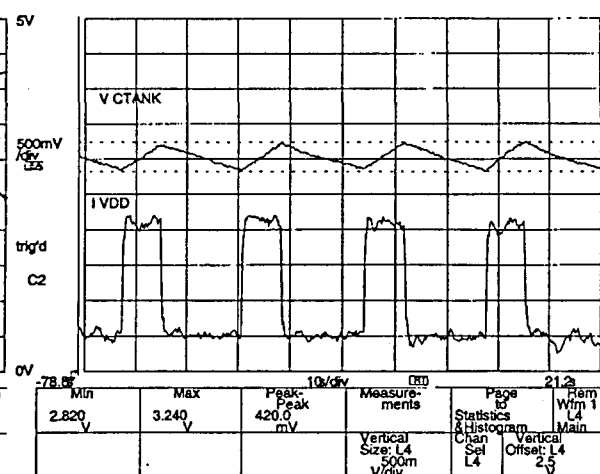
En todo este sub-apartado se utiliza la configuración del caso A de la Figura 6-16, es decir, el circuito lógico alimentado a través del TCMOS. La Figura 6-18 muestra las formas de onda de la tensión en el nodo positivo del condensador de tanque y la corriente que proporciona la fuente de alimentación externa a través del TCMOS. La amplitud de la corriente, 6 mA, corresponde aproximadamente a  $2 \times I_r$  (debido a que el espejo de corriente tiene ganancia unidad y por tanto la corriente total es aproximadamente igual a  $I_r + I_{ref}$ ). Se observa que esta corriente es constante durante todo el tiempo de recarga (32  $\mu$ seg aprox.) y luego se anula durante el tiempo de descarga (30  $\mu$ seg aprox.). Se puede constatar el correcto funcionamiento de la técnica TCMOS, que en este caso utiliza un  $C_T = 47$  nF. En la figura se muestran dos márgenes diferentes para la tensión de alimentación del CCL. La Tabla 6-3 muestra los valores reales obtenidos de los márgenes programables de tensión ( $V_{2\_max}$  y  $V_{2\_min}$ ) y su comparación con los valores teóricos diseñados.

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 24-JUL-97 time: 16:48:08



(a)

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 24-JUL-97 time: 16:50:20



(b)

Figura 6-18

Formas de onda de la tensión de alimentación del CCL sobre el condensador de tanque  $C_T = 47$  nF y de la corriente proporcionada por la fuente de alimentación externa. La escala vertical para la corriente es de 2 mA/división. (a) margen de alimentación 3.5 V a 4.5 V. (b) margen de 2.9 V a 3.3 V.

TRIGDIV	TRIGCOM	$V_{2,max}$		$V_{2,min}$	
		Real	Teórico	Real	Teórico
0	0	3.264 V	3.3 V	2.866 V	2.94 V
0	1	3.262 V	3.3 V	2.477 V	2.57 V
1	0	4.460 V	4.5	3.926 V	4.0 V
1	1	4.455 V	4.5	3.389 V	3.5 V

**Tabla 6-3**

*Márgenes de tensión programables para la lógica reales y teóricos*

En las tablas siguientes se muestran los diferentes parámetros ajustables del TCMOS. La Tabla 6-4 muestra el efecto de variar la  $I_{ref}$ . La Tabla 6-5 muestra el efecto de modificar el consumo de la lógica a través del cambio de la frecuencia de las entradas. La Tabla 6-6 muestra el efecto de modificar éste consumo mediante las entradas de activación de los sub-bloques combinatoriales X e Y. La Tabla 6-7 muestra los tiempos de carga de descarga y recarga obtenidos para un mismo consumo de la lógica y los mismos márgenes de tensión con los diferentes condensadores tanque. En la Tabla 6-8 se indica la variación de estos tiempos con el cambio de márgenes de tensión. Finalmente la Tabla 6-9 compara los resultados medidos de los tiempos de recarga y descarga para diferentes consumos del CCL con los obtenidos con las ecuaciones de (6-6).

VREF	$T_r$	$T_d$	$T_r + T_d$	$I_r$
5.0 V	1.8 $\mu$ seg	2.7 $\mu$ seg	4.5 $\mu$ seg	4.5 mA
4.5 V	2.7 $\mu$ seg	2.7 $\mu$ seg	5.4 $\mu$ seg	4.0 mA
3.5 V	4.9 $\mu$ seg	2.7 $\mu$ seg	7.6 $\mu$ seg	3.0 mA

**Tabla 6-4**

*Tiempo de recarga ( $T_r$ ) y descarga ( $T_d$ ) en función de la corriente de recarga ( $I_r$ ) ajustada a través de VREF y la fuente de referencia  $I_{ref}$ . Medida realizada con  $C_T = 47$  nF y consumo de la lógica al máximo (12 mW) con las entradas conmutando a 10 MHz.*

Frec. entradas	$T_r$	$T_d$	$T_r + T_d$	$P_d'$
10.0 MHz	2.7 $\mu$ seg	2.7 $\mu$ seg	5.4 $\mu$ seg	12.0 mW
5.0 MHz	1.9 $\mu$ seg	5.3 $\mu$ seg	7.2 $\mu$ seg	6.0 mW
3.3 MHz	1.7 $\mu$ seg	7.6 $\mu$ seg	9.3 $\mu$ seg	4.0 mW
2.0 MHz	1.5 $\mu$ seg	12.8 $\mu$ seg	14.3 $\mu$ seg	2.4 mW
0.1 MHz	1.4 $\mu$ seg	24.0 $\mu$ seg	25.4 $\mu$ seg	1.2 mW

**Tabla 6-5**

*Efecto de la variación del consumo debido al cambio en la frecuencia de las entradas en los tiempos de recarga y de descarga. La potencia consumida por la lógica ( $P_d'$ ) se ha extrapolado linealmente a partir de la medida realizada a la frecuencia de 10.0 MHz.*

X	Y	$T_r$	$T_d$	$T_r + T_d$
1	1	2.7 $\mu$ seg	2.7 $\mu$ seg	5.4 $\mu$ seg
1	0	1.8 $\mu$ seg	5.0 $\mu$ seg	6.8 $\mu$ seg
0	0	1.4 $\mu$ seg	26.5 $\mu$ seg	27.9 $\mu$ seg

**Tabla 6-6**

Efecto de la habilitación de los sub-bloques combinacionales en los tiempos de recarga y de descarga. La frecuencia de las entradas se ha mantenido a 10 MHz y la corriente  $I_r$  es de 4 mA con un  $C_T$  de 47 nF.

$C_T$	$T_r$	$T_d$	$T_r + T_d$
0.33 nF	0.4 $\mu$ seg	7.6 $\mu$ seg	8.0 $\mu$ seg
4.7 nF	3.7 $\mu$ seg	73.0 $\mu$ seg	76.7 $\mu$ seg
47.0 nF	33.0 $\mu$ seg	680.0 $\mu$ seg	714.0 $\mu$ seg

**Tabla 6-7**

Efecto de la capacidad del condensador de tanque ( $C_T$ ) en los tiempos de recarga y de descarga. Medida realizada con una frecuencia de las entradas de 500 kHz y  $I_r = 1.5$  mA.

TRIGCOM	$T_r$	$T_d$	$T_r + T_d$
1	2.7 $\mu$ seg	2.7 $\mu$ seg	5.4 $\mu$ seg
0	1.4 $\mu$ seg	1.4 $\mu$ seg	2.8 $\mu$ seg

**Tabla 6-8**

Tiempos de recarga y de descarga con  $C_T = 47$  nF, frec. entradas de 10 MHz y  $I_r = 4$  mA para dos márgenes de tensión de alimentación, 3.5 V a 4.5 V con TRIGCOM = '1' y 4 V a 4.5 V con TRIGCOM = '0'.

Frec. entradas	$T_r$ (teórico)	$T_d$ (teórico)	$P_d$
10.0 MHz	2.7 $\mu$ seg (2.9 $\mu$ seg)	2.7 $\mu$ seg (1.96 $\mu$ seg)	12.0 mW
5.0 MHz	1.9 $\mu$ seg (1.7 $\mu$ seg)	5.3 $\mu$ seg (3.9 $\mu$ seg)	6.0 mW
3.3 MHz	1.7 $\mu$ seg (1.6 $\mu$ seg)	7.6 $\mu$ seg (5.87 $\mu$ seg)	4.0 mW
2.0 MHz	1.5 $\mu$ seg (1.33 $\mu$ seg)	12.8 $\mu$ seg (9.79 $\mu$ seg)	2.4 mW
0.1 MHz	1.4 $\mu$ seg (1.25 $\mu$ seg)	24.0 $\mu$ seg (19.5 $\mu$ seg)	1.2 mW

**Tabla 6-9**

Comparación de los resultados de la Tabla 6-5 con los valores teóricos obtenidos con la ec. (6-6).

Los resultados del funcionamiento de la técnica TCMOS confirman lo esperado en el diseño teórico del circuito. La modificación del consumo de la lógica o del condensador de tanque tiene un efecto lineal en los tiempos de recarga y de descarga, al igual que el cambio en los márgenes de tensión de la lógica. De la comparación de los resultados experimentales con los teóricos de la Tabla 6-9 se constata como la ec. (6-6) produce estimaciones pesimistas (tiempos más cortos que los reales). Esto se debe, más que a los errores que pudiera producir la tolerancia del valor real de  $C_T$  o la diferencia entre los valores reales y teóricos de los márgenes de tensión (que como se observa en la Tabla 6-3 son pequeñas), a la dificultad de estimar el consumo real de la lógica cuando su tensión de alimentación varía con el tiempo. En la ecuación (6-6) se utiliza un valor de consumo obtenido con una tensión fija de 5.0 V. Este valor es una cota superior del consumo y por ello los tiempos calculados son siempre menores que los reales. Otro elemento de error es el incremento de consumo introducido por la circuitería del TCMOS, en concreto, la corriente que disipa el divisor resistivo del *trigger* de Schmitt.

#### 6.5.2.2 Medida del ruido de conmutación

El objetivo de la técnica TCMOS propuesta es reducir el ruido de conmutación en los terminales internos de alimentación y masa del encapsulado. Para obtener las prestaciones en este aspecto de dicha técnica se han realizado medidas sobre los prototipos y se han comparado las diferentes configuraciones posibles (ver Figura 6-16). En el caso A, cuando se utiliza el circuito TCMOS para alimentar a la lógica, el ruido se mide en el terminal VDDTEST, el duplicado de VDD que es donde se conecta la F.A. externa. En los otros casos B, C y D el ruido de conmutación se mide en el terminal VDDTANKTEST, duplicado del terminal VDDTANK donde se conecta, en estas configuraciones, la fuente de alimentación externa. El ruido de conmutación corresponde únicamente al ruido generado por la lógica interna. Hay que recordar que los *pads* de entrada y salida se alimentan separadamente.

La Figura 6-19 muestra las formas de onda del ruido de conmutación en los nodos Vdd y Gnd internos medido en los casos A y D, con un condensador *on-chip* de 47 nF que actúa como condensador de tanque en el primer caso. Se muestra la señal de reloj de los registros de desplazamiento que se utiliza también como entradas de la lógica combinatorial y una de las salidas de dicha lógica. La Tabla 6-10 presenta la amplitud del pico máximo negativo de ruido sobre el nodo Vdd interno para los cuatro casos y con diferentes valores del condensador.

A partir de los resultados obtenidos con los prototipos se puede ver como la reducción del ruido de conmutación, respecto al caso D, que se obtiene con el uso de un condensador de desacoplo *on-chip* de 47 nF es de un 18.82%. El uso de la técnica TCMOS supone una reducción del 70.64%, con el mismo valor de condensador de tanque. Los resultados obtenidos con valores de condensadores más pequeños son similares, aunque cuanto más pequeño es el condensador, menor es la reducción del ruido de conmutación.

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 24-JUL-97 time: 19:38:53

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 24-JUL-97 time: 19:43:37

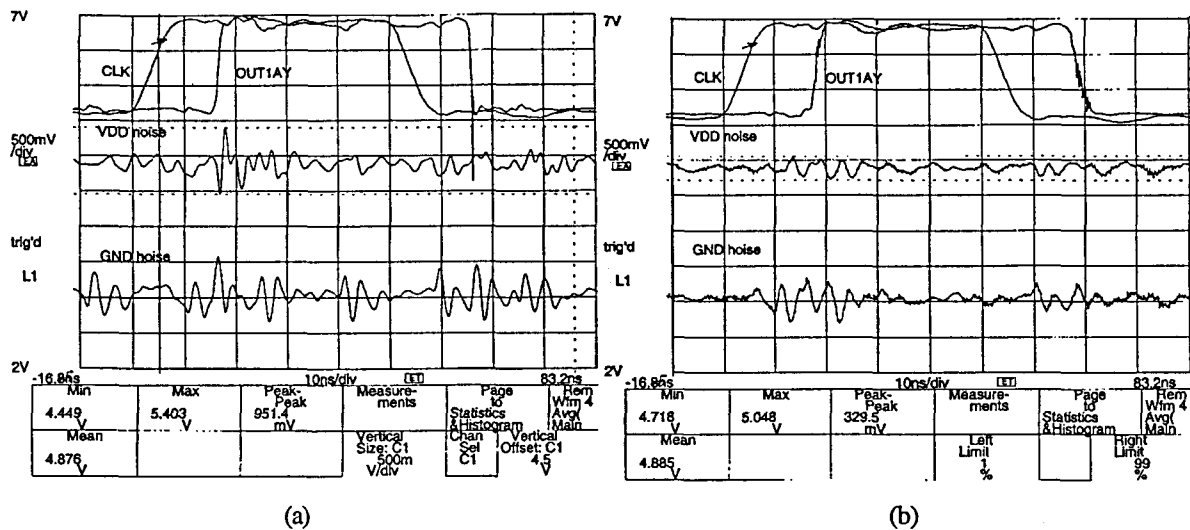


Figura 6-19

Medidas del ruido de conmutación sobre los terminales internos de alimentación. (a) Circuito lógico directamente alimentado sin condensador de desacoplo (caso D). (b) Circuito lógico alimentado con técnica TCMOS con  $C_T = 47 \text{ nF}$  y  $I_T = 4 \text{ mA}$ .

Casos	$C_T = 47 \text{ nF}$	$C_T = 4.7 \text{ nF}$	$C_T = 0.33 \text{ nF}$
A (TCMOS)	145 mV	156 mV	164 mV
B	401 mV	423 mV	465 mV
C	441 mV	—	—
D	494 mV		

Tabla 6-10

Pico de ruido negativo en el nodo Vdd on-chip.  $I_T = 4 \text{ mA}$  para el caso A (TCMOS).

### 6.5.2.3 Medida del ruido de sustrato

El anillo de guarda que rodea a toda la lógica permite medir y polarizar a la vez el sustrato en esa región del CI. La Figura 6-20 muestra las formas de onda medidas en el anillo en los casos D (alimentación directa del CCL sin condensador de desacoplo) y A (TCMOS) cuando dicho anillo no se polariza. La Tabla 6-11 completa los resultados de la figura con los casos en los que si se polariza el anillo conectándolo a la masa de la placa de medida.

Casos	Anillo conectado a Gnd	Anillo flotando
A (TCMOS)	180 mV	250 mV
B	223 mV	310 mV
D	288 mV	390 mV

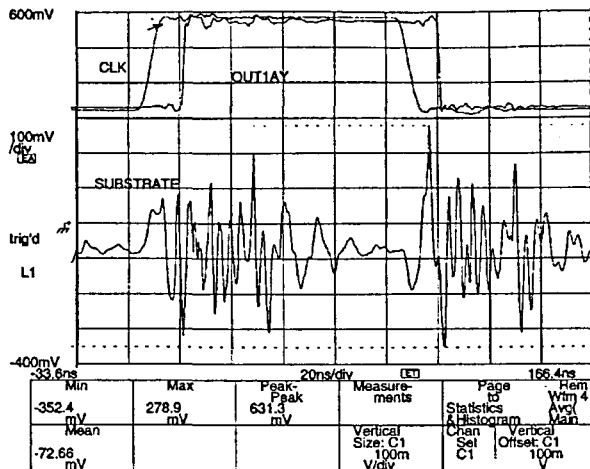
Tabla 6-11

Pico positivo máximo de ruido medido sobre el anillo de guarda. En los casos A y B el condensador on chip es de 47 nF.

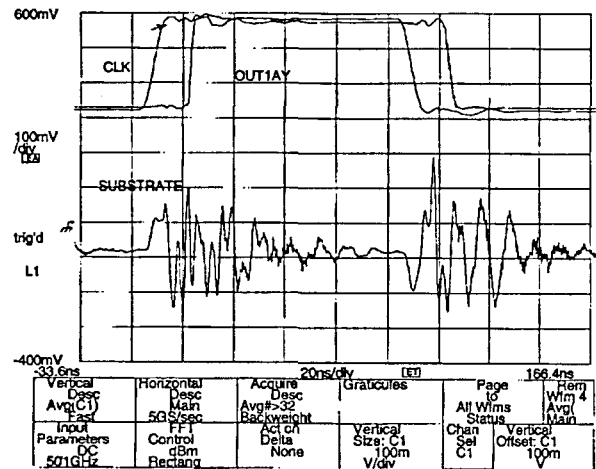


DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 24-JUL-97 time: 20:34:50

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 24-JUL-97 time: 20:40:59



(a)



(b)

Figura 6-20

Formas de onda del ruido de substrato captadas por el anillo de guarda. (a) Caso D, con el anillo flotando, (b) Caso A, con el anillo flotando: TCMOS con  $C_T = 47 \text{ nF}$  y  $I_T = 4 \text{ mA}$ .

#### 6.5.2.4 Medida de la variación en el retardo de propagación debido al TCMOS

La principal desventaja de la técnica TCMOS es que la tensión a la que se alimenta la lógica ( $V_2$ ), la tensión del condensador de tanque, varía con el tiempo entre  $V_{2\_min}$  y  $V_{2\_max}$ . Esta variación temporal produce modificaciones en los tiempos de propagación de la lógica. Se han realizado una serie de medidas para obtener los valores máximo y mínimo de este retardo en función de los diferentes parámetros de funcionamiento del TCMOS. Las salidas de la lógica van a parar a los *drivers* de salida. Como estos circuitos de entrada y salida están alimentados a una tensión fija podemos medir fácilmente el efecto de la tensión variable a través del error de fase que aparece en las salidas. Cuando el CCL se alimenta en la zona de 3.3 V los *drivers* de entrada y salida se alimentan a esta tensión y cuando el CCL se alimenta en la zona de 4.5 V, los *drivers* de entrada y salida se alimentan a 5.0 V. La Figura 6-21 muestra el error de fase medido con el osciloscopio DSA cuando los márgenes de alimentación del CCL van de 3.5 V a 4.5 V. La Tabla 6-12 presenta los resultados medidos del retardo cuando el CCL se alimenta directamente (Caso D) y la Tabla 6-13 las variaciones en el retardo debido a la tensión variable de alimentación del CCL cuando se utiliza el TCMOS con los diferentes márgenes de tensión seleccionables.

Tensión de → alimentación	5V	3.3V
OUTA2X	20.0 nseg	31.6 nseg
OUTA2Y	36.4 nseg	59.2 nseg
OUTAIX	4.0 nseg	6.5 nseg
OUTAIY	12.8 nseg	16.2 nseg

Tabla 6-12

Retardos entre la entrada y las salidas de la lógica combinacional en el caso D, con alimentación directa de la lógica del CCL

DSA 602A DIGITIZING SIGNAL ANALYZER  
date: 8-JUL-97 time: 18:05:59

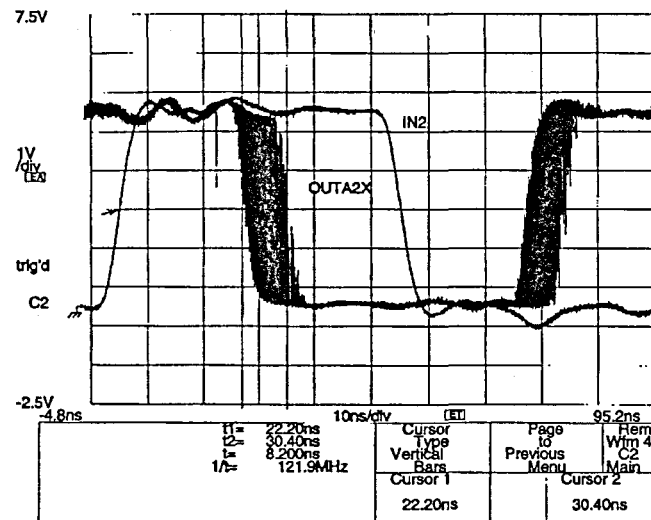


Figura 6-21

Error de fase en una de las salidas de la lógica cuando ésta se alimenta mediante el TCMOS.

Retardo en nseg.	$V_{2,max}$ 3.3V	$V_{2,min}$ 3.0V	$V_{2,max}$ 3.3V	$V_{2,min}$ 2.6V	$V_{2,max}$ 4.5V	$V_{2,min}$ 4V	$V_{2,max}$ 4.5V	$V_{2,min}$ 3.5V
OUTA2X	31.8 0.6%	39.6 25%	31.8 0.6%	51.4 62.7%	21.8 9%	25.4 27%	21.8 9%	30 50%
OUTA2Y	59.8 1%	74.4 25.7%	59.8 1%	83.7 41.4%	39.8 9.4%	46.4 27%	39.8 9.4%	56.6 56%
OUTA1X	6.6 1%	7 7%	6.6 1%	7.5 15.4%	4.6 15%	5.8 45%	4.6 15%	6.2 55%
OUTA1Y	16.3 0.6%	18.6 15%	16.3 0.6%	21.8 34.6%	13.5 4.7%	14.6 14%	13.4 4.7%	16 25%

Tabla 6-13

Variaciones introducidas en el retardo respecto a las medidas de la Tabla 6-12 por la técnica TCMOS. Bajo cada valor en tiempo absoluto del retardo se muestra el % de incremento respecto del retardo correspondiente para el caso D.

### 6.5.2.5 Análisis del consumo

La potencia disipada por el conjunto TCMOS + CCL puede subdividirse en las siguientes componentes:  $P_{TCMOS} = P_{CT} + P_{CCI} + P_{REF}$ . La  $P_{CT}$  es la potencia correspondiente a la energía almacenada en el condensador de tanque. Esta potencia tiene tres componentes, las pérdidas propias debido a las no idealidades del condensador de tanque ( $P_{perd}$ ), la corriente disipada en el divisor del trigger de Schmitt que está alimentado por el propio condensador ( $P_{sens}$ ) y la potencia consumida por la lógica ( $P_d$ ). La  $P_{CCI}$  es la potencia que consume la circuitería del TCMOS (trigger de Schmitt, puertas de transmisión, etc.). La  $P_{REF}$  es el consumo de la fuente de referencia. Por definición, en el presente diseño  $P_{REF} = P_{CT}$  ya que la ganancia del espejo de corriente es la unidad.

Para determinar experimentalmente estos consumos se han realizado diversas medidas. La medida directa de  $P_{CCI}$  no es posible por lo que se ha tomado el valor obtenido mediante simulación, de unos 0.5 mW.

La medida de  $P_{sens} + P_{perd}$  se realiza de forma conjunta de la siguiente forma: cuando la lógica no está activa, estos consumos son los únicos que descargan el condensador de tanque. Conociendo la corriente de recarga y el tiempo que tarda el condensador en descargarse, podemos medir las pérdidas del condensador, que resultan ser de  $12.9 \mu A$  para un condensador  $C_T = 0.33 \text{ nF}$ . Como la tensión del condensador varía, para conocer el consumo en vatios se tendría que integrar. En todo caso, es más útil dejar este valor en corriente dado que de esta forma es una constante del diseño.

La disipación de la lógica ( $P_d'$ ) se ha medido alimentándola según el caso D, directamente y sin el condensador de desacoplo. Integrando la forma de onda de la corriente y multiplicandola por la tensión. Promediando posteriormente por el número de ciclos de las señales de entrada se obtiene que para una frecuencia de las entradas de  $10 \text{ MHz}$  y  $V_{dd} = 5.0 \text{ V}$  la potencia disipada por la lógica da  $P_d' = 12 \text{ mW}$ . Este consumo se reducirá en las mismas condiciones si la tensión de alimentación de la lógica varía con el tiempo por debajo de  $5.0 \text{ V}$ , como es el caso cuando se utiliza la técnica TCMOS.

El consumo total  $P_{TCMOS}$  puede medirse de la misma forma que  $P_d'$  pero alimentando según la configuración del caso A. El valor obtenido con un  $C_T$  de  $0.33 \text{ nF}$  y márgenes de  $V_2$  de  $3.5 \text{ V}$  a  $4.5 \text{ V}$  es de  $21.6 \text{ mW}$ . Si realizamos el cálculo inverso para obtener  $P_d'$  del consumo total medido, restando todos los demás, obtenemos un valor  $P_d' = 10.48 \text{ mW}$ . En todo caso, queda claro que la penalización en el consumo introducida por la técnica TCMOS con la presente configuración es algo menor del  $200 \%$  respecto del consumo original de la lógica.

Una forma de reducir la penalización en el consumo consistiría en aumentar la ganancia del espejo de corriente del CCI lo que permitiría reducir  $I_{ref}$ . Esto debería hacerse a costa de incrementar el área total del espejo.

### 6.5.3 Discusión de los resultados y trabajo futuro

Las medidas realizadas sobre los prototipos fabricados validan el funcionamiento de la técnica y su facilidad de ajuste a diferentes condiciones de consumo y requerimientos de alimentación. El TCMOS puede utilizarse fácilmente como reductor de tensión de forma que determinadas partes del circuito se alimenten con una tensión inferior al resto, precisamente aquellas que generan más ruido de conmutación.

El análisis comparativo de la reducción del ruido de conmutación conseguido con la técnica TCMOS, en torno a un  $70\%$  de reducción, frente al  $19\%$  conseguido con un condensador de desacoplo *on-chip* permite comprobar la utilidad de esta técnica. También se consigue una apreciable reducción, entorno al  $30\%$ , del ruido presente en el sustrato.

Las principales desventajas de esta técnica son el área ocupada, el consumo de potencia adicional y por encima de todo la variabilidad de la tensión de alimentación de la lógica. Las dos primeras pueden fácilmente optimizarse recurriendo a espejos más sencillos (de dos transistores), a costa de sacrificar la linealidad de la corriente de salida, revisiones que se

plantean como trabajo futuro. En cuanto a la variabilidad temporal de las tensiones de la lógica con el tiempo descartan su aplicación en aquellas aplicaciones de circuitos digitales de alta velocidad donde errores de fase como los reportados sean excesivos. La mejor área de aplicación puede ser el entorno de circuitos mixtos de tamaño medio en los que la parte digital no interactúa excesivamente con el exterior del sistema, sino que más bien realiza un procesamiento interno de la información. Como la tensión de alimentación internamente es la misma para toda la lógica no existen errores de fase internos y los únicos problemas estarían entre la interfaz con las partes analógica que deberían tolerar ciertas variaciones en los tiempos de llegada de las señales y en la comunicación con el mundo exterior digital.

Existe, no obstante, una aplicación mucho más general para esta técnica. Cuando la corriente de recarga  $I_r$  coincide con el consumo de la lógica más las pérdidas, el CCI siempre está en *on* y no se produce variación en la tensión de alimentación de la lógica, que queda fijada en un valor entre  $V_{2\_min}$  y  $V_{2\_max}$ . El problema es que si el consumo de la lógica varía, la tensión del condensador varía y puede pasar, si el consumo disminuye demasiado, a la situación de desconexión del CCI. Si se introduce un circuito de retroacción que controle el valor de VREF para ajustar la corriente de recarga  $I_r$  en función del consumo de la lógica, puede mantenerse fija la tensión de alimentación de la lógica. Ésta sigue aislada, gracias a la fuente de corriente que forma el espejo, de las inductancias del encapsulado. La estructura sugerida no es más que un sencillo regulador DC-DC *on-chip*. Este área de investigación aparece como una atractiva línea futura de investigación. En los CI complejos de altas prestaciones actuales ya es necesario situar el regulador DC-DC junto al propio CI [39][40]. Esto es debido a las grandes demandas de corriente que requieren los circuitos digitales actuales en tiempos brevísimos. El siguiente paso deberá ser integrar en el propio CI el regulador. De esta forma se independizará el CI de su encapsulado y de todas las limitaciones que éste introduce en la distribución de la alimentación hacia los circuitos semiconductores. La técnica TCMOS es un primer paso en esa dirección.

## 6.6 Tendencias futuras en la distribución de la alimentación a circuitos integrados

La evolución tecnológica y las demandas del mercado de circuitos integrados cada vez más complejos y a los que se les exige, entre otras cosas, altas velocidades de proceso y posibilidades de operar en modos de consumo reducido, tiene un impacto importante en el diseño de la distribución de la alimentación a dichos CI de altas prestaciones. Las demandas de corriente en tiempos reducidos son cada vez de mayor amplitud y el sistema de alimentación debe proporcionar esas  $dI/dt$  sin modificar el nivel de la tensión de alimentación. La principal limitación es la inductancia de los conductores que unen la fuente de alimentación con el circuito que demanda esos pulsos de corriente. Ello ha obligado, por ejemplo, a situar un regulador de corriente local para los microprocesadores de última generación de Digital [39] e Intel [40]. Entre éstos reguladores locales [41][42] y el circuito integrado se encuentra la inductancia de las conexiones del regulador al encapsulado y sobre todo las propias del encapsulado. El paso siguiente será integrar el regulador DC-DC dentro del propio CI, técnica de la que ya existen algunas propuestas [43][44]. El acercamiento progresivo del regulador al circuito que demanda la corriente resuelve muchos de los problemas del ruido de conmutación debido a la actividad

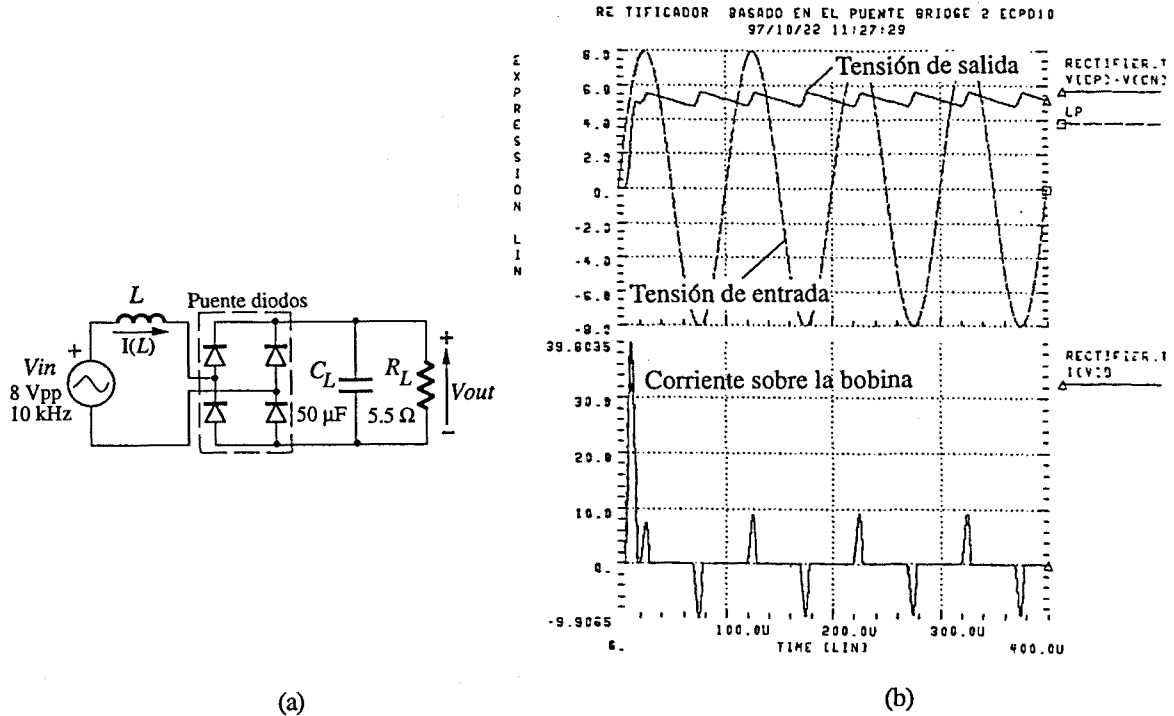
interna del circuito lógico. Sin embargo todas las conmutaciones *off-chip* producidas por los *drivers* de salida tienen caminos de retorno de la corriente que entran y salen del encapsulado y pasan por los planos de masa y alimentación del módulo, en el caso de comunicación entre chips dentro de un MCM, o de la placa de circuito impreso, si la comunicación es entre diferentes CIs. Estos caminos de retorno de la corriente contienen inductancias considerables que generan ruido de conmutación, a pesar de que el CI emisor y el receptor tengan condensadores de desacoplo internos o lleven integrado su propio regulador DC-DC.

Cuando la alimentación ha de distribuirse a un sistema complejo, con varios CIs con demandas de corriente similares, nos encontramos con el problema de las diferentes tensiones de alimentación que se pueden encontrar en los terminales de los distintos CI, respecto de la tensión de alimentación nominal del regulador (local o no). Un paso más allá de integrar el regulador DC-DC consistiría en integrar toda la fuente de alimentación dentro del encapsulado. De esta forma se aísla eléctricamente la alimentación de cada CI de los demás y se eliminan los mecanismos de transmisión de ruido por la alimentación. Lógicamente, esta alternativa requeriría transmitir la energía a cada CI a través de un campo magnético. El primario del transformador sería único y cada CI tendría su secundario. Se ha realizado un breve estudio de viabilidad sobre los valores de los componentes que deberían utilizarse para integrar la F.A. dentro del propio CI.

### 6.6.1 Viabilidad de integrar la fuente de alimentación.

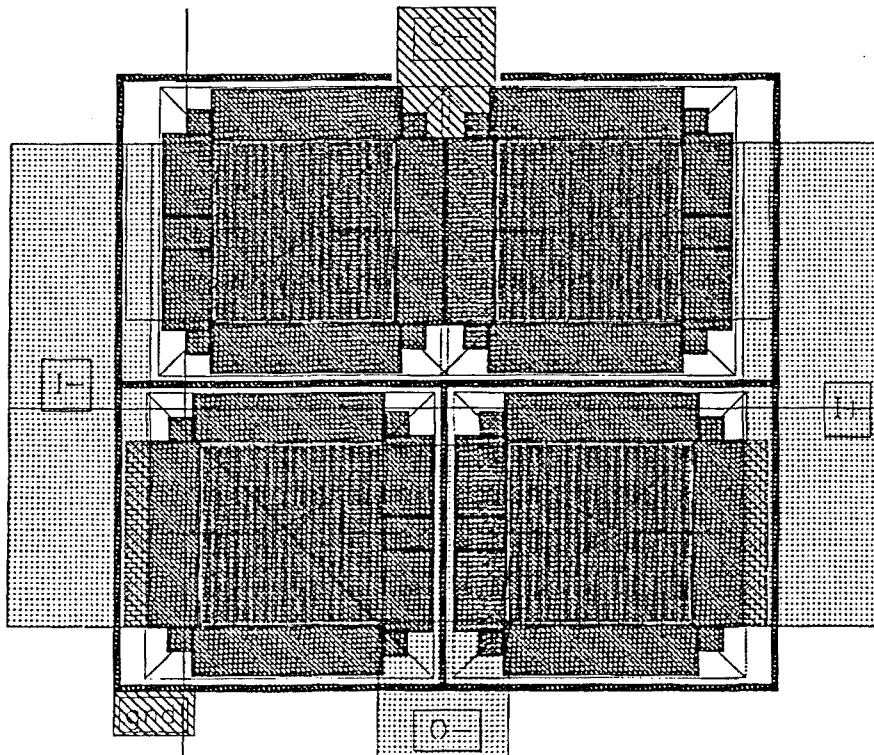
En primer lugar, es necesario conocer las restricciones que impone la tecnología basada en semiconductores al uso de corrientes y tensiones elevadas en los dispositivos CMOS. Las tensiones de ruptura, parámetro que nos limitará la excursión de tensión sobre los diodos rectificadores, son del orden de 20 V para una tecnología CMOS de 1.2  $\mu\text{m}$  y de 15 V para una tecnología CMOS de 0.8  $\mu\text{m}$  (datos proporcionados por AMS [45]). Existen procesos con transistores que resisten tensiones más elevadas [46]. Otro límite impuesto por la tecnología es la corriente máxima que soportan los diferentes elementos conductores metálicos (vias, contactos y pistas de metal), para asegurar unos niveles aceptables de fiabilidad y tiempos de vida, y para evitar degradaciones, sobre todo debido a la electromigración. Estas limitaciones fijan las áreas mínimas de los dispositivos para un nivel de corriente dado. Por ejemplo, un diodo realizado con una difusión n+ sobre substrato p en una tecnología CMOS de 1  $\mu\text{m}$  [34] para soportar 1A de corriente dentro de los márgenes de fiabilidad ha de tener un tamaño de 323×401  $\mu\text{m}^2$  y debe conectarse mediante 303 contactos con las líneas de metal.

Se ha realizado una primera implementación para el circuito de la Figura 6-22.(a). La simulación de la Figura 6-22.(b) se ha realizado utilizando el circuito extraído a partir del *layout* del puente de diodos realizado con la tecnología de 1.0  $\mu\text{m}$  de [34]. El *layout* se muestra en la Figura 6-23. El resto de componentes se han añadido al listado del circuito como componentes discretos ideales.



**Figura 6-22**

(a) Circuito equivalente al secundario del transformador y el rectificador de una F.A. (b) Resultados de simulación del circuito anterior.



**Figura 6-23**

Layout del puente de diodos realizado con una tecnología CMOS de 1  $\mu\text{m}$ .

La frecuencia de entrada con la que se trabaja es de 10 kHz. Esto facilita el diseño y la integración de los componentes discretos (inductancias y condensadores) que deben utilizarse en

la construcción de la F.A. [9]. El estudio realizado pone de manifiesto algunos de los compromisos de diseño implicados en la integración de la F.A. Algunos aspectos deben investigarse con más detalle, como las radiaciones electromagnéticas (EMI) que se generarían en este tipo de estructuras acopladas magnéticamente o la comunicación entre los diferentes CIs, dado que ya no existe una referencia de tensión común a todos los circuitos (el terminal de masa de la lógica es local a cada CI) y las tensiones internas de cada circuito pueden ser perfectamente diferentes. Una posible alternativa, que se expondrá más detalladamente en el capítulo siguiente, sería realizar las comunicaciones entre CI en modo corriente.

## 6.7 Conclusiones

Se ha visto en este capítulo como el problema del ruido de conmutación puede ser abordado también desde la vertiente de la distribución de la alimentación a los CIs. El término inductivo de esta distribución es precisamente el causante de que las demandas de corriente de los circuitos se transformen en pulsos de ruido.

La distribución de la alimentación es un sub-sistema jerárquico que contempla diversos niveles, desde la distribución por todo el sistema electrónico hasta el interior de los CI, pasando por la distribución en las placas sobre las que se interconectan dichos CIs. El uso de condensadores de desacoplo en cada uno de estos niveles permite mantener localmente los niveles de tensión constante independientemente de las demandas de corriente del CI, siempre que estas se mantengan dentro de los límites para los que se ha diseñado el condensador. De todas formas el problema del cálculo de esta red de distribución debe abordarse de forma global buscando siempre como objetivo conseguir una impedancia de la red reducida y plana en el rango de frecuencias de interés, que va desde la continua hasta varias veces la frecuencia del reloj del sistema.

Uno de los elementos claves en la reducción del término inductivo de la alimentación es el encapsulado. Debido a sus reducidas dimensiones no se tiene tanta libertad a la hora de diseñar los condensadores de desacoplo internos por lo que es importante minimizar la inductancia debida al encapsulado, la última que nos encontramos antes de acceder directamente al CI semiconductor. Se han resumido las diferentes técnicas de encapsulado existentes y las técnicas utilizadas para reducir la inductancia, como el uso de múltiples terminales de alimentación. Todas estas técnicas tienen como contrapartida un aumento del coste final del CI.

Dentro del circuito integrado es posible también recurrir a condensadores de desacoplo *on-chip*. En este caso es importante determinar la posición y el valor óptimo, sobre todo en CI de tipo MCM. La principal problemática de estos condensadores de desacoplo es la resonancia que introducen junto con la inductancia del encapsulado. Como se ha mostrado, la amplitud de esta oscilación puede llegar a ser el doble que la del ruido de conmutación. Además se han de tener en cuenta los componentes parásitos de estos condensadores internos de desacoplo que hacen que para frecuencias elevadas se comporten de forma inductiva en vez de capacitiva.

Para solventar el problema de las oscilaciones producidas por los condensadores *on-chip* se han comentado las soluciones aparecidas en la literatura, consistentes en añadir resistencia para aumentar el factor de amortiguación de la oscilación o bien en añadir un circuito RLC en paralelo con el condensador de desacoplo que compense la resonancia.

Se ha presentado también una nueva técnica de alimentación (TCMOS) en la que la corriente de conmutación es proporcionada totalmente por un condensador *on-chip* y éste queda siempre aislado del terminal de alimentación del encapsulado. De esta forma se evita que la corriente de conmutación circule por las inductancias parásitas del encapsulado. El condensador es recargado cada cierto tiempo por una fuente de corriente constante. Se han presentado resultados experimentales de esta técnica en los que se demuestra su funcionamiento. Se alcanzan reducciones en los niveles de ruido de conmutación del 70% y también se reduce el ruido presente en el sustrato. La técnica es fácilmente adaptable a cualquier condición de consumo de la circuitería lógica a alimentar y tiene como principal desventaja que la tensión de alimentación de la lógica varía con el tiempo. Para resolver este inconveniente se propone como trabajo futuro añadir un lazo de realimentación que estabilice el nivel de tensión de alimentación de la lógica con la filosofía de un convertidor DC-DC.

Como líneas futuras de investigación se ha constatado la tendencia actual a acercar la F.A. a los circuitos que demandan pulsos de corriente de conmutación con  $dI/dt$  cada vez mayores. Por el momento ya es necesario en algunos circuitos complejos de altas prestaciones diseñar un regulador DC-DC local que se coloca junto al propio encapsulado. El paso siguiente consistiría en integrar el convertidor DC-DC dentro del propio encapsulado, de lo que ya hay alguna propuesta. Yendo más allá, se plantea la posibilidad de integrar la F.A. completa y se han presentado los resultados de un primer estudio de viabilidad en este sentido. Estas nuevas estrategias de alimentación de circuitos de altas prestaciones se proponen también como futura línea de investigación.

## Referencias

- [1] H.B. Bakoglu. *Circuits, Interconnections, and Packaging for VLSI*. 1990. Massachusetts: Addison-Wesley Publishing Company.
- [2] A. J. Blodgett and D. R. Barbour, 'Thermal Conduction Module: A High Performance Multilayer Ceramic Package', *IBM Journal of Research and Development*, Vol. 26, No. 1, January 1982, pp. 30–36.
- [3] H.W. Ott. *Noise Reduction Techniques in Electronic Systems*. 2nd. Ed., 1988. New York: John Wiley Interscience.
- [4] Larry D. Smith, 'Decoupling Capacitor Calculations for CMOS Circuits', *Proc. of the Electrical Performance of Packages Conference*, 1994, pp. 101–105.
- [5] Jong-Gwan Yook, V. Chandramouli, Linda P. B. Katehi, Kareem A. Sakallah, Tawfik R. Arabi, and Tim A. Schreyer, 'Computation of Switching Noise in Printed Circuit Boards', *IEEE Tr. on Components, Packaging and Manufacturing Technology—Part A*, Vol. 20, No. 1, March 1997, pp. 64–75.



- [6] Bob Mammano, 'Fueling the Megaprocessors-Empowering Dynamic Energy Management',
- [7] Howard H. Chen and Stanley E. Schuster, 'On-Chip Decoupling Capacitor Optimization for High-Performance VLSI Design', *Proc. 1995 IEEE Int. Symp. VLSI Tech., Systems and Appl.*, pp. 99–103.
- [8] Balsha R. Stanisic, Rob. A. Rutenbar, and L. Richard Carley. *Synthesis of Power Distribution to Manage Signal Integrity in Mixed-Signal ICs*. 1996. Massachusetts: Kluwer Academic Publishers.
- [9] Robert C. Frye, 'Passive Components in Electronic Applications: Requirements and Prospects for Integration', *Int Journal of Microcircuits and Electronic Packaging*, Vol. 19, No. 4, 1996, pp. 483–490.
- [10] A. Chamas et al., 'A 64b Microprocessor with Multimedia Support', *1995 IEEE Int. Solid-State Circuits Conference Digest of Technical Papers*, February 1995, pp. 178–179, 361.
- [11] Chender Huang, Yaochao Yang, and John L. Prince, 'A Simultaneous Switching Noise Design Algorithm for Leadframe Packages with or without Ground Plane', *IEEE Tr. on Components, Packaging, and Manufacturing Techn.—Part B*, Vol. 19, No. 1, February 1996, pp. 15–22.
- [12] John M. Williamson, Michel S. Nakhla, Qi-Jun Zhang, and Patrick D. van der Puije, 'Ground Noise Minimizatin in Integrated Circuit Packages through Pin Assignment Optimization', *IEEE Tr. on Components, Packaging, and Manufacturing Techn.—Part B*, Vol. 19, No. 2, May 1996, pp. 361–371.
- [13] Shaofang gong, Hans Hentzell, Sven-Tuve Persson, Hjalmar Hesselbom, Bo Lofstedt, and Magnus Hansen, 'Techniques for Reducing Switching Noise in High Speed Digital Systems', *Proc. 8th Annual IEEE INt. ASIC Conf. and Exhibit*, 1995, pp. 21–24.
- [14] 'Ground Bounce in 8-Bit High Speed Logic', Harris Semiconductor Application Note No. AN9646, December 1996. <http://www.semic.harris.com>
- [15] Carmen Mattei, Bruce Gueinin, Phil Wingate, and Richard Ried, 'Considerations for Designing and Utilizing Plastic MCM BGA Packaging', *Advancing Microelectronics*, Vol. 24, No. 2, March/April 1997, pp. 20–25.
- [16] Kumaresh Mathey, Madhavan Swaminathan, L. D. Smith, and T. J. Cockerill, 'Noise Computation in Single Chip Packages', *IEEE Tr. on Components, Packaging, and Manufacturing Techn.—Part B*, Vol. 19, No. 2, May 1996, pp. 350–360.
- [17] P. Vanoostende, et al., 'Evaluations of the Limitations of the Simple CMOS Power Estimation Formula: Comparison with Accurate Estimation', *PATMOS*, 1992, pp. 16–25.
- [18] D. Liu, C. Svensson, 'Power Consumption Estimation in CMOS VLSI Chips', *IEEE J. Solid-State Circuits*, Vol. 29, No. 6, June 1994, pp. 663–670.
- [19] Patrik Larsson, 'Analog Phenomena in Digital Circuits', *Linköping Studies in Science and Technology*, Dissertation No. 376, 1995.
- [20] Michael Dolle, 'Analysis of Simultaneous Switching Noise', *IEEE Symp. Circuits and Systems*, 1995, pp. 904–907.
- [21] Samil Hasan and J.L. Prince, 'The Effect of Core-Logic Parasitic Capacitance on the Power Bus Noise', ECE 696B Report, Center for Electronic Packaging Research, Dept. of Electrical and Computer Engineering, Univ. of Arizona, Tucson.
- [22] R. Downing, P. Gebler, and George Katopis, 'Decoupling Capacitor Effects on Switching Noise', *IEEE Tr. on Components, Hybrids, and Manufacturing Technology*, Vol. 16, No. 5, August 1993, pp. 484–489.

- [23] Zhonghua Wu, Yuzhe Chen, and Jiayuan Fang, 'Modeling and Simulation of Integral Decoupling Capacitors in Single and Multichip Module Electronics Packaging', *Proc. 44th Electronic Components Technol. Conf.*, 1994, pp. 945–948.
- [24] C.C. Huang, Bill Loh, and Florence Wong, 'Ground Bounce Study of 304 Lead Interposer MQFP with On-Chip Decoupling Capacitor Test Die', *Proc. IEEE Tech. Applications Conf. NORTCON'95*, 1995, pp. 343–346.
- [25] W. Bowhill, et al., 'A 300 MHz 64b Quad-Issue CMOS RISC Microprocessor', *Proc. Int. Solid-State Conference*, February 1995, pp. 182–183.
- [26] Liren Chen, and Bidyut Sen, 'Measurement Study on Simultaneous Switching Noise', *Proc. 4th Topical Meeting on Electrical Performance of Electronic Packages*, 1995, pp. 40–42.
- [27] Bidyut K. Sen, and Richard L. Wheeler, 'Performance Comparison of Discrete and Buried Capacitors', *Int. Journal of Microcircuits and Electronic Packaging*, Vol. 19, No. 4, 1996, pp. 449–455.
- [28] Mark Ingels, and Michiel S.J. Steyaert, 'Design Strategies and Decoupling Techniques for Reducing the Effects of Electrical Interference in Mixed-Mode IC's', *IEEE J. of Solid-State Circuits*, Vol. 32, No. 7, July 1997, pp. 1136–1141.
- [29] J.L. González and A. Rubio, 'TCMOS: Low Noise Power Supply Technique for Digital ICs', *Electronics Letters*, Vol. 31, No. 16, August 1995, pp. 1338–1339.
- [30] J.L. González and A. Rubio, 'Design Guidelines and Digital Circuit Effects of TCMOS Low Noise Power Supply Technique', *Proc. of XI Conference on Design of Integrated Circuits and Systems*, November 1996, pp. 81–86.
- [31] D.J. Allstot, S.-H. Chee, S. Kiaei, and M. Shrivastawa, 'Folded Source-Coupled Logic vs. CMOS Static Logic for Low-Noise Mixed-Signal IC's', *IEEE Tr. on Circuits and Systems—II*, Vol. 40, No. 9, 1993, pp. 553–563.
- [32] P.J. Crawly, and G.W. Roberts, 'High-Swing MOS Current Mirror with Arbitrarily High Output Resistance', *Electronics Letters*, Vol. 28, No. 4, February 1992, pp. 361–363.
- [33] Jordi Bosch i Garcia. *TCMOS: Tècnica d'Alimentació de Baix Soroll per a Circuits Integrats CMOS*. Projecte Fi de Carrera. Juliol 1997. E. T. S. d'Enginyeria de Telecomunicació de Barcelona, Universitat Politècnica de Catalunya.
- [34] ECPD10 dual metal single poly 1.0 $\mu$ m CMOS technology, ver. 4.0.2E2, ATMEL-ES2, Bât 24, Parc Burospace, 91572 Bievres CEDEX.
- [35] Cadence EDA Products for Sun SPARC/SunOS 4.x, Release 9502, Cadence Design Systems, Inc. 555 River Oaks Parkway, San Jose, CA 95134.
- [36] Eric Vittoz, *Analog Layout Techniques*. In intensive course on Practical Aspects in Analog IC Design, June 29–July 10, 1992, EPFL-Lausane, Switzerland.
- [37] Franco Maloberti. *Layout of Analog and Mixed Analog/Digital Systems and Design Examples of CMOS Mixed Circuits*. In intensive course on Practical Aspects in Analog IC Design, June 29–July 10, 1992, EPFL-Lausane, Switzerland.
- [38] Nishath K. Verghese, Timothy J. Schmerbeck, and David J. Allstot. *Simulation Techniques and Solutions for Mixed-Signal Coupling in Integrated Circuits*. 1995. Massachusetts: Kluwer Academic Publishers.
- [39] Rich Evans and Michael Tsuk, 'Modeling and Measurement of a High-Performance Computer Power Distribution System', *IEEE Tr. on Components, Packaging, and Manufacturing Techn.—Part B*, Vol. 17, No. 4, November 1994, pp. 467–471.
- [40] *Slot 1 Processor Power Distribution Guidelines*. Intel Pentium II<sup>®</sup> Application Note AP-587, Intel Corporation, May 1997. Web: <http://www.intel.com>.

- [41] E. de la Cruz, S. Ollero, J. Rodríguez, J. Uceda, J.A. Cobos, 'Review of Suitable Topologies for On Board DC/DC Converters in Distributed Power Architectures for Telecom Applications', *14th Telecommunications Energy Conference INTELEC' 92*, 1992, pp. 59–65.
- [42] P. Alou, O. Suter, J.A. Cobos, J. Uceda, S. Ollero, 'Design of a 1.5 V Output Voltage On-Board DC/DC Converter with Magnetic Components Integrated in a Multilayer PCB', *12th Annual Applied Power Electronic Conference and Exposition APEC'97*, 1997, pp. 764–769.
- [43] Scott K. Reynolds, 'A DC-DC Converter for Short-Channel CMOS Technologies', *IEEE J. of Solid-State Circuits*, Vol. 32, No. 1, January 1997, pp. 111–113.
- [44] Gerrit W. den Besten and Bram Nauta, 'Embedded 5V-to-3.3V Voltage Regulator for Supplying Digital IC's in 3.3V CMOS Technology', *Proc. of the 23th ESSCIRC Conf.*, 1997, pp. 52–55.
- [45] 0.8  $\mu\text{m}$  CMOS Process Parameters & 1.2  $\mu\text{m}$  CMOS Process Parameters, Austria Mikro Systeme International, Schloß Premstätten, A-8141 Unterpremstätten, Austria.
- [46] Alcatel-Mietec 2 $\mu\text{m}$  HBICMOS Technology. Web: <http://www.imec.be:8000/europractice/on-line-docs/MPW/DTS/MPW.DTS.HMIE20.html>