

**UPC**

UNIVERSITAT POLITÈCNICA DE CATALUNYA  
Departament d'Enginyeria Electrònica

**TÉCNICAS DE REDUCCIÓN DEL RUIDO DE CONMUTACIÓN  
EN CIRCUITOS INTEGRADOS CMOS**

Tesis doctoral presentada  
para la obtención del título de  
doctor Ing. Telecomunicación

*José Luis González Jiménez*

Director:  
*Antonio Rubio i Solà*

# Capítulo 7

---

## *Circuitos digitales modo corriente y comunicación entre CIs*

*En este capítulo se analiza la problemática de los drivers de salida de los CIs CMOS, las técnicas que se utilizan para reducir los niveles de ruido que generan estos circuitos y se propone como alternativa, el uso de comunicación modo corriente multivaluada entre circuitos integrados. Se trata también la aplicación de las lógicas multivaluados (MVL) en modo corriente (CML) al diseño de circuitos digitales y se analizan las prestaciones de estos circuitos modo corriente respecto del ruido de conmutación.*

### 7.1 Introducción

Los *drivers* de salida de los circuitos integrados son considerados uno de los elementos que más ruido de conmutación genera pues han de conmutar grandes cargas de salida en tiempos breves, y además existe la posibilidad de que todas las salidas que forman parte de un *bus* conmuten simultáneamente. Las técnicas de reducción basadas en el uso de condensadores de desacoplo *on-chip* no son útiles en estos casos pues el lazo de corriente siempre circula, en parte, por fuera del encapsulado. Esto hace que en el diseño de estos circuitos de salida tenga mucha importancia la reducción del ruido de conmutación generado. Como los *drivers* de salida comunican entre sí a varios CIs, es posible que el ruido generado en uno de ellos afecte a los otros, y por ello es importante limitar también la cantidad de ruido que puede propagarse hacia circuitos y sistemas ajenos, que no necesariamente tienen que haber sido diseñados para tolerar los mismos niveles de ruido que el circuito generador del mismo. En este sub-apartado se resumen las diferentes alternativas aparecidas en la literatura para reducir el ruido de los *drivers* de salida y más adelante se propone el uso de señales y *drivers* en modo corriente para comunicar entre si CIs CMOS y se analizan las ventajas e inconvenientes de esta propuesta.

Los primeros trabajos sobre el ruido de conmutación ya se centraban en las especificaciones de los *drivers* de salida [1][2]. Posteriormente se han realizado análisis más

exactos y centrándose ya en la tecnología CMOS [3]. El diseño de los *drivers* de salida básicamente viene fijado por los niveles de salida y los tiempos de conmutación requeridos. Estos tiempos de conmutación se han de asegurar para una carga capacitiva máxima a la salida. Como las cargas *off-chip* son bastante elevadas (en el orden de las decenas de pF), los pulsos de corriente necesarios para cargarlas y descargarlas son de gran amplitud y los tiempos de transición exigidos en los circuitos de altas prestaciones son reducidos (en el orden de los ns). Una transición de 5 V de amplitud sobre una capacidad de 50 pF en 5 ns, suponiendo un pulso de corriente en forma de triángulo isósceles genera una  $dI/dt$  de 40 A/ $\mu$ s que sobre una inductancia de 1 nH se transforma en 40 mV de ruido. Si en vez de un *driver*, conmutan varios simultáneamente en el mismo sentido, por ejemplo 16, y suponiendo la superposición lineal, el ruido será de 640 mV. Estos números permiten hacerse una idea de la problemática.

Las técnicas utilizadas para reducir el ruido de conmutación de los *drivers* de salida pasan, al igual que en el caso del ruido generado internamente en el circuito, o bien por reducir la inductancia o bien por reducir la  $dI/dt$ . Hay que resaltar que la utilización de condensadores de desacoplo *on-chip* no es eficaz en los *drivers* de salida, como ya se ha dicho, y que además en el factor inductivo interviene también el camino de retorno de las corriente por la placa de circuito impreso sobre la que están los dos CIs que se comunican (o la del substrato común si la conexión es entre dos chips dentro de un MCM). Por tanto, no sólo es importante diseñar adecuadamente el encapsulado par reducir la inductancia de los terminales, si no también asegurar vías de retorno de baja inductancia para las corrientes de conmutación a través de los planos de masa y alimentación de la placa de circuito impreso.

Los *drivers* de salida suelen estar compuestos de varios inversores en cascada con tamaños crecientes desde la entrada a la salida del *driver*, en lo que se conoce como *tapered buffer*. La selección del número de etapas y los tamaños de cada etapa dependen de las prestaciones exigidas al *driver* y puede encontrarse un compromiso óptimo entre área y retardo de propagación mínimo [4]. Debido a que el ruido de conmutación afecta al retardo de las conmutaciones, como se ha demostrado en el capítulo 2, el diseño óptimo de estas estructuras se ve afectado por el ruido de conmutación [5]. Algunos trabajos se han centrado en la optimización de los tamaños de la última etapa del *tapered buffer* y del número de terminales de alimentación necesarios para conseguir una determinada cota máxima de ruido de conmutación, utilizando modelos de canal largo [6] y de canal corto, adecuados a las tecnologías submicrónicas para evitar implementaciones demasiado conservadoras [7]. El problema de todos estos diseños es que se realizan para unas determinadas condiciones que luego pueden cambiar. Si la carga de las salidas de estos *drivers* una vez montado el CI sobre la placa resulta ser menor, el *driver* estará sobredimensionado y a pesar de que esta reducción de la carga no afecte a la amplitud del ruido, o en el mejor de los casos, la haga disminuir (ver el concepto de capacidad crítica en [3] o en el capítulo 2 de esta memoria de tesis), sí modifica la estructura del circuito RLC formado por el *driver*, el encapsulado y la capacidad de la salida o la impedancia de la línea de transmisión de salida, según el caso. El *ringing* sobre la salida puede verse aumentado de esta forma y también debido a que las variaciones del proceso modifican los tamaños inicialmente diseñados de los transistores. Todos estos problemas pueden solventarse, a costa de aumentar la complejidad del *driver* de salida, con la estructura presentada en [8],

basada en celdas reconfigurables que se adaptan internamente para compensar las variaciones del proceso y de la carga de salida y obtener siempre las mismas prestaciones.

Las primeras alternativas para reducir el ruido de conmutación simultáneo (SSN) de los *drivers* de salida consisten en realizar una conmutación desplazada temporalmente de una parte del *bus* respecto de la otra. Si se conoce el periodo de la auto oscilación o *ringing* de las salidas el retardo  $\Delta T$  entre una parte y otra del bus debe ajustarse de forma que la segunda conmutación coincida con el primer mínimo de la auto oscilación debida a la conmutación de la primera. De esta forma las dos oscilaciones se suman en contra fase y se anulan [9]. Otra de las técnicas propuestas en este último trabajo consiste en añadir una resistencia en serie con las salidas que ayude a atenuar la amplitud de las auto oscilaciones. Lógicamente esta resistencia retarda la conmutación y es necesario resolver el compromiso de diseño que se produce entre ruido y velocidad de conmutación.

Posteriormente han ido apareciendo diversas propuestas de diseño específico de los *drivers* de salida para reducir la cantidad de ruido  $dI/dt$  generado o reducir el *ringing*. Estas técnicas se basan en controlar la forma de onda de las conmutaciones de las salidas. Existen dos tipos de técnicas: las que controlan la pendiente de las salidas (*slew rate*) y las que realizan una conmutación de la salida escalonadamente.

Dentro del primer grupo, en [10] se utilizan resistencias en serie con los surtidores de los NMOS y PMOS de la última etapa del *driver* para reducir los tiempos de subida y bajada, afectando negativamente al retardo. En [11] las resistencias se añaden en serie con las puertas de los transistores de salida y se controla su valor con una tensión externa de forma que puede encontrarse un valor óptimo de la tensión de control para cada capacidad de carga que elimina el *ringing* en las salidas debido a las conmutaciones. En [12] se presentan dos técnicas. La primera consisten en limitar la corriente proporcionada por los *drivers* de salida. La segunda, más sofisticada, utiliza una serie de transistores de salida en paralelo de tamaño creciente pero que conmutan algo retrasados temporalmente unos de otros. Se consigue una transición con pendiente cada vez mayor a medida que entran en conducción consecutivamente uno, dos o tres transistores en paralelo. A este circuito se le denomina *driver* con *slew rate* controlado (CSR). El problema de todas estas soluciones es que se dimensionan para unos valores típicos de la capacidad de salida y si ésta varía, las prestaciones finales del *drivers* pueden ser peores de lo esperado. La propuesta de [13] consiste en introducir una retroacción que ajusta las características de conmutación del *driver* para adaptarlo a los valores concretos de la carga de la salida.

En el segundo grupo de técnicas, se utiliza una conmutación escalonada de la salida que puede realizarse de dos maneras. O bien simplemente utilizando dos pares de transistores de salida en paralelo y retrasando la conmutación de un par respecto del otro [14][15], o bien se realiza una precarga de la salida a un nivel intermedio, en una primera fase de la conmutación, y después se completa la conmutación de salida [16][17]. En [18] se utiliza la misma técnica pero con el objetivo de reducir el *ringing* en el receptor, teniendo en cuenta la distorsión introducida por la línea de transmisión que conecta el *driver* de salida con los receptores en otros CIs. Todas

estas técnicas, al igual que las que controlan la pendiente de las conmutaciones de salida, tienen la desventaja de incrementar el tiempo de conmutación respecto de un *driver* de salida convencional.

El uso de lógicas digitales multivaluadas no es algo nuevo. Ya se aplicaban en los circuitos ECL en lo que se denomina la lógica I<sup>2</sup>L [19]. Se han realizado estudios comparativos entre las prestaciones en cuanto a velocidad, área y consumo de las lógicas multivaluadas en general y las lógicas binarias convencionales [20][21]. El principal impedimento para su aplicación extensiva radica en que los dispositivos más eficientes y con mejores compromisos en cuanto a área, consumo y velocidad, los transistores MOS, son dispositivos intrínsecamente binarios. Aunque en los últimos años han aparecido propuestas basadas en dispositivos de efecto campo con múltiples umbrales [22][23], estos trabajos están todavía en vías de desarrollo. En cuanto a las prestaciones de área y velocidad, se han reportado aplicaciones con mejores resultados que sus equivalentes binarias [24] pero también hay autores que dudan de su futura aplicación[25]. En todos estos circuitos, se utiliza la corriente para representar los múltiples valores de la lógica dado a que esta técnica es compatible con los dispositivos MOS, que funcionan fácilmente como fuentes de corriente controladas por sus tensiones de puerta.

La característica que hace atractiva la lógica multivluada en modo corriente (MVCML) de cara al ruido  $dI/dt$  es que la amplitud de los pulsos de corriente que circulan por las alimentaciones está acotada a la suma de los valores que se utilicen para representar las señales. Las corrientes pueden hacerse arbitrariamente pequeñas, teniendo siempre en cuenta los límites que imponen, sobre todo, las tolerancias debidas al proceso de fabricación para unos márgenes de ruido y unos niveles de ruido determinados. Se comprobará más adelante también la sensibilidad de los circuitos en modo corriente frente a perturbaciones presentes en las alimentaciones. Y también hay que destacar que el acoplamiento capacitivo, causante de tantos problemas en los circuitos integrados en modo tensión, tanto interiormente como en las comunicaciones entre chips, queda minimizado en el caso de las señales en modo corriente. Las tensiones que conmutarán en este tipo de circuitos serán las tensiones de puerta de los MOS, que funcionan como fuentes de corriente, y estas excursiones pueden hacerse también muy pequeñas (existe de hecho un compromiso entre el área y el valor mínimo de estas tensiones, para unos determinados niveles discretos de corriente).

En este capítulo se presenta, en primer lugar, la estructura básica de los circuitos en modo corriente. A continuación se estudian sus prestaciones de generación de ruido de conmutación, sensibilidad a variaciones en las tensiones de alimentación y *crosstalk* entre líneas CML y líneas modo tensión. Finalmente se presenta una implementación de circuitos de entrada y salida en modo corriente CMOS para comunicar CIs utilizando señales digitales multivaluadas.

## 7.2 Circuitos lógicos multivaluados en modo corriente (MVCML)

En primer lugar se trata en este apartado de las operaciones básicas que pueden realizarse en modo corriente y de las álgebras multivaluadas que se utilizan en los circuitos CML. Existe

una gran variedad de circuitos multivaluados en modo corriente. La mayoría de ellos están constituidos por una serie de bloques básicos que se resumirán en el tercer sub-apartado en el que se presentarán también soluciones originales de este trabajo de tesis a algunos de los inconvenientes de los circuitos MVCML. A continuación se explicará en detalle la estructura de una celda MVCML básica utilizada en muchos circuitos aritméticos: el sumador total que trabaja con números con signo (SDFa de *signed-digit full adder*), que va a ser el circuito utilizado como ejemplo en el resto de este estudio. Finalmente se realiza una recopilación de los diferentes tipos de circuitos digitales de los que se han localizado aplicaciones en modo corriente multivaluadas en la literatura.

### 7.2.1 Operaciones lógicas y aritméticas multivaluadas

Las álgebras utilizadas para representar los números pueden utilizar cualquier base. Las más comunes en nuestros días son la decimal y la binaria, con sus derivadas octal y hexadecimal. Sin embargo existen otras representaciones igualmente eficientes. De hecho, como se demuestra en [20] el mejor compromiso entre la complejidad de los circuitos operadores y el número de señales necesarias para representar los números se da con una base de  $e$ , la base de los logaritmos neperianos. El número entero más cercano, el tres, da origen a las álgebras ternarias [26]. Sin embargo, dado que esta base ternaria no es múltiplo de dos su implementación con dispositivos binarios no es óptima. Otra base interesante es la cuaternaria, que va a ser la que utilizaremos en el resto del estudio. Las operaciones lógicas booleanas cuando la base es mayor de dos se diversifican en operaciones algebraicas más complejas (como el máximo, el mínimo, el complemento, la suma cíclica, etc.) que dependen del álgebra concreta utilizada y se refiere al lector a [27][28][29]. En cuanto a las operaciones aritméticas se explicará brevemente el álgebra de la suma, ya que los sumadores serán los circuitos utilizados en este estudio para analizar las prestaciones de las lógicas MVCML. En concreto, para una representación con signo en base 4 (*radix-4 SD*), el conjunto de valores posibles para las variables es el conjunto discreto  $\{-3,-2,-1,0,+1,+2,+3\}$ . La operación suma de dos números *radix-4 SD*,  $x_1$  y  $x_2$ , se realiza con el siguiente algoritmo:

$$\begin{array}{llll}
 w = y - 4 & c = 1 & \text{si} & y \geq 2 \\
 w = y & c = 0 & \text{si} & -1 \leq y \leq 1 \\
 w = y + 4 & c = -1 & \text{si} & y \leq -2
 \end{array} \quad \text{Ec. (7-1)}$$

donde  $y = x_1 + x_2$ ,  $w$  es el resultado de la suma, en el formato *radix-4 SD* y  $c$  es el acarreo de salida, en el mismo formato. Se verá más adelante como se implementa esta operación con circuitos multivaluados modo corriente.

### 7.2.2 Aritmética en modo corriente

La corriente se utiliza para representar señales multivaluadas por la compatibilidad con los dispositivos semiconductores disponibles actualmente. Es mucho más sencillo generar varios niveles de corriente discretos y varios umbrales para detectarlos con transistores MOSFET que varios niveles de tensión. Sin embargo, no es ésta la única causa del uso del modo corriente en circuitos multivaluados. Las características de la corriente como magnitud física se adaptan muy bien a determinadas operaciones algebraicas [30]. La suma de dos señales que transportan su valor en forma de corriente se realiza simplemente uniendo las dos ramas, en lo que se denomina en el entorno lógico una OR cableada (i.e. la variable  $y$  en el ejemplo del sub-apartado anterior se encuentra cableando las líneas que transportan las corrientes que representan a las variables  $x1$  y  $x2$ ). La problemática de la representación del signo queda resuelta ya que la corriente puede fluir en dos sentidos, y es precisamente el sentido de la corriente lo que codifica el signo en alguno de los circuitos MVCML. Esta característica favorece claramente a las implementaciones con transistores MOSFET, intrínsecamente bidireccionales, respecto de las implementaciones con transistores bipolares.

La principal desventaja de la representación de las señales en modo corriente es que no se puede conectar una salida a múltiples entradas de forma sencilla (el *fanout* queda limitado a 1). Esto complica la distribución de las señales en forma de *buses*, que es la forma habitual de realizar las interconexiones en los circuitos actuales.

### 7.2.3 Componentes básicos de los circuitos MVCML

La operación con corrientes requiere de dos operaciones básicas: la copia o amplificación (con la que se puede realizar la operación de multiplicación) y la detección de umbral. La suma se realiza directamente, como ya se ha visto, juntando las dos salidas en una única rama.

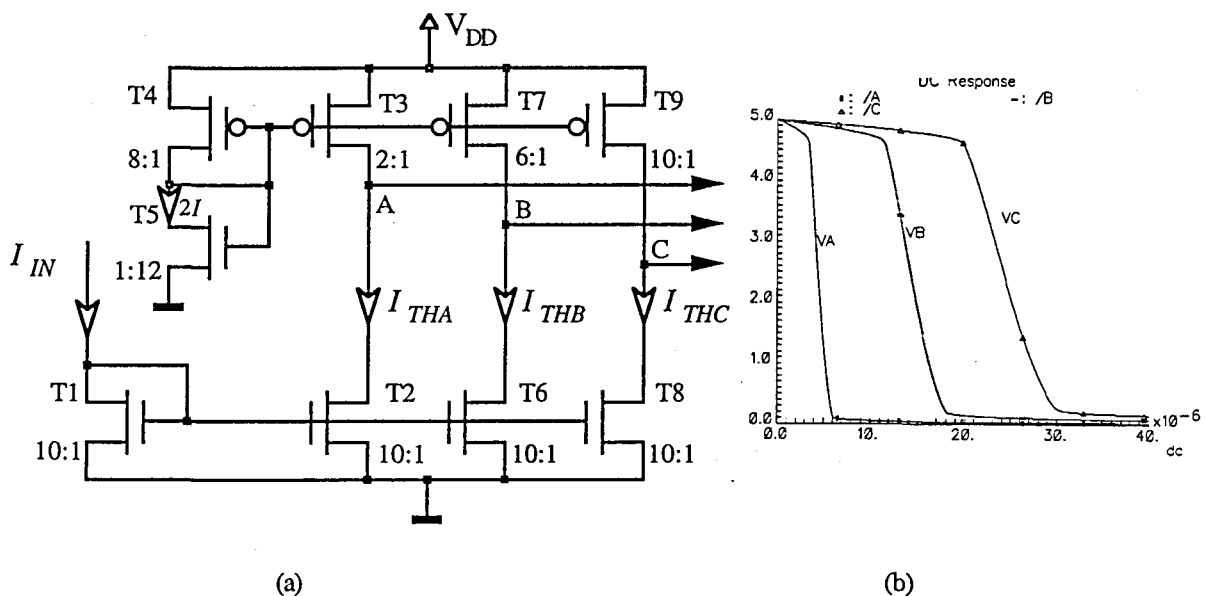
La operación de copia con o sin amplificación se realiza mediante espejos de corriente, estructura ampliamente utilizada en el diseño de circuitos analógicos. El espejo de corriente más sencillo consta de dos transistores MOS con la misma tensión de puerta (este estudio se centra, como en el resto de la tesis, en la tecnología CMOS). El espejo de corriente realiza una operación de cambio de signo de forma intrínseca: la corriente no tiene el mismo sentido de circulación entre los dos terminales de entrada y salida del espejo, por tanto, tiene signos contrarios. Existen mejoras de este espejo simple que tienen como objeto mejorar la linealidad o la resistencia de salida, como las estructuras cascodo u otras similares [31][32][33].

La detección de umbral se realiza mediante un circuito similar al espejo, pero añadiendo una carga activa (ver Figura 7-1)[34]. En función de la relación de aspectos entre el transistor de salida del espejo y la carga se fija un umbral de corriente. Si la corriente de entrada lo supera, la salida, situada en un extremo de la carga activa, cambia de valor. Este tipo de circuito tiene una salida en modo tensión binaria que puede utilizarse para conmutar una fuente de corriente. De esta forma, la salida del detector de umbral en vez de ser en modo tensión será en modo

corriente. Existen otras formas de realizar comparadores de umbral con salida en modo corriente con menos transistores, como la utilizada en [24].

Además de estos dos circuitos básicos son necesarias las fuentes de referencia que proporcionan los niveles de corriente. En la Figura 7-1.(a) se muestra un comparador con tres umbrales en los que se pueden ver todos estos elementos básicos. La corriente de entrada ( $T1$ ) se distribuye mediante espejos de corriente ( $T2$ ,  $T6$  y  $T8$ ) a tres comparadores cuyos umbrales se fijan con otros tres espejos de corriente ( $T3$ ,  $T7$  y  $T9$ ) en base a una misma referencia de corriente (transistor  $T5$ ). Las características estáticas de este comparador obtenidas por simulación se muestran en la Figura 7-1.(b).

Uno de los principales inconvenientes de estos circuitos modo corriente sencillos es que consumen continuamente corriente. Aprovechando la capacidad de memorización de la puerta de los transistores MOS se ha realizado una versión mejorada del espejo de corriente en la que se muestrea la corriente a la entrada y se memoriza el valor de tensión a la puerta de los espejos que proporciona la corriente de salida copiada. Este circuito original de este trabajo de tesis se muestra en la Figura 7-2 y se le ha llamado espejo dinámico bidireccional (BDCM). Este espejo es capaz de manejar corrientes con signo, mediante el circuito etiquetado como BDCI en la figura, reportado en [24]. Este circuito dirige la corriente hacia el espejo formado por los transistores PMOS si es negativa y hacia los NMOS si es positiva (positiva: hacia la derecha en la entrada; negativa: hacia la izquierda). El ahorro de consumo del BDCM se produce al cortar la entrada en la etapa anterior, que de otra forma tendría que conducir continuamente. La salida del espejo es continua, pero si se conecta a otro módulo igual éste la muestreará en función de la señal de reloj.

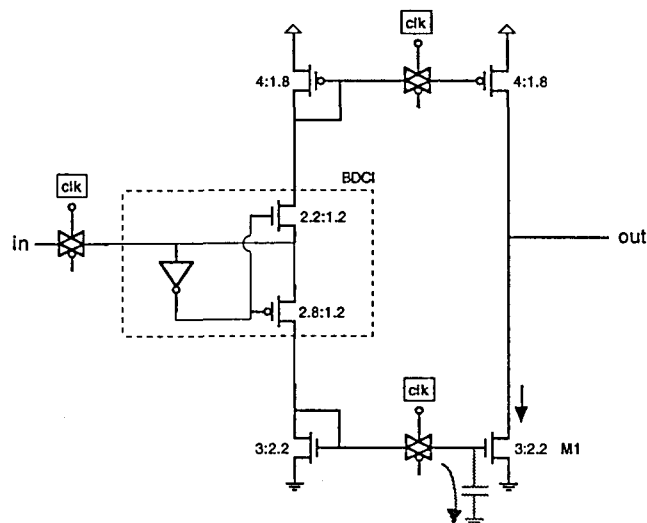


**Figura 7-1**

(a) Comparador CML de tres niveles realizado con una tecnología CMOS de  $1.2\mu\text{m}$ . (b) Características estáticas del comparador anterior.



El uso de interruptores para memorizar el valor de la tensión de puerta en los transistores de salida de los espejos conlleva un incremento del retardo de estos circuitos. También aparecen otros problemas como los errores debidos a la inyección de carga y el acoplamiento capacitivo de la señal de reloj (proporcional a la  $dV/dt$ ) a la tensión almacenada en la capacidad de puerta (*clock feedthrough*). Para minimizar estos errores se puede recurrir al uso de puertas de transmisión complementarias o a estructuras con transistores *dummy* que absorben la carga inyectada [31]. Otra solución más compleja se propone en [35].

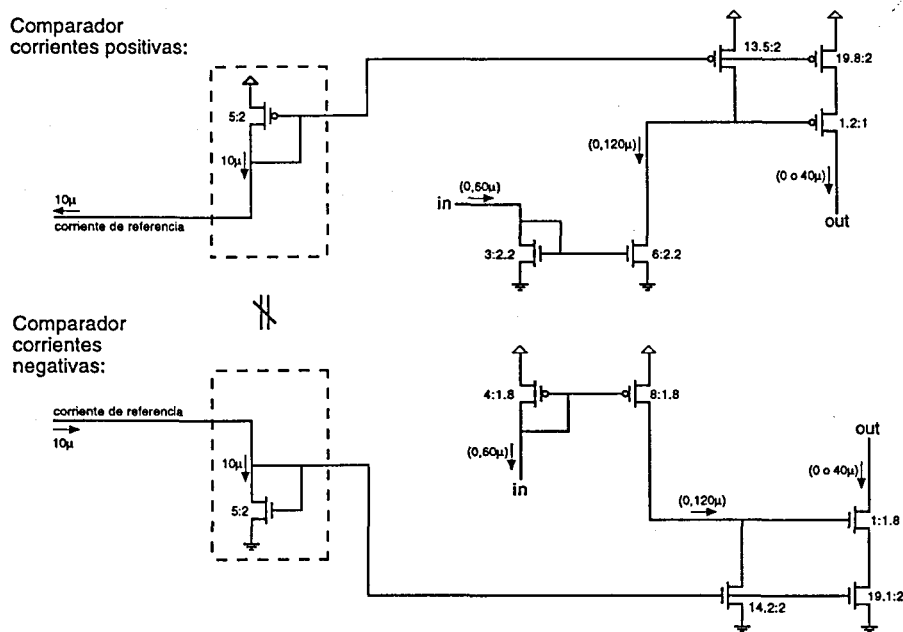


**Figura 7-2**

*Espejo dinámico bidireccional (BDCM) implementado con una tecnología CMOS de 1.0µm.*

Otro de los circuitos originales propuestos en este trabajo y que se utilizará más adelante consiste en un comparador de umbral de corriente capaz de manejar corrientes negativas, desarrollado a partir del comparador de corrientes positivas de [24]. Este circuito se muestra en la Figura 7-3, junto con el comparador de corrientes positivas. Ambos se nombran con las siglas TD (*threshold detector*), indicando los umbrales y la corriente de salida. Por ejemplo una celda TD(30µA,40µA), como el de la figura, es un comparador de umbral que cuando la entrada supera los 30µA da 40µA de corriente a la salida, y 0µA en caso contrario. El sentido de las corrientes se indica con flechas en las entradas y las salidas de la celda.

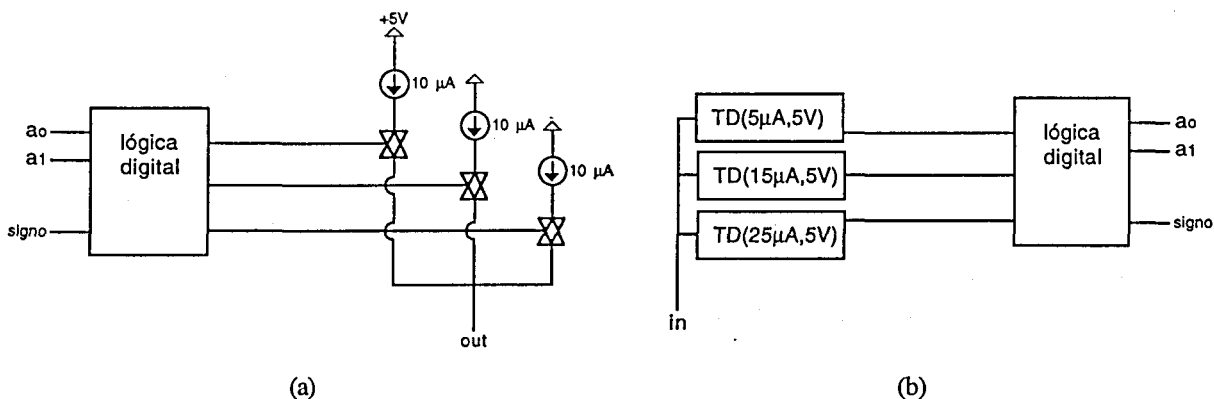
En el circuito de la Figura 7-3 el umbral de comparación se establece a partir de las fuentes de referencia de 10µA y los espejos que las distribuyen (enmarcados con líneas discontinuas). La etapa de entrada multiplica por dos la corriente de entrada (que está en el rango de 0 a 60µA) y le cambia el sentido. Esta nueva señal de corriente, en el rango de 0 a 120µA, es comparada con un umbral de 30µA y si lo supera se genera una corriente en la fuente conmutada de salida de 40µA, obtenidos de multiplicar por cuatro la corriente de referencia, y si no de 0µA.



**Figura 7-3**

*Comparadores de umbral con salida en corriente para corrientes de entrada positivas y negativas realizados con una tecnología CMOS de 1µm.*

El paso de señales digitales binarias a señales digitales multivaluadas en modo corriente se realiza con convertidores binario/MVCML y MVCML/binario. Los primeros consisten en una serie de fuentes conmutadas que proporcionan, en función de la representación binaria de los números, los valores de corriente que representan esos mismos números en la lógica multivaluada. Los convertidores MVCML/binario consisten en una serie de detectores de umbral que generan señales binarias y que finalmente se codifican adecuadamente para expresar los números en el formato especificado. La Figura 7-4 muestra un ejemplo de estos convertidores en los que los números se expresan en binario en modulo y signo y en CML en *radix-4 SD*.



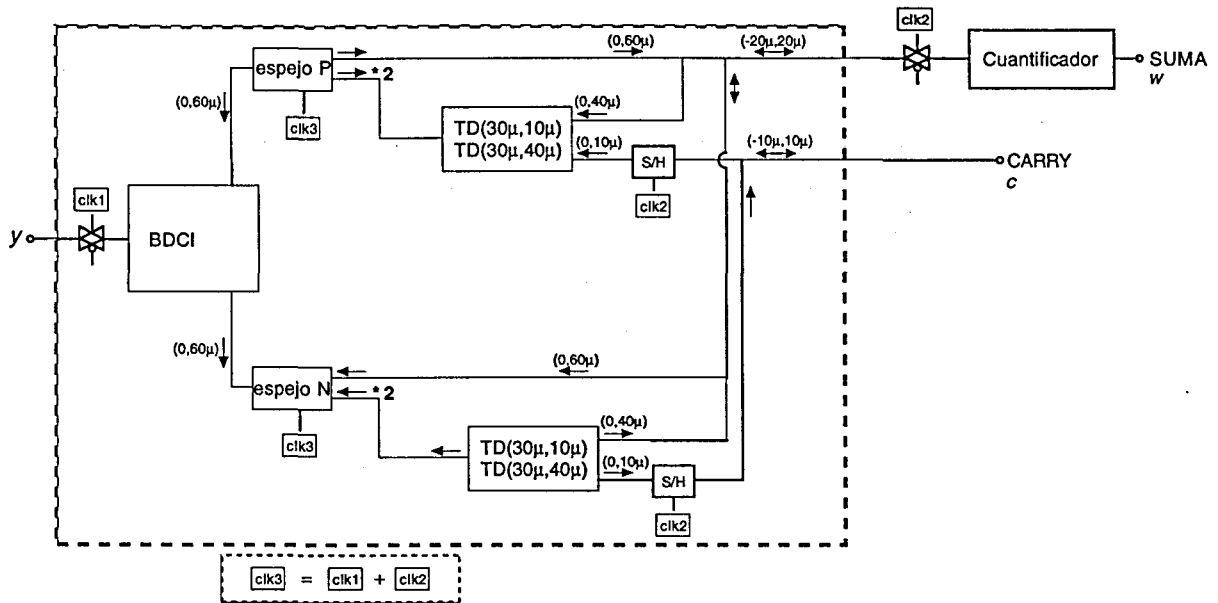
**Figura 7-4**

*(a) Conversor de binario a MVCML. (b) Conversor de MVCML a binario.*

### 7.2.4 Realización de un sumador total de números con signo (SDFA)

El circuito que se presenta realiza la operación explicada en el subapartado 7.2.1 para una base cuaternaria con signo. En esta implementación concreta se va a utilizar una corriente unitaria de  $10\mu\text{A}$ , de forma que el conjunto de valores de la base es  $\{-30\mu\text{A}, -20\mu\text{A}, -10\mu\text{A}, 0\mu\text{A}, 10\mu\text{A}, 20\mu\text{A}, 30\mu\text{A}\}$ . Los valores máximos resultantes de sumar dos números son  $\pm 60\mu\text{A}$ . La suma se realiza cableando las dos entradas  $x1$  y  $x2$  y los valores finales del resultado,  $w$  y  $c$ , se calculan con el circuito de la Figura 7-5. Este circuito supone una mejora respecto del presentado en [24] debido a que el uso de comparadores de umbral que admiten corrientes negativas permite eliminar algunos espejos de corriente utilizados para invertir la corriente.

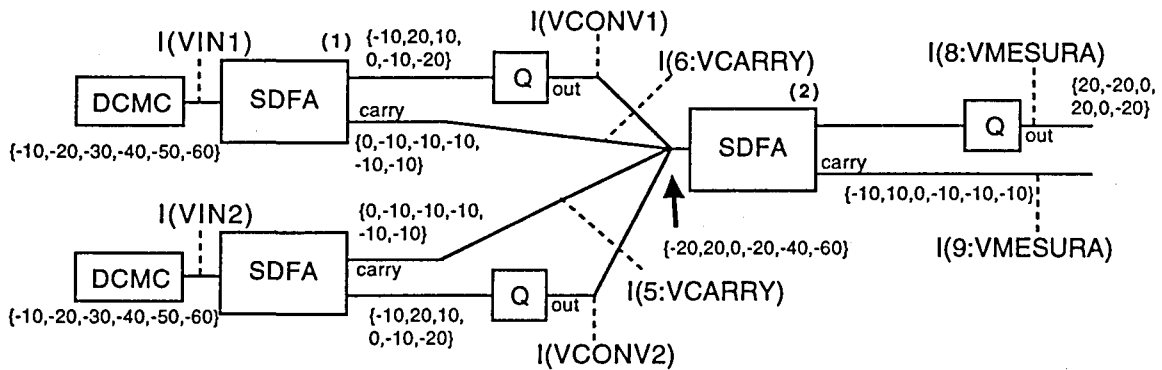
Los módulos de los que consta el SDFA de la figura han sido presentados en el sub-apartado anterior. Los bloques espejo N y espejo P son espejos convencionales de corriente realizados con dos transistores NMOS o PMOS, pero que muestrean la corriente de entrada tal y como se muestra en la Figura 7-2. Para reducir el consumo en este SDFA se ha recurrido a utilizar varias fases de reloj. La corriente de entrada ( $y = x1 + x2$ ) se muestrea con el reloj  $clk1$ . El bloque BDCI separa la corriente y la redirige hacia la rama superior si es positiva y hacia la inferior si es negativa. Sendos espejos, uno en cada rama, muestrean la corriente del BDCI con un reloj  $clk3$  que está activo durante un tiempo igual a la suma de  $clk1$  más  $clk2$ . Éste último es utilizado para muestrear la corriente a la salida de acarreo de los comparadores de umbral y a la entrada del cuantificador, en la salida  $w$ . Cada comparador realiza la operación  $2 \times |y| > 2$ , es decir,  $|y| > 1$ . Si dicha comparación es cierta, se resta de forma cableada 4 ( $40\mu\text{A}$ ) de la corriente de salida  $w$  en la rama superior si  $y$  es positiva, Si es negativa en la rama inferior se suma 4 a la salida  $w$ . También se genera una salida de 1 ( $10\mu\text{A}$ ) en el acarreo  $c$  (positivo en la rama superior y negativo en la rama inferior). Este circuito realiza de forma eficiente el proceso se suma enunciado en el sub apartado 7.2.1. El Cuantificador en la salida  $w$  es necesario para restaurar los niveles, pues las posibles tolerancias de los valores de las corrientes puede inducir a errores en etapas posteriores. En la salida  $c$  no es preciso ya que esta señal es proporcionada directamente por una fuente conmutada, mientras que en  $w$  se realiza, según el valor del resultado, una suma o una resta cableada de un 4, que puede provocar mucho más error si los niveles discretos de corriente no son exactos. Los bloques S/H (del inglés *sample and hold*) no son más que espejos dinámicos de corriente que muestrean la señal para reducir el consumo. El funcionamiento con dos fases de reloj permite encadenar bloques SDFA en forma de *pipeline* y maximizar la velocidad de cómputo. Los SDFAs, en una cadena, trabajarían con  $clk1 = \phi1$  y el cuantificador con  $clk2 = \phi2$ , siendo  $\phi1$  y  $\phi2$  las dos fases de la señal de reloj global. El reloj  $clk3$  se utiliza para descargar los espejos dinámicos del SDFA una vez el cuantificador ya ha evaluado su salida. Si trabajamos a la máxima frecuencia, es decir, el pulso de  $clk1$  comienza justo después del pulso de  $clk2$ , el reloj  $clk3$  puede eliminarse.



**Figura 7-5**

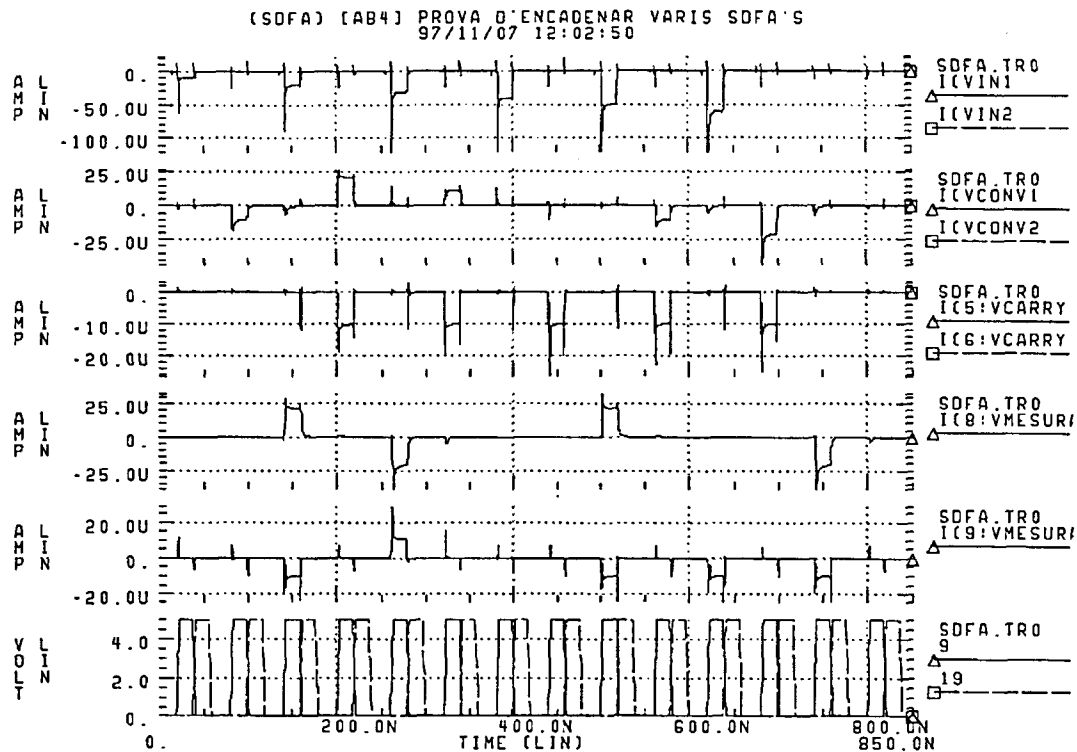
*SDFAs dinámico implementado con bloques básicos MVCML que trabaja con dígitos cuaternarios con signo.*

La Figura 7-6 muestra un encadenamiento de tres SDFAs con sus cuantificadores correspondientes (módulos Q) para las salidas  $w$  (dígito de suma). El esquema de estos cuantificadores puede consultarse en el apéndice B de esta memoria. Las señales se introducen en binario a través de dos conversores binario a CML (módulos DCMC). Se ha realizado una simulación HSPICE de esta configuración en la que los diferentes módulos se han implementado en una tecnología CMOS de  $1\mu\text{m}$  a nivel de transistor. Las etiquetas del esquemático se corresponden con las formas de onda de la simulación mostrada en la Figura 7-7 en la que se realiza una suma consecutiva de los números  $1+1$ ,  $2+2$ ,  $3+3$ ,  $4+4$ ,  $5+5$  y  $6+6$  expresando el resultado en *radix-4 SD*. Entre suma y suma se devuelven las entradas a 0. Los nodos 9 y 19 de la simulación (formas de onda inferiores) corresponden a las dos fases del reloj global:  $\phi 1$  y  $\phi 2$ .



**Figura 7-6**

*Encadenamiento de tres SDFAs dinámicos. En la figura se muestran los valores de las señales CML, en  $\mu\text{A}$ , para las operaciones consecutivas realizadas.*



**Figura 7-7**

Resultados de simulación de los tres SDFAs encadenados de la Figura 7-6

La implementación binaria en CA2 (complemento a dos) equivalente a la operación que realiza el SDFa requeriría de dos sumadores totales (*full adder*) y uno parcial (*half adder*). El acarreo de salida tiene que propagarse en serie por los tres sumadores hasta aparecer en la salida. El número de transistores necesarios para implementar los tres sumadores es de 96 y requiere de 6 líneas de entrada y cuatro de salida, según [36]. Para el SDFa MVCML el número de transistores es de 68 y únicamente tiene dos entradas ( $x1$  y  $x2$  que se unen para formar  $y$ ) y dos salidas ( $w$  y  $c$ ).

### 7.2.5 Circuitos complejos multivaluados en modo corriente

Las alternativas MVCML han sido aplicadas a varios circuitos lógicos. Los primeros trabajos presentaron los bloques básicos (comparadores, espejos, conversores CML/binario y *latches*). [37] es una recopilación de todos estos trabajos. Existen también diferentes alternativas de la estructura genérica de las lógicas CML: además de la anterior basada en tecnologías complementarias CMOS, en [38] se utilizan NMOS de deplexión en vez de PMOS y en [39] se mezclan elementos CML y binarios CMOS convencionales en un mismo circuito. La lógica multivaluada de [40] utiliza la tensión en vez de la corriente para representar las señales digitales.

Otro tipo de circuitos que han sido implementados con lógica MVCML son los conversores analógico-digitaes algorítmicos [41][42][43]. También han sido reportadas memorias RAM MVCML, estáticas o dinámicas, realizadas en tecnología MOS o con otro tipo de dispositivos (MESFETS) [44][45][46]. La realización de PLAs (matrices lógicas

programables) en modo corriente permite la implementación de funciones lógicas arbitrarias [22][23][47]. Otras aplicaciones son la realización de filtros discretos [48].

Las aplicaciones para las que se ha reportado prestaciones más espectaculares son los circuitos aritméticos como los sumadores o los multiplicadores [24][49]. Estos circuitos aprovechan la sencillez con la que se realiza la función suma en modo corriente y la reducción en el número de elementos operativos al reducirse el número de líneas necesarias para representar números que en binario necesitarían muchos bits para ser expresados. La posibilidad de representar el signo con el sentido de las corrientes también colabora a simplificar la estructura de estos circuitos aritméticos en modo corriente.

### 7.3 Comportamiento frente al ruido de conmutación de los circuitos MVCML

El interés por las lógicas modo corriente de este estudio se centra en analizar sus prestaciones respecto del ruido de conmutación: generación, sensibilidad de los circuitos al ruido en las alimentaciones y acoplamiento capacitivo entre señales digitales en modo corriente.

#### 7.3.1 Descripción de un prototipo de CI orientado al análisis y la experimentación

Para completar los resultados obtenidos con los circuitos descritos a nivel de transistor se ha diseñado un CI completo realizado con tecnología CMOS de 1  $\mu\text{m}$  mediante el entorno de diseño DFVII de Cadence. El CI contiene diversos bloques independientes que permiten realizar experimentación sobre diferentes aspectos de la lógica MVCML.

Las estructuras implementadas utilizan el álgebra *radix-4 SD* anteriormente explicada. La Figura 7-8 muestra el *layout* del circuito integrado total, indicando los diferentes bloques que contiene. Los detalles sobre los distintos bloques se irán explicando en el sub-apartado correspondiente y en el apéndice B de esta memoria de tesis. La mayor parte del área queda ocupada por un circuito consistente en 32 SDFAs como el descrito anteriormente. Cada SDAF está conectado a dos conversores de binario a modo corriente que comparten las mismas entradas binarias. Las entradas binarias corresponden a dos números expresados en módulo y signo con 3 bits, es decir, 6 entradas en total. La salida suma ( $w$ ) de cada SDAF está conectada a un cuantificador. De los 32 bloques uno de ellos tiene conectada sus salidas ( $w$ , suma, y  $c$ , acarreo) a sendos *pads* de salida en modo corriente, que se explicarán más adelante. Los demás llevan una carga equivalente a conectar otro SDAF en sus salidas. El objetivo de este circuito es analizar el ruido de conmutación generado por la conmutación simultánea de varias celdas CML. Los SDFAs están agrupados de cuatro en cuatro y mediante unas entradas de control pueden activarse o desactivarse. De esta forma podemos tener desde cuatro hasta treinta y dos SDFAs conmutando simultáneamente, pues comparten todas las mismas entradas binarias. Los conversores binario a CML y la lógica de control tiene dos terminales de alimentación dedicados y la lógica modo corriente (SDFAs y cuantificadores) otros dos diferentes.

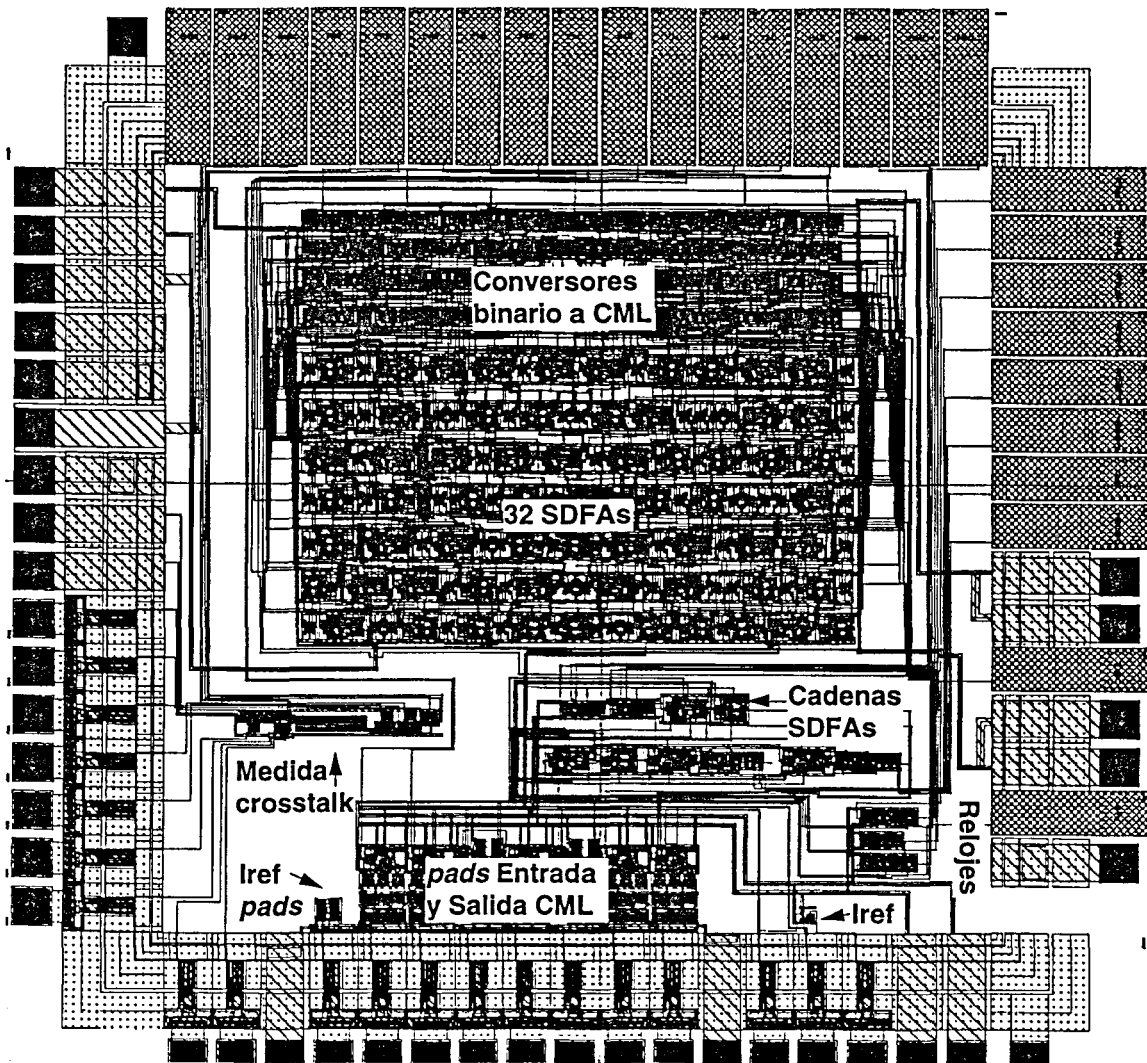
Los relojes que controlan los espejos dinámicos se distribuyen mediante un módulo que tiene como entrada dos señales digitales binarias externas, los dos relojes *clk1* y *clk2*, y genera internamente *clk3*. El resto de bloques integrados en el prototipo son:

- ◆ un circuito que permite medir los efectos del *crosstalk* de líneas CML sobre líneas CML, tensión sobre CML o CML sobre tensión
- ◆ dos cadenas
  - entradas binarias → conversor binario a CML → SDFAs → *pads* de salida CML
  - *pad* de entrada CML → SDFAs → conversor CML a binario → salidas binarias
- ◆ dos *pads* de entrada y salida CML conectados internamente
- ◆ dos pequeños circuitos que generan las diferentes referencias de tensión para las fuentes de corriente unitarias, uno para los *pads* de entrada y salida, y el otro para la lógica CML interna.

Todos los bloques tienen alimentaciones separadas y los *pads* de entrada y salida CML tienen también sus propios terminales de alimentación. Los *pads* de entrada y salida binarios se han tomado de la librería de celdas estándar de la tecnología, mientras que el resto de circuitos ha sido diseñado a nivel de *layout*.

Las simulaciones que se presentarán se han realizado siempre sobre el circuito eléctrico extraído a partir del *layout* incluyendo todas las capacidades parásitas y utilizando los modelos HSPICE de nivel 6 proporcionados por el fabricante para los transistores y los diodos. Se han realizado simulaciones con todas las condiciones que representan las variaciones del proceso de fabricación (modelos máximo, nominal y mínimo) y sus combinaciones de los módulos básicos y se han redimensionado los tamaños de los dispositivos hasta conseguir un funcionamiento correcto en todos los casos.

El circuito diseñado se encapsula en un LCC (*leadless chip carrier*) de 68 terminales. El encapsulado se modela con una resistencia de 21.5 m $\Omega$  y una inductancia de alrededor de 2.3 nH en serie con cada terminal de entrada y salida. Entre terminales contiguos se introduce una capacidad de acoplo de 300 fF y una inductancia mutua de 80 nH. Estos valores corresponden a los terminales en el centro de cada lado del encapsulado. A medida que nos acercamos a las esquinas estos valores varían ligeramente debido al cambio de geometría del conductor que va del terminal del encapsulado al interior de la cavidad. Los valores anteriores han sido obtenidos por simulación tridimensional mediante elementos finitos de la estructura de encapsulado [50].



**Figura 7-8**

*Layout del circuito ICCML diseñado con una tecnología CMOS de 1.0  $\mu\text{m}$ .*

### 7.3.2 Generación del ruido de conmutación de los circuitos MVCML

Dado que los circuitos MVCML conmutan niveles de corriente, la forma de onda de la corriente que circula por los terminales de alimentación será la suma de las diferentes ramas por las que circula esa corriente. La Figura 7-9 muestra la simulación realizada sobre el conjunto de un SDFAs como el de la Figura 7-5 con un cuantificador en la salida suma  $w$ . Como puede verse, el ruido de conmutación (nodo 1) es mayor cuanto mayor es el salto de las corrientes internas. La curva etiquetada  $I(VCONV)$  corresponde a la salida del cuantificador. Se ha de recordar que a partir que la corriente de entrada ( $I(VIN)$ ) supera el nivel +1 por arriba o -1 por debajo, se genera internamente una corriente de valor 4 que se resta o se suma, respectivamente, a la entrada según el álgebra utilizada. Por ello en la simulación a partir de la segunda entrada, que es un -2, los pulsos de corriente de alimentación ( $I(VDD)$ ) son mayores. En esta simulación no se ha muestreado la entrada, es decir, los dos relojes  $clk1$  y  $clk2$  se han dejado fijos a '1'.



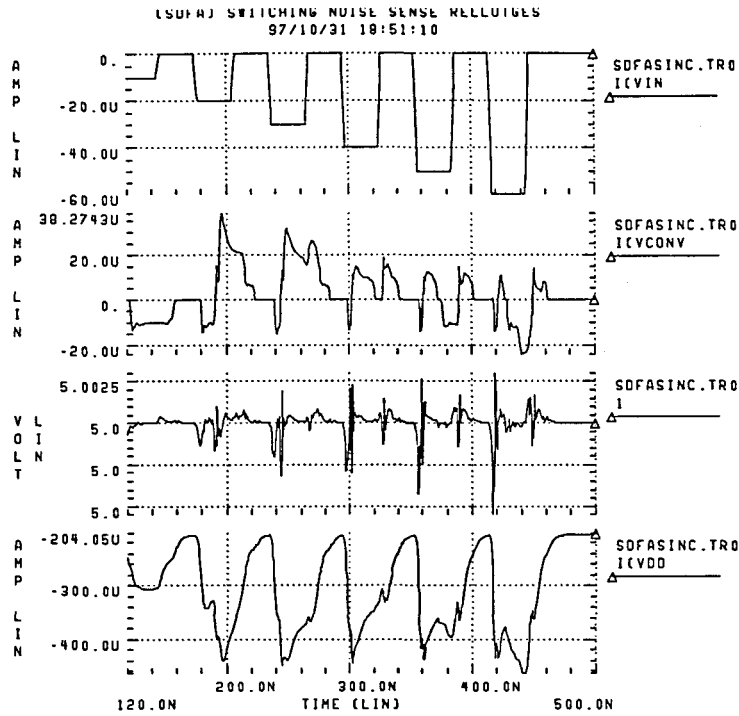


Figura 7-9

Resultados de simulación de un SDFa con cuantificador a la salida de suma con los relojes siempre a '1'.

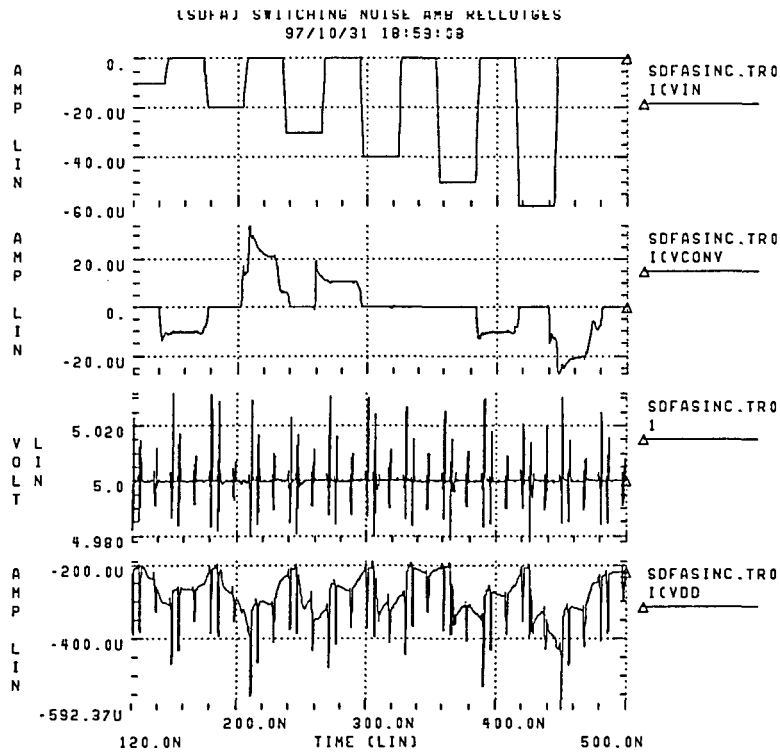


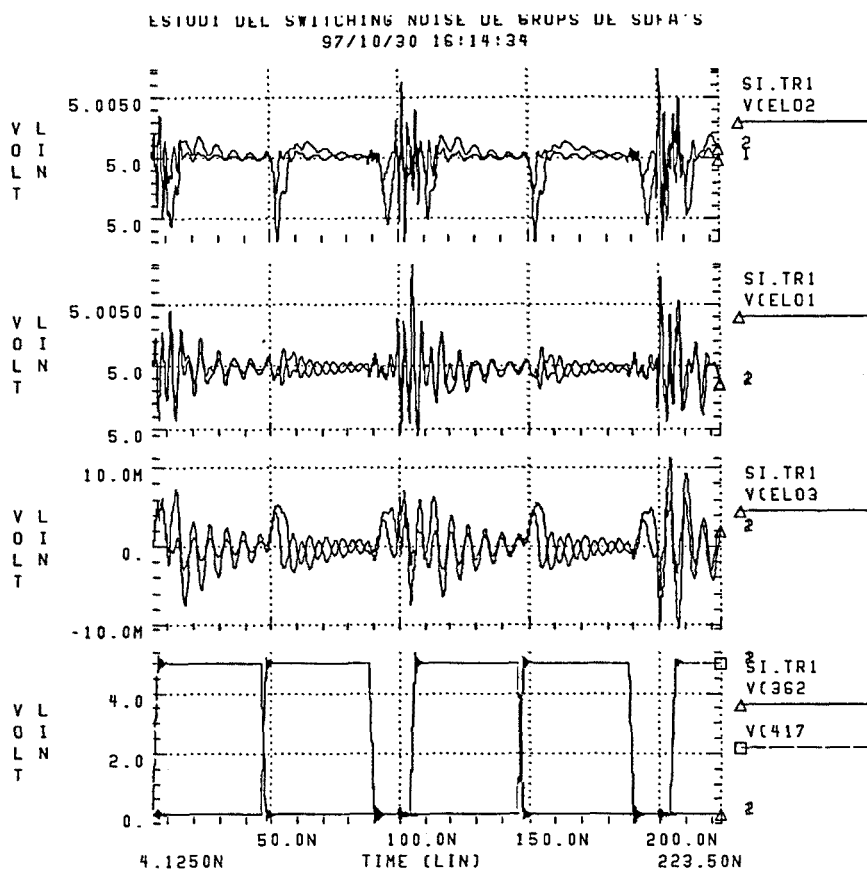
Figura 7-10

Resultados de simulación de un SDFa con cuantificador a la salida de suma funcionando de forma dinámica.

La Figura 7-10 muestra la misma simulación que la Figura 7-9, pero ahora los relojes sí conmutan y los espejos funcionan de forma dinámica. Se muestra la corriente a la entrada del sumador y a la entrada del cuantificador. Como se puede observar el ruido generado es algo mayor y mucho más frecuente, dado que en cada flanco de reloj se realizan muestreos de la corriente y conmutaciones de fuentes de corriente.

Para analizar en una situación realista el ruido de conmutación provocado por múltiples celdas MVCML conmutando simultáneamente, se han realizado un serie de experimentaciones con el circuito eléctrico extraído a partir del *layout* del circuito ICCML. El álgebra utilizada en este circuito es la misma *radix-4 SD* que en los circuitos anteriores. Sin embargo la corriente unitaria ha tenido que ser aumentada hasta 20  $\mu\text{A}$ , en vez de los 10  $\mu\text{A}$  de los circuitos anterior, debido a los errores producidos por la inyección de carga y el *clock feedthrough* en el circuito extraído teniendo en cuenta las capacidades parásitas debidas a las interconexiones. Los tamaños de los transistores han tenido que ser ligeramente modificados hasta conseguir un buen funcionamiento del circuito en las tres condiciones del proceso que proporciona el fabricante (condiciones máximas, mínimas y medias). Los circuitos finales del cuantificador y del sumador se detallan en el apéndice B. En el circuito ICCML se han integrado 32 bloques, agrupados de cuatro en cuatro, que contienen dos conversores de binario a CML para los dos números binarios de entrada, conectados a un SDFa con cuantificador en la salida de suma. Cada bloque está cargado con un circuito equivalente a la entrada de otro SDFa, excepto uno de los bloques que está conectado a dos *pads* CML de salida. Los conversores de binario a CML, y la lógica de control que permite habilitar cada uno de los bloques de cuatro sumadores, se alimentan con dos terminales dedicados. Los sumadores, cuantificadores y cargas de salida se alimentan con otros dos terminales dedicados. El terminal de tierra, no obstante, es común a ambos. Como se muestra en la simulación de la Figura 7-11, el ruido máximo de conmutación generado es independiente del número de bloques CML que trabajan simultáneamente (en la figura se muestran superpuestas las formas de onda para cuatro y para treinta y dos SDFAs conmutando simultáneamente). El ruido es provocado principalmente por los circuitos digitales de control y los *buffers* insertados en las entradas en binario para distribuirlos a todos los bloques. Este ruido se acopla capacitivamente de las líneas de alimentación digitales a las líneas de alimentación analógicas y también a través del nodo de masa común.

Existen otras estructuras para realizar las mismas operaciones MVCML aparecidas en la literatura que generan menores niveles de ruido de conmutación [51]. La razón es que estos circuitos se basan en técnicas similares a las utilizadas por los circuitos FSCL, ya comentados en el capítulo 4. Presentan un consumo constante de corriente y evalúan las operaciones lógicas con señales complementarias de corriente de entrada y salida, de forma que desde la fuente de alimentación no se observan cambios en la corriente total del alimentación. Se ha implementado un sumador con la misma álgebra que el anterior al que llamaremos SDFACOM. En este circuito los niveles utilizados para representar las corrientes serán siempre positivos (ver Tabla 7-1, donde se indican los valores de corriente afirmada y complementada de todos los posibles resultados de sumar dos números expresados en *radix-4 SD*). Las operaciones realizadas son las mismas que en el circuito anterior, pero se ha de sumar una constante para tener en cuenta el valor positivo de corriente que codifica el número '0'.



**Figura 7-11**

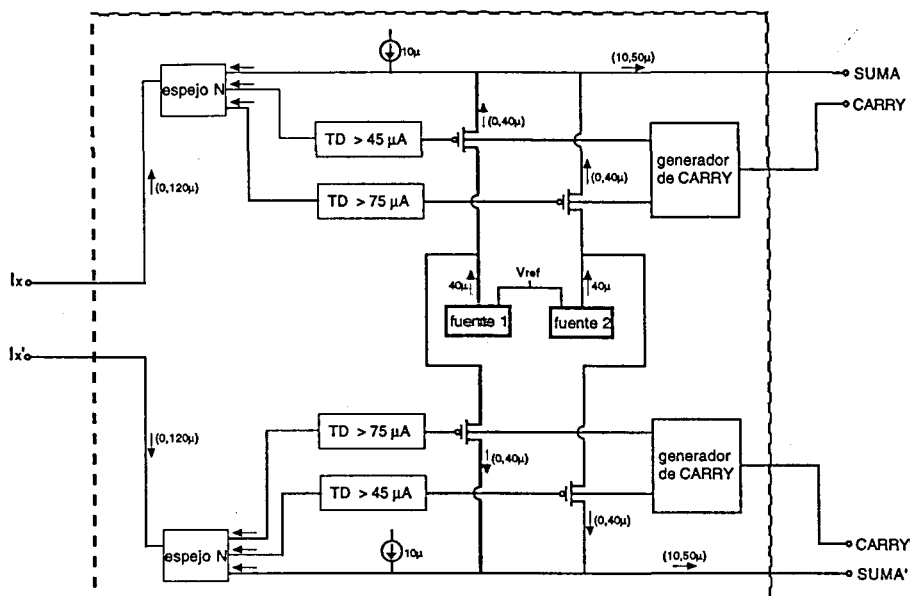
Resultados de simulación de las formas de onda de ruido generado en los terminales de alimentación del circuito ICCML para 4 y 32 bloques (conv. binario CML + SDFAs + Cuantificador) para una secuencia de entradas 0→3+3→0. V(EL02) es la tensión positiva digital, V(EL01) la tensión positiva de los SDFAs + Cuantificadores y V(EL03) la tensión del nodo interno de masa. V(232) es el reloj clk1 y v(417) clk2.

	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6
I	0	$I_0$	$2I_0$	$3I_0$	$4I_0$	$5I_0$	$6I_0$	$7I_0$	$8I_0$	$9I_0$	$10I_0$	$11I_0$	$12I_0$
I'	$12I_0$	$11I_0$	$10I_0$	$9I_0$	$8I_0$	$7I_0$	$6I_0$	$5I_0$	$4I_0$	$3I_0$	$2I_0$	$I_0$	0

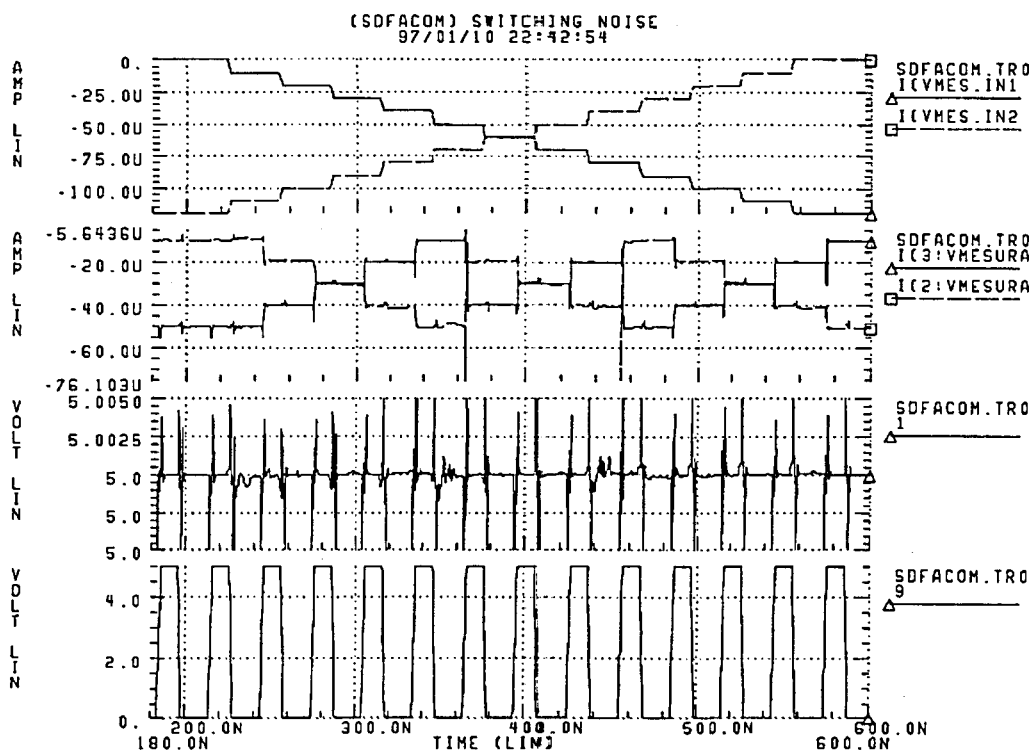
**Tabla 7-1**

Codificación MVCML de todos los posibles resultados de una suma de dos dígitos radix-4 SD. La variable I corresponde al valor afirmado y la variable I' corresponde al complemento de la variable anterior.

La estructura del SDFACOM es la misma que la de la parte correspondiente a las corrientes de entrada positivas del SDFAs pero se trabaja en todo momento con las variables afirmadas y complementadas (ver Figura 7-12).



**Figura 7-12**  
Estructura del circuito SDFACOM.



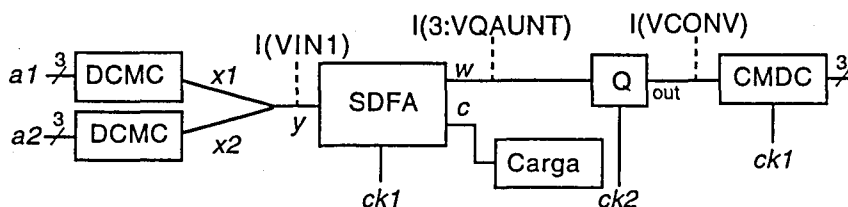
**Figura 7-13**  
Simulación de un SDFACOM con cuantificador en la salida suma y suma complementada.

La Figura 7-13 muestra una simulación realizada para un sumador SDFACOM con un cuantificador complementario (que también es distinto al cuantificador que se utiliza con el SDFA) para las mismas entradas que la simulación de la Figura 7-10. El ruido de conmutación que puede observarse en la comparación de ambas figuras es prácticamente un orden de magnitud menor en el SDFACOM que en el SDFA. En la Figura 7-13 Las curvas I(VMES.IN1) y I(VMES.IN2) corresponden a la entrada y la entrada complementada,

respectivamente, que tienen valores desde  $-6$  a  $+6$  (la corriente unitaria  $I_0$  es igual a  $10 \mu\text{A}$ ). Las curvas  $I(3:\text{VMESURA})$  y  $I(2:\text{VMESURA})$  corresponden a la salida suma afirmada y complementada, respectivamente. El nodo 1 es la tensión positiva de alimentación y el 9 la señal de reloj  $clk1$ .

### 7.3.3 Sensibilidad a las fluctuaciones estáticas y dinámicas en la tensión de alimentación

La Figura 7-14 muestra la configuración que se ha utilizado para el análisis de la sensibilidad a fluctuaciones estáticas y dinámicas en la tensión de alimentación. Está compuesta por dos conversores de binario a CML cuyas dos salidas se suman de forma cableada y se introducen en un SDFa que tiene un cuantificador para la salida suma. Todos los elementos de la cadena comparten las mismas tensiones de alimentación positiva ( $5 \text{ V}$ ) y de masa. La Figura 7-15 muestra un ejemplo del efecto de disminuir la tensión de alimentación positiva (nodo 1) en las salidas de los conversores de binario a CML, de SDFa y del cuantificador. La línea discontinua en las gráficas indica el comportamiento cuando se varía la tensión y la línea continua el funcionamiento con los valores de tensión normales. Como puede observarse, a pesar de que los niveles de corriente son muy pequeños ( $20 \mu\text{A}$ ) el circuito funciona perfectamente con variaciones de hasta  $1.0 \text{ V}$  de la tensión de alimentación (aunque no aparece en la gráfica se ha podido llegar hasta  $4 \text{ V}$  de tensión de alimentación prácticamente sin variación de las salidas). Se ha realizado el mismo estudio aumentando la tensión de masa de  $0$  hasta  $3 \text{ V}$  (y manteniendo fija la positiva a  $5 \text{ V}$ ). En este caso también se toleraban sin ningún error variaciones de hasta  $1.5 \text{ V}$ . A partir de  $2.0 \text{ V}$  de variación ya se observa un claro mal funcionamiento de los circuitos.

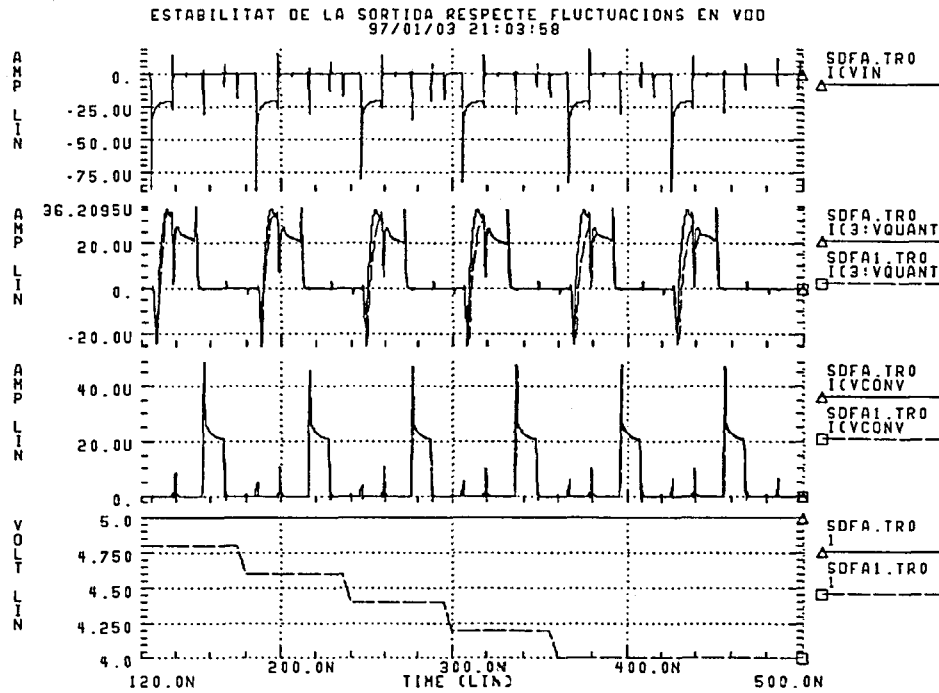


**Figura 7-14**

*Configuración de test utilizada para la simulación de los efectos de las variaciones de la tensión de alimentación en el funcionamiento de los circuitos MVCML.*

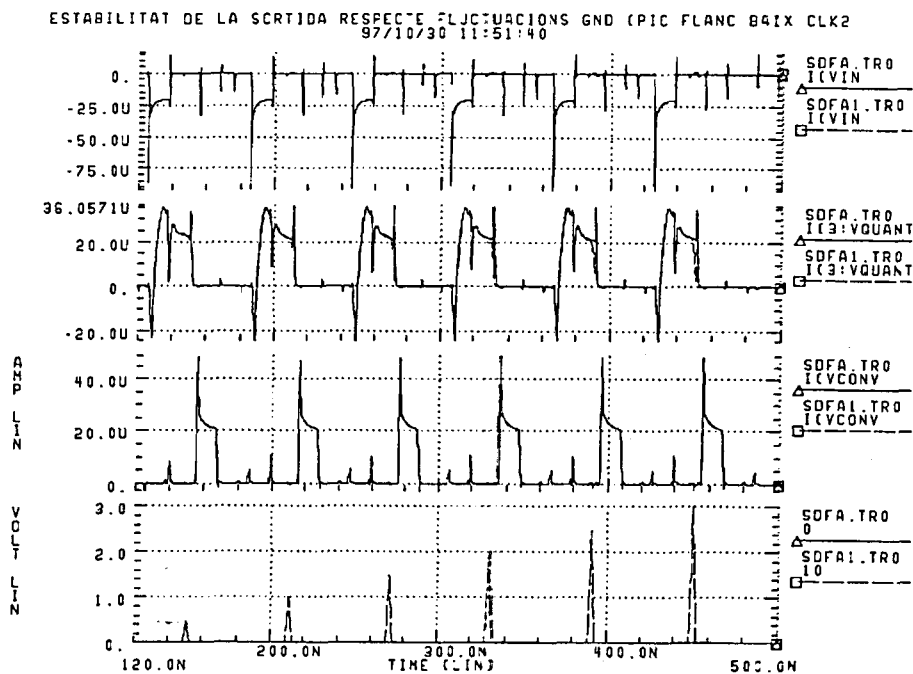
En cuanto a las variaciones dinámicas, se han realizado varias simulaciones introduciendo pulsos de ruido triangulares de  $4 \text{ ns}$  de anchura en la base y diferentes amplitudes tanto sobre la tensión positiva de alimentación como sobre la de masa. Estos pulsos se han hecho coincidir temporalmente con varios instantes del funcionamiento del SDFa en los que el ruido en las alimentaciones podría ser crítico: el muestreo de la tensión de entrada, el flanco de bajada de  $clk1$  cuando se almacena en los espejos dinámicos del SDFa el valor muestreado de corriente de entrada, el flanco de bajada de  $clk2$  cuando se hace lo mismo en el cuantificador, etc. En todos los casos se ha observado una gran robustez de estos circuitos CML, como puede observarse en

el ejemplo de simulación de la Figura 7-16 donde el pulso de ruido positivo sobre la tensión de masa se hace coincidir con el flanco de bajada de *clk2*.



**Figura 7-15**

Resultados de simulación de los efectos de la disminución de la tensión de alimentación (nodo 1) en el funcionamiento del circuito de la Figura 7-14 donde están indicadas las señales a las que corresponden las etiquetas de las formas de onda. Línea continua: alimentación constante; línea discontinua: alimentación variable.



**Figura 7-16**

Resultados de simulación de los efectos de pulsos de ruido en el terminal de masa (nodo 10) sobre el circuito de la Figura 7-14. Línea continua: sin ruido; línea discontinua: efectos del ruido.

### 7.3.4 Acoplamientos capacitivos entre líneas que transportan señales digitales en modo corriente

Los acoplamientos capacitivos entre líneas o *crosstalk* son debidos a las  $dV/dt$  de las formas de onda de tensión que viajan por esas líneas. Las características de las señales MVCML permiten reducir este tipo de acoplamientos y además, las señales en modo corriente presentan una mayor inmunidad a los ruidos acoplados en modo tensión. Para comprobar estas afirmaciones se han realizado dos análisis. El primero, a partir del circuito ilustrado en la Figura 7-17, consiste en hacer pasar señales modo corriente por una línea vecina a otra por la que circulan señales en modo tensión. Se realiza una simulación para estudiar el ruido provocado por la señal pulsante en modo corriente sobre la línea de tensión (Figura 7-18.(a)) y otra para estudiar el ruido provocado por una señal pulsante modo tensión en la línea que transporta señales en modo corriente (Figura 7-18.(b)). Los valores para la capacidad de la línea a tierra y la capacidad entre acoplamientos son valores típicos tomados de [50].

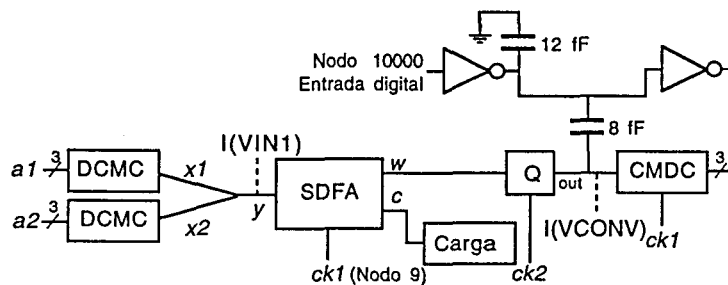


Figura 7-17

Circuito utilizado para analizar los efectos del *crosstalk* entre líneas de modo tensión y modo corriente.

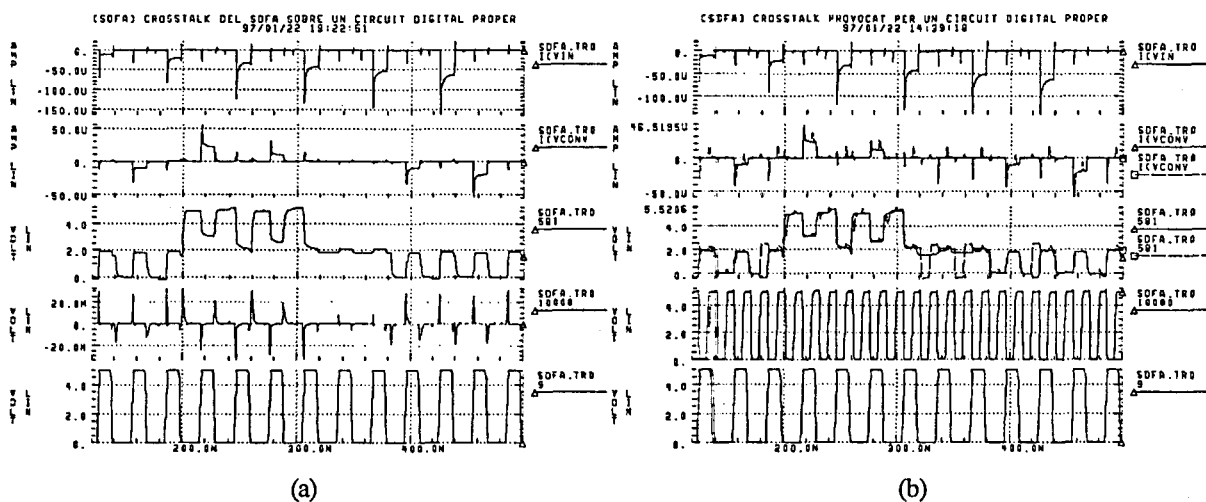
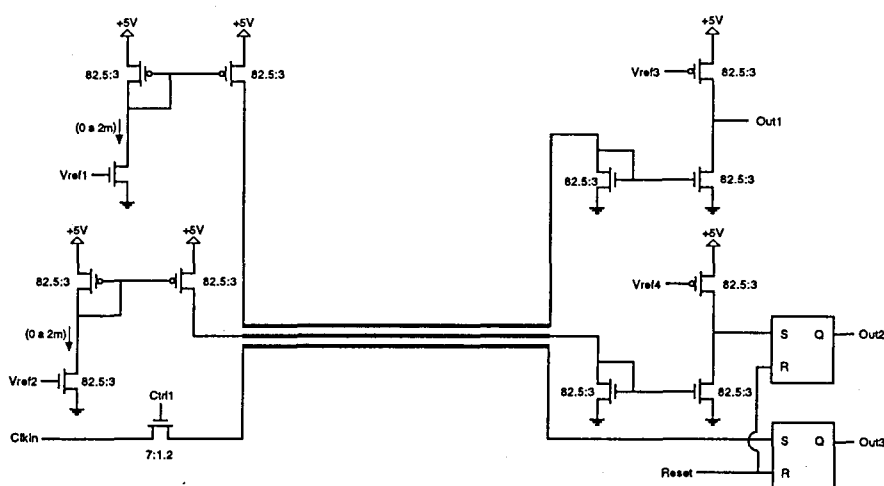


Figura 7-18

(a) Ruido acoplado desde una línea MVCML a una línea modo tensión. (b) Ruido acoplado en la línea modo corriente por la conmutación de una línea modo tensión.

El segundo análisis se ha realizado sobre la parte del prototipo ICCML diseñado para medir los efectos del *crosstalk* sobre un circuito más realista y estudiar la influencia de los diferentes parámetros. La estructura que se ha incluido en el circuito ICCML se ilustra en la

Figura 7-19. Tenemos tres líneas realizadas con el segundo nivel de metal de la tecnología de una achura de  $1.5 \mu\text{m}$  y separadas entre sí  $1.5 \mu\text{m}$ . Esta estructura, realizada en forma de serpentina, tiene una longitud total de 1 mm (ver el *layout* en el apéndice B). Las dos primeras líneas están conectadas en un extremo a sendos espejos de corriente con la entrada conectada a una fuente de corriente que se controla por una tensión de referencia externa ( $V_{\text{ref1}}$  y  $V_{\text{ref2}}$ , respectivamente). En el otro extremo de estas dos líneas se conectan sendos detectores con un umbral también controlable externamente con las tensiones  $V_{\text{ref3}}$  y  $V_{\text{ref4}}$ , respectivamente. El detector de la línea central se conecta a la entrada de *reset* de un biestable RS cuya salida es accesible exteriormente [52]. La tercera línea se conecta, por un extremo y a través de un transistor de paso controlado por  $V_{\text{ctrl1}}$ , a una entrada accesible exteriormente a través de un *pad* analógico. El otro extremo de esta línea está conectado a otro biestable RS. Esta estructura se utiliza para detectar errores en las líneas victimas provocados por conmutaciones en las líneas vecinas. Por ejemplo, si introducimos una señal de tensión pulsante en la línea inferior y mantenemos un valor de corriente fijo en la línea central a través de  $V_{\text{ref2}}$ , podemos ajustar el umbral del detector con  $V_{\text{ref4}}$  hasta que se haga saltar el biestable de esa línea central. De esta forma se ha realizado un barrido para diversos tiempos de subida y bajada de una señal pulsante en modo tensión y se ha determinado el umbral, por encima de una corriente de  $300 \mu\text{A}$ , que hace saltar el biestable de la línea modo corriente. Lo mismo puede hacerse introduciendo pulsos, esta vez de corriente, en la línea superior. En este caso, el barrido se ha realizado de amplitudes, dado que no existe un control adecuado a través de la forma de onda de  $V_{\text{ref1}}$  en las pendientes de los pulsos de corriente que se inyectan en la línea.



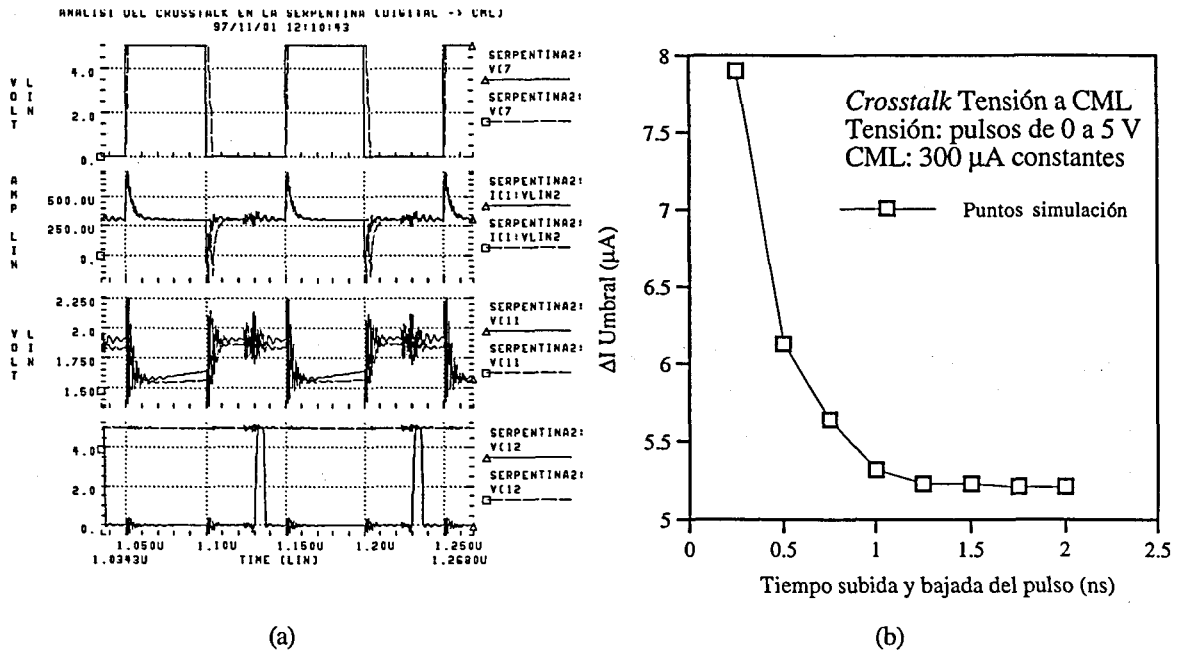
**Figura 7-19**

*Circuito integrado en el ICCML para analizar el crosstalk entre líneas modo corriente y modo tensión.*

Las simulaciones se han realizado con HSPICE. Las tres líneas vecinas se han modelado con componentes discretos. Los valores de resistencia, auto inductancia y de inductancia mutua se han extraído con el programa FasHenry [53]. Las tres pistas tienen una resistencia del orden de  $33.7 \Omega$ , una auto inductancia del orden de  $0.5 \text{ nH}$  y un coeficiente de acoplamiento mutuo (entre dos líneas vecinas) de  $0.33$ . Los valores de la capacidad se han obtenido con el programa Raphael [54]. La capacidad entre dos líneas vecinas es del orden de  $30 \text{ fF}$  y la capacidad a masa de  $43 \text{ fF}$ . La extracción de parámetros se ha realizado con una estructura tridimensional



formada por las tres líneas sobre un plano de masa, que representa el sustrato semiconductor, y rodeadas de un aislante, el dióxido de silicio. Los valores para las dimensiones verticales se han deducido de los datos proporcionados por el fabricante en las reglas de diseño de la tecnología CMOS de 1  $\mu\text{m}$  con la que se ha realizado el prototipo ICCML. El estudio se ha centrado en el efecto del *crosstalk* de líneas de tensión sobre líneas CML y los resultados se muestran en la Figura 7-20.



**Figura 7-20**

(a) Resultados de simulación del efecto del *crosstalk* entre una línea de tensión y otra de corriente. Los tiempos de subida y bajada del pulso de la línea de tensión de la línea a trazos es de 1 ns y los de la continua de 0.25 ns (b) Representación de la diferencia entre el umbral establecido en el comparador, que dispara el biestable RS, y el valor constante de corriente de una línea CML en función de los tiempos de subida y bajada de la señal pulsada en modo tensión de una línea vecina.

## 7.4 Comunicación entre CIs en modo corriente

El uso de tensión en las comunicaciones entre chips a elevadas velocidades tiene algunas desventajas. El receptor debe adaptarse a la línea de transmisión con una impedancia igual a la característica de la línea para evitar reflexiones, formando un divisor de tensión. Por tanto, la tensión en el emisor debe ser al menos el doble que la tensión mínima en el receptor. Se ha de hacer circular por la línea una corriente de conmutación elevada (del orden de 16 mA para *drivers* ECL en drenador abierto y terminación en paralelo en el receptor y de 10 mA para una terminación en serie en el *driver* y circuitos CMOS [55]), dado que las excursiones de la tensión deben ser superiores a la tensión umbral del receptor. Cuanto mayores sean, mejor será el margen de ruido del receptor. Esto supone una gran cantidad de ruido de conmutación en el circuito emisor debido a que sus *drivers* han de conmutar esos valores elevados de corriente en tiempos breves. Sin embargo, si se utiliza la corriente para transportar la información, las excursiones de corriente pueden ser mucho más reducidas disminuyendo el ruido de conmutación y la disipación de potencia, tal y como se ha demostrado recientemente en [55].

La propuesta consiste en utilizar señales en modo corriente multivaluadas para la señalización entre circuitos integrados en tecnologías CMOS. De esta forma puede reducirse el número de líneas de los *buses* y aprovechar las ventajas anteriormente comentadas de la comunicación modo corriente, alguna de las cuales hemos visto en apartados anteriores: baja sensibilidad a variaciones en las tensiones de alimentación, baja sensibilidad al ruido de conmutación, reducido *crosstalk* entre líneas de corriente. Algunos trabajos ya han realizado propuestas similares. En [56] se presenta una alternativa diferencial con baja excursión de la tensión de salida. En [57] se utiliza el signo de la corriente que circula por la línea de transmisión para codificar la información binaria. En [58] se utiliza la tecnología de arseniuro de galio para implementar un emisor y un receptor en modo corriente multivaluado, que utiliza un álgebra ternaria para transmitir por la misma línea un bit de datos y el reloj. Las principales desventajas del uso de corriente es que las conexiones deben realizarse punto a punto, en vez de la conexión tipo *bus* utilizada actualmente en la mayoría de los sistemas electrónicos. Existe otra característica muy atractiva de la comunicación en modo corriente, pues el CI emisor y el receptor no tienen por que trabajar con la misma tensión de alimentación, de forma que la compatibilidad entre niveles de tensión dejaría de ser una restricción. Esta técnica es ideal a la hora de trabajar con CI alimentados con la técnica TCMOS, presentada en el capítulo 6, debido a la tolerancia que los circuitos CML presentan respecto de variaciones en la tensión de alimentación.

La Figura 7-21 muestra el circuito de los *drivers* de entrada y salida modo corriente diseñados para transmitir señales modo corriente cuaternarias con signo. En el apéndice B se muestra el *layout* de una *pad* de entrada y otro de salida. Estos circuitos utilizan la misma estructura de protección ESD que los pads analógicos de la librería de celdas estándar de la tecnología de CMOS 1  $\mu\text{m}$  con la que han sido diseñados. El *driver* de salida tiene como entrada una señal MVCML en la que los niveles *radix 4 SD* se codifican con los valores de corriente  $\{-60\mu\text{A}, -40\mu\text{A}, -20\mu\text{A}, 0\mu\text{A}, 20\mu\text{A}, 40\mu\text{A}, 60\mu\text{A}\}$ , a los que llamaremos niveles internos. La salida CML del pad tiene como corriente unitaria  $375\mu\text{A}$ , es decir los niveles externos, en las líneas de comunicación entre chips, son más elevados. Esto es necesario porque la caída resistiva en la línea podría llevar a las tensiones en el receptor a la zona en la que los transistores de entrada trabajan en región óhmica. El *driver* realiza un muestreo de la entrada. Con una serie de comparadores de umbral se generan los niveles de corriente de salida. El *pad* de entrada o receptor detecta los niveles de corriente de entrada y genera con unas fuentes conmutadas los niveles de corriente internos. Simulaciones realizadas sobre el circuito extraído a partir del *layout* permiten medir los retardos de conmutación presentados en la Tabla 7-2 para varias combinaciones de corriente de entrada. Los retardos se han medido desde el 50% del tiempo de subida del cambio en la entrada hasta el 50% del cambio en la salida.

La Figura 7-22 muestra el funcionamiento de un circuito formado por el encadenamiento de tres *pads* CML, uno de entrada internamente conectado a otro de salida que finalmente en el exterior del encapsulado se une con otro *pad* de entrada CML. La corriente de entrada del primer *pad* ( $I(vx1)$ ) es proporcionada por una fuente externa de corriente. La salida del primer *pad* de entrada ( $I(vx2)$ ) se conecta internamente a la entrada del *pad* de salida cuya salida ( $I(vx3)$ ) se conecta exteriormente al segundo *pad* de entrada (conectando entre sí los correspondientes

terminales del encapsulado). En la figura se muestran además dos señales de reloj: exterior ( $v(72)$ ) e interior ( $v(235)$ ) después del *pad* digital de entrada. La forma de onda etiquetada como  $v(351)$ - $v(266)$  corresponde a la diferencia entre la tensión de alimentación positiva y tierra internas, en la que podemos observar el ruido de conmutación generado por las entradas y salidas CML de la simulación (dado que los tres *pads* pertenecen al mismo CI encapsulado).

Transición	<i>Pad</i> de entrada	<i>Pad</i> de salida
0 → 1	4.35 ns	2.45 ns
0 → 2	4.34 ns	3.84 ns
0 → -2	4.25 ns	3.88 ns
0 → -3	4.18 ns	3.56 ns

**Tabla 7-2**

*Retardos de conmutación de los pads de entrada y salida MVCML.*

Debido a que las señales MVCML son bidireccionales, en la codificación que se ha escogido, se ha de prever un camino de retorno para las corrientes positivas y otro para las negativas. Los terminales de alimentación internos de todos los *pads* de entrada y salida del prototipo diseñado se conectan a sendos terminales dedicados del encapsulado. En una configuración más sencilla, con corrientes unidireccionales, sólo sería necesario una vía de retorno a través del plano de masa, por ejemplo. Sin embargo hay que tener en cuenta que la limitación en la velocidad de conmutación de las señales en modo corriente ya no viene impuesta por la capacidad de la línea de transmisión entre el receptor y el emisor sino por su inductancia, y se tendrá que prever un diseño correcto en estos caminos de retorno de las corrientes que minimice dicha inductancia, o de lo contrario la velocidad de transmisión de datos de un CI a otro se verá limitada. Estos *pads* no han sido diseñados para comunicaciones a alta velocidad entre chips sino para acceder al circuito ICCML con señales en modo corriente. Queda propuesto como línea futura de investigación la optimización de esta estructura, especialmente el *pad* de entrada que deberá de tener en cuenta la adaptación de la línea de transmisión. En la Figura 7-23 se muestra una simulación realizada con el mismo circuito que el de la Figura 7-22 pero utilizando una línea de transmisión entre el *pad* de salida y el de entrada correspondiente a una pista de circuito impreso de 2 cm de longitud sobre una placa con un plano de masa al otro lado, utilizando el modelo de línea de transmisión con pérdidas de HSPICE. Como puede observarse la velocidad de transmisión no se ve reducida respecto al caso anterior de la Figura 7-22. Se han realizado simulaciones con pistas de hasta 20 cm de longitud y se ha observado una progresiva degradación de la velocidad de transmisión lo que pone de manifiesto la necesidad de un diseño adecuado del emisor y de un control de la impedancia de entrada del receptor similar al realizado en las propuestas de [55][58].

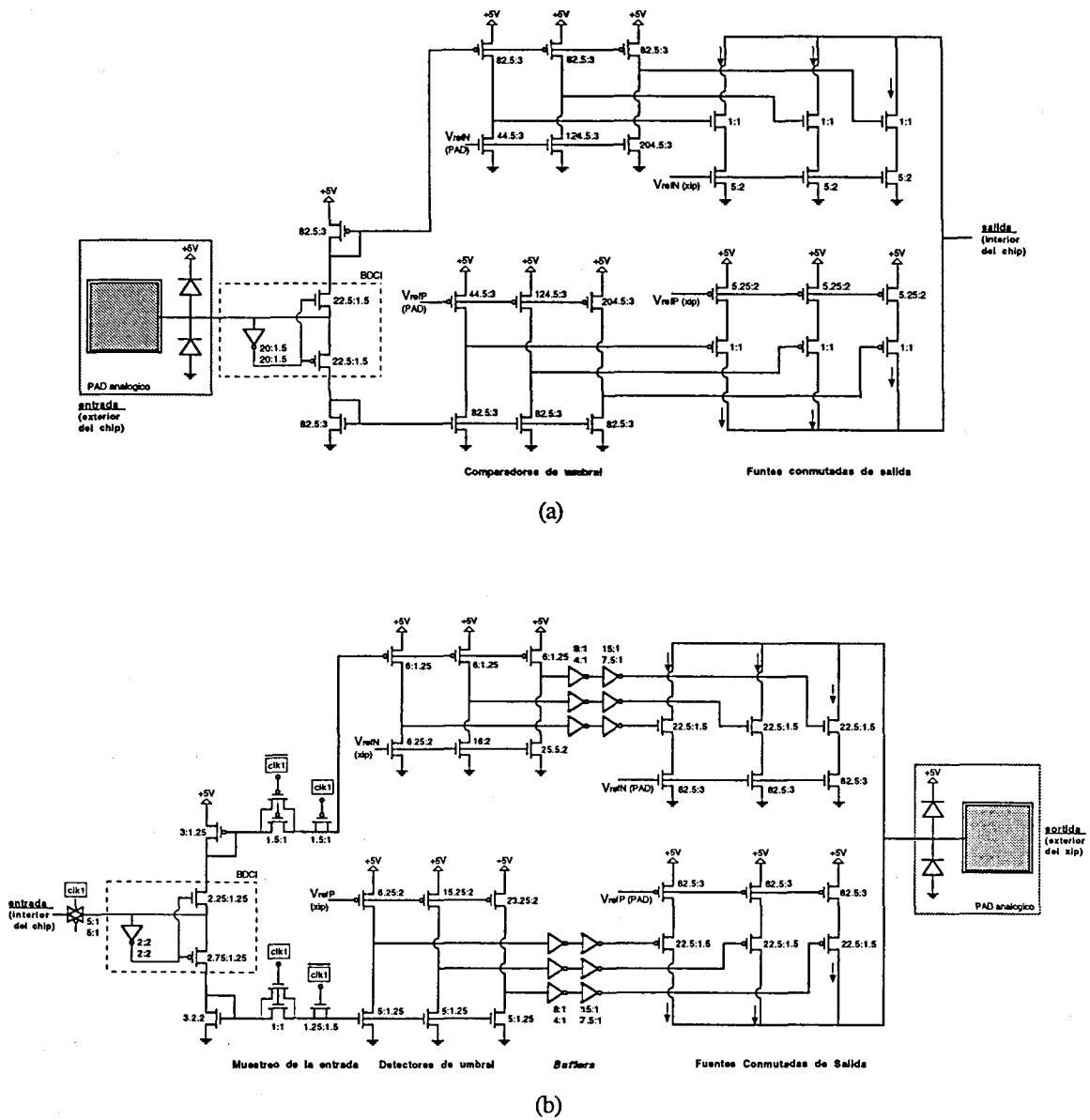


Figura 7-21

(a) Circuito del pad de entrada CML (b) Circuito del pad de salida CML. Ambos incluidos en el prototipo ICCML

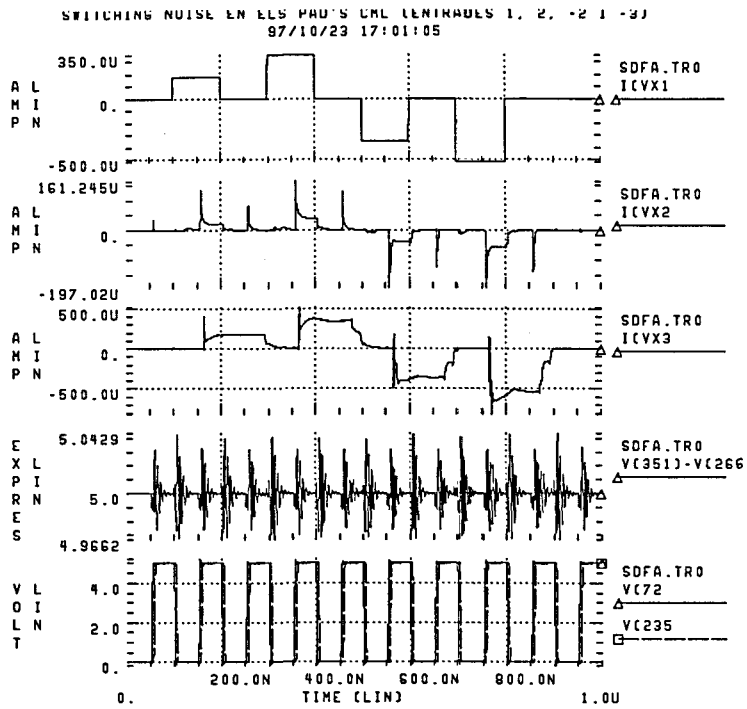


Figura 7-22

Resultados de simulación sobre el prototipo diseñado correspondiente al encadenamiento de tres pads CML de entrada y salida.

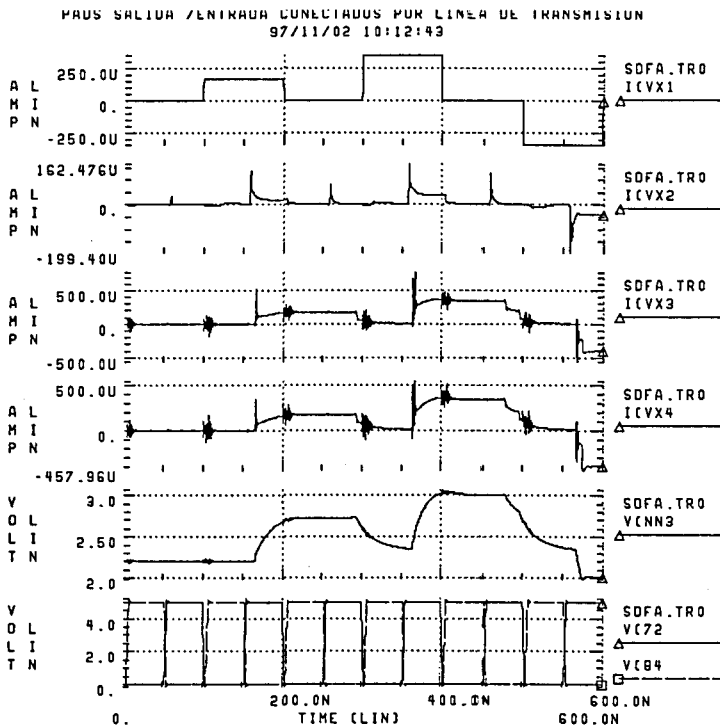


Figura 7-23

Resultados de simulación sobre el prototipo diseñado correspondiente al encadenamiento de tres pads CML de entrada y salida con una línea de transmisión entre el pad de salida y el de entrada.

## 7.5 Conclusiones

En este capítulo se han analizado diversos aspectos de los circuitos CMOS que utilizan la corriente para representar las señales digitales, en vez de la tensión. Dada la facilidad de generar múltiples umbrales de comparación de corriente, es mucho más sencillo realizar circuitos multivaluados en modo corriente (MVCML) que en modo tensión. Es por ello que la mayoría de aplicaciones que trabajan en modo corriente estudiadas (memorias RAM, conversores A/D, PLAs, multiplicadores) utilizan lógicas o álgebras multivaluadas.

Uno de los problemas de los circuitos MVCML es el consumo constante de corriente. En este sentido se han presentado estructuras que ayudan a reducir el consumo de estos circuitos gracias al uso de espejos dinámicos de corriente (circuito BDCM), que muestrean su corriente de entrada. La limitación de este tipo de circuitos es que si se trabaja con niveles de corriente pequeños, es decir, con tensiones entre puerta y surtidor de los transistores de salida de los espejos o las fuentes conmutadas reducidos, los errores debido a los fenómenos de inyección de carga son importantes y deben escogerse adecuadamente los niveles discretos de corriente.

Gracias a que podemos trabajar con niveles lógicos de corriente pequeños, el ruido de conmutación generado por los circuitos MVCML es muy reducido. En un circuito complejo se ha comprobado como el ruido generado por un gran número de bloques modo corriente queda enmascarado por el ruido generado por unos pocos circuitos digitales binarios convencionales.

También se ha comprobado cómo los circuitos MVCML, a pesar de trabajar con niveles pequeños de corriente, son bastante robustos frente a variaciones elevadas (del orden de los 2 V) tanto estáticas como dinámicas de la tensión de alimentación.

Se ha realizado también un análisis sobre circuitos sencillos y también sobre una estructura realista del acoplamiento capacitivo entre líneas que transportan señales binarias en modo tensión y líneas que transportan señales en modo corriente, verificándose las excelentes propiedades de insensibilidad de la señalización en modo corriente.

La comunicación en modo corriente entre circuitos integrados se ha mostrado como una alternativa muy interesante de cara a minimizar el ruido de conmutación que generan los *drivers* de salida de los circuitos integrados. El trabajo en modo corriente permite excursiones de tensión reducidas para las señales de salida. Esto reduce considerablemente el ruido simultáneo de conmutación. El uso de señalización multivaluada, fácilmente implementable con lógicas modo corriente CMOS, como se ha demostrado con las implementaciones realizadas de un *pad* de salida y otro de entrada con la lógica *radix-4 SD*, permite reducir el tamaño de los *buses* entre los CIs. La gran inmunidad a los acoplamientos entre líneas, como se ha mostrado anteriormente, también es una ventaja de este tipo de alternativa. La principal desventaja es que las comunicaciones deben realizarse punto a punto. Esta alternativa aparece como una de las posibles vías de salida al cada vez más importante problema del ruido de conmutación generado por los *drivers* de salida en los CIs de elevadas prestaciones. El encapsulado de estos circuitos es cada vez más costoso debido, en parte, a la necesidad de reducir la inductancia de los

terminales de alimentación, ya que ésta es la única forma de reducir el ruido sin afectar a las prestaciones de dichos *drivers* de salida, como se ha visto en este capítulo.

## Referencias

- [1] E.E. Davidson, 'Electrical Design of a High Speed Computer Package', *IBM J. Res. Develop.*, Vol. 26, No. 3, May 1982, pp. 349–361.
- [2] George A. Katopis, 'Delta-I Noise Specification for a High-Performance Computing Machine', *Proceedings of the IEEE*, Vol. 73, No. 9, September 1985, pp. 1405–1415.
- [3] Arun Vaidyanath, Bigir Thoroddsen, and J.L. Prince, 'Effect of CMOS Driver Loading Conditions on Simultaneous Switching Noise', *IEEE Tr. on Components, Packaging, and Manufacturing Techn.—Part B*, Vol. 17, No. 4, November 1994, pp. 480–485,
- [4] Hung Chang Lin, and Loren W Linholm, 'An Optimized Output Stage for MOS Integrated Circuits', *IEEE J. Solid-State Circuits*, Vol. SC-10, No. 2, April 1975, pp. 106–109.
- [5] Srivasa R. Vemuru, 'Effects of Simultaneously Switching Noise on the Tapered Buffer Design', *IEEE Tr. on Very Large Scale Integration (VLSI) Systems*, Vol. 5, No. 3, September de 1997, pp. 290–300.
- [6] Yaochao Yang, and John R. Brews, 'Design Trade-Offs for the Last Stage of an Unregulated, Long-Channel CMOS Off-Chip Driver with Simultaneous Switching Noise and Switching Time Considerations', *IEEE Tr. on Components, Packaging, and Manufacturing Techn.—Part B*, Vol. 19, No. 3, August 1996, pp. 481–486.
- [7] Yahochao Yang and John R. Brews, 'Design for Velocity Saturated, Short-Channel CMOS Drivers with Simultaneous Switching Noise and Switching Time Considerations', *IEEE J. Solid-State Circuits*, Vol. 31, No. 9, September 1996, pp. 1357–1360.
- [8] Thaddeus J. Gabara, Wilhelm C. Fischer, John Harrington, and William W. Troutman, 'Forming Damped LRC Parasitic Circuits in Simultaneously Switched CMOS Output Buffers', *IEEE J. Solid-State Circuits*, Vol. 32, No. 3, March. 1997, pp. 407–418.
- [9] R. Senthinathan, J.L. Prince, and S. Nimmagadda, 'Noise Immunity Characteristics of CMOS Receivers and Effects of Skewing/Damping CMOS Driver Switching Waveform on the Simultaneous Switching Noise', *Microelectronics Journal*, Vol 23, 1992, pp. 29–36.
- [10] Karl L. Wang, Mark. D. Bader, Vince W. Soorholtz, Richard W. Mauntel, Horacio J. Mendez, Peter H. Voss, and Roger I. Kung, 'A 21-ns 32K×8 CMOS Static RAM with a Selectively Pumped p-Well Array', *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 5, October 1987, pp. 704–711.
- [11] L. Alberston, S. Witaker and R. Merrell, 'CMOS Output Buffer Waveshaping', *Proc. of 1st Great Lakes Symp. on VLSI*, 1991, pp. 326–327.
- [12] R. Senthinathan, and J.L. Prince, 'Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise', *IEEE J. Solid-State Circuits*, Vol. 28, No. 12, December 1993, pp. 1383–1388.
- [13] C.S. Choy, M.H. Ku, and C.F. Chan, 'A Low Power-Noise Output Driver with an Adaptative Characteristic Applicable to a Wide Range of Loading Conditions', *IEEE J. Solid-State Circuits*, Vol. 32, No. 6, June 1997, pp. 913–917.

- [14] Donal T. Wong, R. Dean Adams, Arup Bhattacharyya, James Covino, John A. Gabric, and George M. Lattimore, 'An 11-ns  $8k \times 18$  CMOS Static RAM with 0.5- $\mu$ m Devices', *IEEE J. Solid-State Circuits*, Vol. 23, No. 5, October 1988, pp. 1095–1103.
- [15] K. Furutani, H. Miyamoto, Y. Morooka, M. Suwa, and H. Ozaki, 'An Adjustable Output Driver with a Self-Recovering Vpp Generator for a  $4M \times 16$  DRAM', *IEEE J. Solid-State Circuits*, Vol. 29, No. 3, March 1994, pp. 308–310.
- [16] Tomohisa Wada, Toshihiko Hirose, Hirofumi Shinohara, Yuji Kawai, Kojiro Yuzuriha, Yoshiho Kohono, and Shimpei Kayano, 'A 34-ns 1-Mbit CMOS SRAM Using triple Polysilicon', *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 5, October 1987, pp. 727–732.
- [17] Ernestina Chiofi, Franco Maloberti, Gianmarco Marchesi, and Guido Torelli, 'High-Speed, Low-Switching Noise CMOS Memory Data Output Buffer', *IEEE J. Solid-State Circuits*, Vol. 29, No. 11, November 1994, pp. 1359–1365.
- [18] Tomonori Sekiguchi, Masashi Horiguchi, Takeshi Sakata, Yoshinobu Nakagome, Shigeki Ueda, and Masakazu Aoki, 'Low-Noise, High-Speed Data Transmission Using a Ringing-Canceling Output Buffer', *IEEE J. Solid-State Circuits*, Vol. 30, No. 12, December 1995, pp. 1569–1574.
- [19] T.T. Dao, 'Threshold  $I^2L$  and its Applications to Binary Symmetric Functions and Multivalued Logic', *IEEE J. Solid-State Circuits*, Vol. SC-12, October 1977, pp. 463–472.
- [20] Stanley L. Hurst, 'Multiple-Valued Logic—Its Status and Its Future', *IEEE Tr. on Computers*, Vol. C-33, No. 12, December 1984, pp. 1160–1179.
- [21] Daniel Etiemble, 'On the Performance of Multivalued Integrated Circuits: Past, Present and Future', *IEICE Tr. Electron.*, Vol. E97-C, No. 3, March 1993, pp. 364–371.
- [22] X. Deng, T. Hantu, and M. Kameyama, 'Design and Evaluation of a Current-Mode Multiple-Valued PLA based on a Resonant Tunnelling Transistor Model', *IEE Proc.-Circuits Devices Syst.*, Vol. 141, No. 6, December 1994.
- [23] Z.X. Yan, and M.J. Deen, 'A New Resonant-Tunnel Diode-Based Multivalued Memory Circuit Using a MESFET Depletion Load', *IEEE J. Solid-State Circuits*, Vol. 27, No. 8, August 1992, pp. 1198–1202.
- [24] Shoji Kawahito, Michitaka Kameyama, Tatsuo Higuchi, and Haruyasu Yamada, 'A  $32 \times 32$  bit Multiplier Using Multiple-Valued MOS Current-Mode Circuits', *IEEE J. Solid-State Circuits*, Vol. 23, No. 1, February 1987, pp. 124–132.
- [25] K.Navi, A. Kazeminejad, and D. Etiemble, 'Performance of CMOS Current Mode Full Adders', —, 1994, pp. 27–34.
- [26] M. Yoeli and G. Rosenfeld, 'Logical Design of Ternary Switching Circuits', *IEEE Tr. on Computers*, February 1965, pp. 19–29.
- [27] Kenneth C. Smith, 'Multiple-Valued Logic: A Tutorial and Appreciation', *IEEE Computer*, April 1988, pp. 17–27.
- [28] Atul K. Jain, Ron J. Bolton, Mostafa H. Abd-El-Barr, 'CMOS Multiple-Valued Logic Design (Part I and II)', *IEEE Tr. on Circuits and Systems—I*, Vol. 40, No. 8, August 1993, pp. 503–522.
- [29] Xieiong Chen, and Claudio Moraga, 'An Algebra for Current-Mode CMOS Multivalued Circuits', *Proc. of the 23rd Int. Symp. on Multiple-Valued Logic*, 1993, pp. 239–244.
- [30] S. Summerfield, C.T. Clarke, and G.R. Nudd, 'VLSI Arithmetic with Current Mode Multiple Valued Logic', —, 1992, pp. 3001–3004.



- [31] Randall L. Geiger, Philip E. Allen, and Noel R. Strader. *VLSI Design Techniques for Analog and Digital Circuits*. 1990. New York: McGraw-Hill International Editions.
- [32] P.J. Crawley, and G.W. Roberts, 'High-Swing MOS Current Mirror with Arbitrarily High Output Resistance', *Electronics Letters*, Vol. 28, No. 4, February 1992, pp. 361–363.
- [33] V.I. Prodanov and M-M- Green, 'CMOS Current Mirrors with Reduced Input and Output Voltage Requirements', *Electronics Letters*, Vol. 32, No. 2, January 1996, pp. 104–105.
- [34] D. A. Freitas, K.W. Current, 'CMOS Current Comparator Circuit', *Electronics Letters*, Vol. 19, No. 17, August 1983, pp. 695–697.
- [35] P. Riffaud, G. Tournour, E. Garnier, and P. Roux, 'Charge Injection Error Reduction Circuit for Switched-Current Systems', *Electronics Letters*, Vol. 33, No. 20, September 1997, pp. 1689–1691.
- [36] Joseph J. F. Cavanagh. *Digital Computer Arithmetic: Design and Implementation..* 1984. New York: McGraw-Hill Book Company.
- [37] K. Wyne Current, 'Current-Mode CMOS Multiple-Valued Logic Circuits', *IEEE J. Solid-State Circuits*, Vol. 29, No. 2, February 1994, pp. 95–107.
- [38] Mohamed I. Elmasry, 'Nanosecond NMOS VLSI Current Mode Logic', *IEEE J. Solid-State Circuits*, Vol. SC-17, No. 2, April 1982, pp. 411–414.
- [39] Yeorg-Jar Chang and Chung Len Lee, 'Synthesis of Multi-Variable MVL Functions Using Hybrid Mode CMOS Logic', —, 1994, pp. 35–41.
- [40] M.J. Avedillo, J.M. Quintana, A. Rueda and E. Jiménez, 'Low-Power CMOS Threshold-Logic Gate', *Electronics Letters*, Vol. 31, No. 25, December 1995, pp. 2157–2159.
- [41] D.G. Nairn, C.A.T. Salama, 'Algorithmic Analogue/Digital Converter Based on Current Mirrors', *Electronics Letters*, Vol. 24, No. 8, April 1988, pp. 471–472.
- [42] David G. Nairn, C. Andre T. Salama, 'Current-Mode Algorithmic Analog-to-Digital Converters', *IEEE J. Solid-State Circuits*, Vol. 25, No. 4, August 1990, pp. 997–1004.
- [43] K.W. Current, 'Algorithmic Analogue-to-Quaternary Converter Circuit Using Current-Mode CMOS', *Electronics Letters*, Vol. 28, No. 12, June 1992, pp. 1111–1112.
- [44] E.K.F. Lee, and P.G. Gulak, 'Current-Mode Multivalued Dynamic MOS Memory with Error Correction', *Electronics Letters*, Vol. 28, No. 11, pp. 1067–1068.
- [45] A. Chandna, and R.B. Brown, 'An Asynchronous GaAs MESFET Static RAM Using a New Current Mirror Memory Cell', *IEEE J. Solid-State Circuits*, Vol. 29, No. 10, October 1994, pp. 1270–1275.
- [46] J.F. Lópe, R. Sarmiento, K. Eshraghian, and A. Núñez, 'Noise Margin Enhancement in GaAs ROM's Using Current Mode Logic', *IEEE J. Solid-State Circuits*, Vol. 32, No. 4, April 1997, pp. 592–597.
- [47] Mostafa Abd El-Barr, and Muhammad Nayyar Hasan, 'New MVL-PLA Structures based on Current-Mode CMOS Technology', —, 1996, pp. 98–103.
- [48] C.K. Tse and K.C. Chun, 'Design of a Switched-Current Median Filter', *IEEE Tr. on Circuits and Systems—II*, Vol. 42, No. 5, May 1995, pp. 356–359.
- [49] Takahiro Hanyu, and Michitaka Kameyama, 'A 200 MHz Pipelined Multiplier Using 1.5 V-Supply Multiple-Valued MOS Current-Mode Circuits with Dual-Rail Source-Couple Logic', *IEEE J Solid-State Circuits*, Vol. 30, No. 11, November 1995, pp. 1239, 1245.

- [50] Francesc Moll Echeto. 'Parasitic Effects Due to Interconnections in Microelectronic Design', Dissertation for the Obtention of the PhD. D. degree, Electronic Engineering Department, Universitat Politècnica de Catalunya, 1995.
- [51] Takahiro Hanyu, and Michitaka Kameyama, 'A 200 MHz Pipelined Multiplier Using 1.5 V-Supply Multiple-Valued MOS Current-Mode circuits with Dual-Rail Source-Coupled Logic', *IEEE J. of Solid-State Circuits*, Vol. 30, No. 11, November 1995, pp. 1239–1245.
- [52] E. Sicard, L. Roy, C. Garres, and J-Y. Fourniols, 'Characteristic of Internal Coupling within CMOS Integrated Circuits', *Power and Timing for Performance of Integrated Circuits*, 1993, pp. 164–174.
- [53] M. Kamon, C. Smithhisler, and J. White, 'Fast Jenry USER'S GUIDE', September 1994, Research Laboratory of Electronics, Dept. of Electrical Engineering and Computer Science, Massachusetts Institute of Technology.
- [54] *RAPHAEL Interconnect Analysis*, 1992, Technology Modeling Associates, Inc.
- [55] Stephen I. Long, and Johnny Qi Zhang, 'Low Power GaAs Current-Mode 1.2 Gb/s Interchip Interconnections', *IEEE J. Solid-State Circuits*, Vol. 32, No. 6, June 1997, pp. 890–897.
- [56] John H. Quigley, James S. Caravella and William J. Neil, 'Current Mode Transcievers Logic, (CMTL) for Reduced Swing CMOS, Chip to Chip Communications', *Proc. of the 6st Annual ASIC Conference and Exhibit*, 1993, pp. 452–455.
- [57] N. Tan and S. Eriksson, 'Low-Power Chip-to-Chip Communication Circuits', *Electronics Letters*, Vol. 30, No. 21, October 1994, pp. 1732–1733.
- [58] Johnny Q. Shang, Stephen I. Long, and Fu H. Ho, 'Low Power Current Mode Multi-Valued Logic Interconnect for High Speed Interchip Communications', *Proc. of the GaAS IC Symposium*, 1995, pp. 327–330.



# Capítulo 8

---

## Conclusiones

*En este capítulo final se resumen las conclusiones extraídas del trabajo de investigación realizado y los resultados obtenidos. Se proponen líneas futuras de investigación que permitirán extender algunos de los aspectos tratados en esta memoria y dar continuidad al trabajo realizado.*

El problema del ruido de conmutación es uno de los obstáculos más importantes con el que tienen que enfrentarse los diseñadores de circuitos integrados digitales y mixtos de altas prestaciones y ha sido objeto de un interés creciente en la última década, como demuestra el gran número de trabajos aparecidos en la literatura y los diferentes libros publicados.

El ruido de conmutación  $dI/dt$  está ligado a dos aspectos diferenciados del diseño de los CIs: el encapsulado y la forma de proporcionar energía al circuito, por un lado, y la actividad o la forma en la que el propio circuito consume esa energía, más concretamente, las variaciones bruscas en el consumo energético típico de los circuitos integrados digitales CMOS o BiCMOS, sobre los que se ha centrado el presente trabajo de investigación.

Debido a que este ruido de conmutación está presente en los terminales de alimentación, que se distribuyen por todo el circuito, éste puede fácilmente llegar a aquellas zonas más sensibles y provocar funcionamientos erróneos. En este trabajo se ha analizado los mecanismos de generación y transmisión, así como los efectos que el ruido de conmutación produce tanto en los circuitos digitales (errores de retardo, falsas conmutaciones y errores permanentes debido a los almacenamientos erróneo en biestables) como en las partes analógicas de un circuito integrado mixto (pérdida de resolución de los conversores A/D y D/A, errores de fase en los amplificadores operacionales, aumento de la distorsión, etc.). El ruido de conmutación es, con diferencia, la mayor fuente de ruido en los CIs actuales y debe ser considerado con especial atención en aquellos circuitos analógicos o digitales en los que la relación entre la señal y el ruido sea reducida (memorias RAM, sensores integrados, conversores analógico digitales, y un largo etcétera). Se ha demostrado que el ruido generado por las puertas BiCMOS es del mismo

orden que el generado por las puertas CMOS convencionales, si bien las puertas BiCMOS son menos sensibles al ruido de conmutación presente en las alimentaciones.

El problema del ruido de conmutación se agrava en la actualidad con el uso de tensiones de alimentación reducidas unido al aumento de la complejidad de los elementos digitales integrados. Como se ha visto en la actual memoria de tesis las tendencias actuales de evolución tecnológica no sólo no suponen una reducción del fenómeno del ruido (entendiendo que se habla del ruido, no en valor absoluto, sino respecto a la tensión de alimentación) sino precisamente todo lo contrario. El actual y futuro freno en la reducción de los tiempos de conmutación respecto de la tendencia observada en las décadas anteriores, debido en gran parte a la aparición de fenómenos de segundo orden como la saturación de la velocidad o los efectos de canal corto, no produce sino un frenado de la tendencia a la disminución en la relación entre la tensión de alimentación y el ruido de conmutación generado. Frenado que queda totalmente enmascarado por el aumento de la complejidad de los circuitos integrados que hace aumentar proporcionalmente el número de puertas que trabajan simultáneamente y por tanto también el ruido de conmutación simultáneo. Este escenario hace prever que en el futuro el ruido de conmutación será un problema muy importante que deberá solventarse sobre todo en aquellas aplicaciones que debido a las exigencias de reducido consumo deban trabajar con bajas tensiones de alimentación, mientras integran funciones digitales complejas junto con partes analógicas sensibles, como los equipos portátiles de telecomunicaciones, a los que cada vez se les exigen mayores prestaciones y costes más reducidos.

La necesidad de encontrar técnicas de reducción del ruido de conmutación en todos los frentes posibles ha llevado, en este trabajo, a analizar las diferentes fases de diseño de un circuito integrado. Se han resumido las propuestas aparecidas en la literatura y se han propuesto soluciones originales en diversos campos.

En primer lugar, y centrándose en la influencia de la actividad de los circuitos digitales en el ruido de conmutación generado, se ha estudiado el proceso de diseño de dichos circuitos partiendo de su descripción a alto nivel, pasando por los mecanismos de síntesis automática y de síntesis y minimización lógica hasta llegar a las implementaciones concretas de las puertas lógicas. En el proceso de síntesis a alto nivel se ha constatado como los criterios de optimización de la velocidad producen soluciones más ruidosas al primar el paralelismo, mientras que las soluciones sintetizadas con un objetivos de minimizar el área producen circuitos menos ruidosos. La arquitectura utilizada afecta de forma importante al ruido de conmutación dado que el aumento del grado de paralelismo o el uso de estructuras *pipeline* para aumentar la velocidad de proceso implican un aumento de la actividad simultánea. Existe, por tanto, un compromiso entre la optimización de la velocidad de proceso y el ruido de conmutación tolerables. Una de las propuestas de trabajo futuro es analizar en detalle los algoritmos de síntesis a alto nivel e introducir criterios de planificación y asignación de recursos que tengan también en cuenta la minimización del número de elementos susceptibles de funcionar de forma simultánea. Las técnicas utilizadas en la minimización del consumo de las máquinas de estados finitos y las unidades de control ayudan a reducir el ruido de conmutación ya que dan como resultado una disminución en el número de bits de estado que cambian a la vez. También resultan interesantes

las técnicas de detención del reloj en estados de permanencia, que proporcionan intervalos de 'tranquilidad' al sistema que pueden ser utilizados por la parte sensible del mismo para trabajar sin las restricciones impuestas por el ruido de conmutación.

El diseño a nivel lógico y los algoritmos de minimización lógica ya han incorporado criterios para reducir la actividad total del circuito pensando en minimizar el consumo. Queda pendiente comprobar si en general una reducción de la actividad total reduce de la misma forma el máximo de actividad simultánea, que es la figura de mérito importante de cara al ruido de conmutación. Se ha propuesto un método de simplificación lógica a dos niveles que reduce dicha actividad simultánea.

La lógica que se utilice finalmente para implementar las funciones obtenidas al final del proceso de diseño tiene también una influencia decisiva en el ruido de conmutación generado por los circuitos. A pesar de que la lógica CMOS representa en la mayoría de los casos el mejor compromiso, existen otras lógicas que, respecto de la generación de pulsos de corriente, pueden ser una alternativa cuando la reducción del ruido de conmutación es un criterio a considerar prioritariamente. Este es el caso de la lógica Pseudo-NMOS, que gracias a su baja capacidad en los nodos de salida requiere pulsos de menor amplitud para realizar las conmutaciones, o la lógica con transistores de paso CPL, por las mismas razones. Otra interesante alternativa, la lógica DSL (*differential split-level*), utiliza excursiones de las señales internas menores que la tensión de alimentación, lo que supone también una reducción en la amplitud de los pulsos de corriente de conmutación. Las lógicas dinámicas quedan descartadas si el ruido de conmutación es un factor crítico del diseño debido a su extrema sensibilidad al ruido de conmutación en los nodos dinámicos y debido a la simultaneidad introducida por la fase de precarga. Lo mismo sucede con las estructuras *pipeline* utilizada en este tipo de arquitecturas lógicas.

A pesar de que las lógicas controladas por el reloj (*clocked logics*), como la DCVSL, ECDDL, etc, producen los mismos problemas si se utilizan con un mismo reloj global que las lógicas dinámicas, son muy convenientes si se utilizan de forma autotemporizada. De esta forma se reduce el máximo la actividad simultánea pues cada puerta o celda lógica conmuta en un instante aleatorio de tiempo y los datos se van propagando de forma asíncrona por la cadena. Las estructuras de tipo *wave pipeline* y los circuitos asíncronos, a pesar de su gran dificultad de diseño, representan un interesante alternativa al diseño síncrono convencional de cara a minimizar la generación del ruido de conmutación de los circuitos digitales.

En este sentido se han presentado los resultados experimentales sobre un prototipo fabricado siguiendo una técnica de diseño propuesta en este trabajo que prima la regularidad y el uso de estructuras autotemporizadas para conseguir una forma de onda del consumo total de un circuito lógico a lo largo del tiempo de operación que minimiza el ruido de conmutación generado.

También se ha analizado otra de las alternativas aparecidas en la literatura basada en un consumo constante de corriente de la que se ha analizado su testabilidad, encontrándose que este tipo de lógicas presentan una baja detectabilidad si se utilizan técnicas IDDQ, y se propone como

solución un test basado en la observación del ruido generado, con cotas de detectabilidad muy altas si se completa con el test funcional convencional.

El resto de técnicas de reducción del ruido de conmutación se centran en la forma de proporcionar la energía al circuito. El diseño adecuado de la red de distribución de la alimentación tiene una importancia decisiva en este aspecto ya que debe ser capaz de proporcionar los bruscos picos de consumo demandados por los circuitos integrados desde las fuentes de alimentación. El término a minimizar en este caso es la inductancia de los cables, conectores y pistas y planos de las placas de circuitos impresos y de los substratos en los módulos multi chip (MCM). El uso de condensadores de desacoplo permite compensar estos términos inductivos sirviendo como almacenes de energía, que puede rápidamente ser entregada a quien la demanda con pequeñas caídas de tensión y luego ser recargados más lentamente. El objetivo del diseño de la red de alimentación es conseguir una impedancia reducida en todo el margen de frecuencias de interés para el sistema. Las restricciones impuestas a este diseño por los actuales circuitos de altas prestaciones, ha obligado a implementar soluciones como el uso de convertidores DC/DC locales lo más próximos posible al circuito integrado.

En el interior del encapsulado existe el mismo problema: los picos de consumo deben ser proporcionados a través de las inductancias del encapsulado. Por ello una de las primeras alternativas utilizadas para reducir el ruido de conmutación consiste en reducir esta inductancia aumentando el número de terminales que transportan la energía hacia el interior, reduciendo de esta forma la corriente que ha de circular por cada terminal individual. También se opta por utilizar técnicas avanzadas de encapsulado con reducidos valores de inductancia por terminal (como las técnicas *flip chip* y las bolas de soldadura). Todas estas técnicas encarecen considerablemente el circuito final y complican el montaje sobre la placa de circuito impreso. La tendencia actual es que estas alternativas se extiendan y sus precios lleguen a ser más competitivos.

Otra alternativa utilizada consiste en introducir condensadores de desacoplo dentro del encapsulado. Estos condensadores forman un circuito resonante RLC con el resto del circuito integrado que puede llegar a producir auto oscilaciones de un nivel incluso superior al propio ruido de conmutación si no se diseñan adecuadamente. Algunas soluciones a este problema de las auto oscilaciones han sido propuesta en la literatura, como el uso de resistencias de amortiguación o la inserción de otro circuito RLC que compense las resonancias del primero. Además de estas técnicas, que tienen sus desventajas, en este trabajo se ha propuesto una técnica de alimentación que aísla el condensador de desacoplo de las inductancias del encapsulado, llamada TCMOS, de la que se presentan resultados experimentales sobre un prototipo fabricado, con el que se han conseguido reducciones del ruido de conmutación del orden del 70%.

El paso siguiente, del que se ha realizado un primer estudio de viabilidad y que se propone como línea futura de investigación, consiste en integrar la fuente de alimentación como una parte más del circuito integrado.

El uso de condensadores de desacoplo *on-chip* o la integración de la fuente de alimentación no resuelven el problema que representan los *drivers* de salida, que debido a su gran capacidad de conducción de corriente y a la posibilidad de que todas las salidas de un *bus* realicen una conmutación simultánea en el mismo sentido, son una gran fuente de ruido en los CIs. En este trabajo se han analizado las diferentes propuestas aparecidas en la literatura para reducir el ruido de conmutación en los *drivers* de salida. Éstas se basan en modificar la forma de la conmutación de las salidas, bien dividiendo el *bus* en varios segmentos que conmutan ligeramente desplazados en el tiempo, bien realizando una transición escalonada de la salida en cada *driver*, o bien a tramos o controlando la pendiente en función de la carga. Todas estas técnicas tienden a ralentizar la velocidad de conmutación. En este trabajo se analizan los circuitos en modo corriente multivaluados (MVCML) como una posible alternativa lógica muy insensible al ruido de conmutación  $dI/dt$  y al *crosstalk* y que, aplicada a la comunicación entre circuitos integrados, resuelve el problema del ruido de conmutación dado que permite trabajar con reducidas excursiones tanto de tensión como de corriente. El uso de señales multivaluadas reduce el número de líneas necesarias para transportar la información. El principal inconveniente del uso de corriente es que las comunicaciones deben realizarse punto a punto. Se han presentado resultados experimentales sobre un prototipo completo de CI que incluye circuitos MVCML y *pads* de entrada y salida en modo corriente. Esta es otra de las líneas futuras de investigación en las que podrán realizarse avances importantes que ayuden a los diseñadores a resolver los problemas de ruido de conmutación que se encuentran debido a las exigencias de comunicaciones entre CIs cada vez más rápidas y más complejas. En este sentido debe ponerse especial atención en regular la impedancia de entrada de los receptores modo corriente que debe adaptarse a la de la línea de transmisión para evitar reflexiones.

El trabajo realizado y expuesto en la presente memoria de tesis ha permitido hacer un estudio global del problema del ruido de comunicación en los CIs integrados CMOS y BiCMOS. El análisis sobre los mecanismos de generación y transmisión y la evolución de este fenómeno en función de las tendencias de la tecnología indica que el problema será cada vez más importante y que los diseñadores de CIs tendrán que considerarlo desde las primeras fases del diseño, junto con los otros objetivos de optimización: la velocidad, el área y el consumo. Las técnicas de reducción del ruido de conmutación afectan a todas las fases del diseño, desde la síntesis a alto nivel, la selección de la arquitectura, la síntesis lógica, la lógica concreta utilizada, la alternativa de sincronización, el diseño del encapsulado y el de la distribución de la alimentación. El estudio en profundidad de alguna de las propuestas realizadas permitirá prolongar en el futuro los resultados obtenidos con este trabajo de tesis, sobre todo en el campo de la síntesis a alto nivel y la síntesis lógica orientada a minimizar el ruido de conmutación, el diseño e integración de la fuente de alimentación y el uso de señales en modo corriente para la señalización entre CIs de altas prestaciones.





# Apéndice A

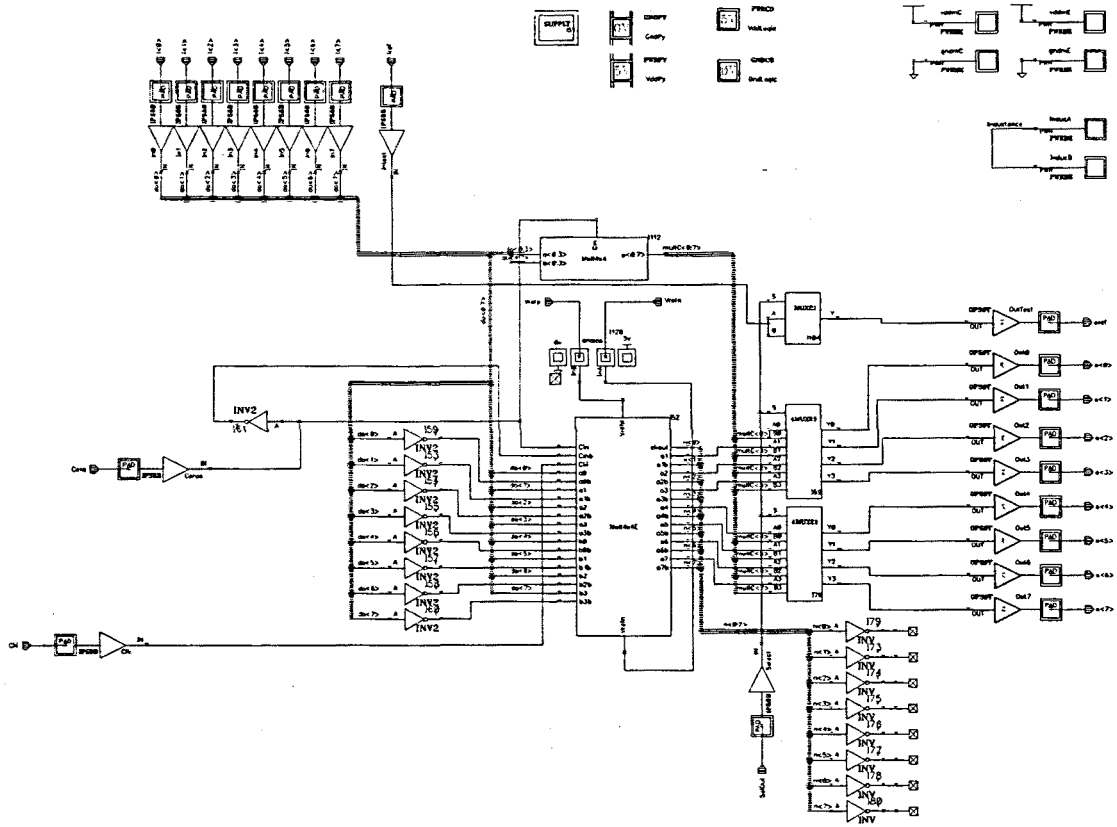
---

## Esquemáticos y layouts del circuito integrado ICECDL

*En este apéndice se adjuntan los esquemáticos de todos los bloques que forman el circuito integrado ICECDL que contiene un multiplicador CMOS estático y otro realizado con lógica ECDL y limitadores de corriente fabricado con una tecnología CMOS de  $0.7 \mu\text{m}$ . Este circuito está explicado en el Capítulo 5 de esta memoria.*

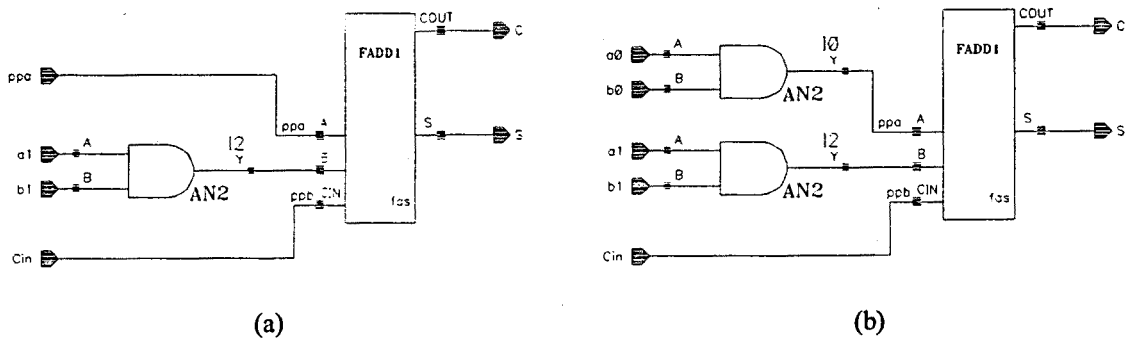
### Leyenda de las máscaras en los layouts

	Contactos
	Vías
	Metal 2
	Metal 1
	Difusión p+
	Difusión n+
	Polisilicio
	Zona activa
	Pozo n



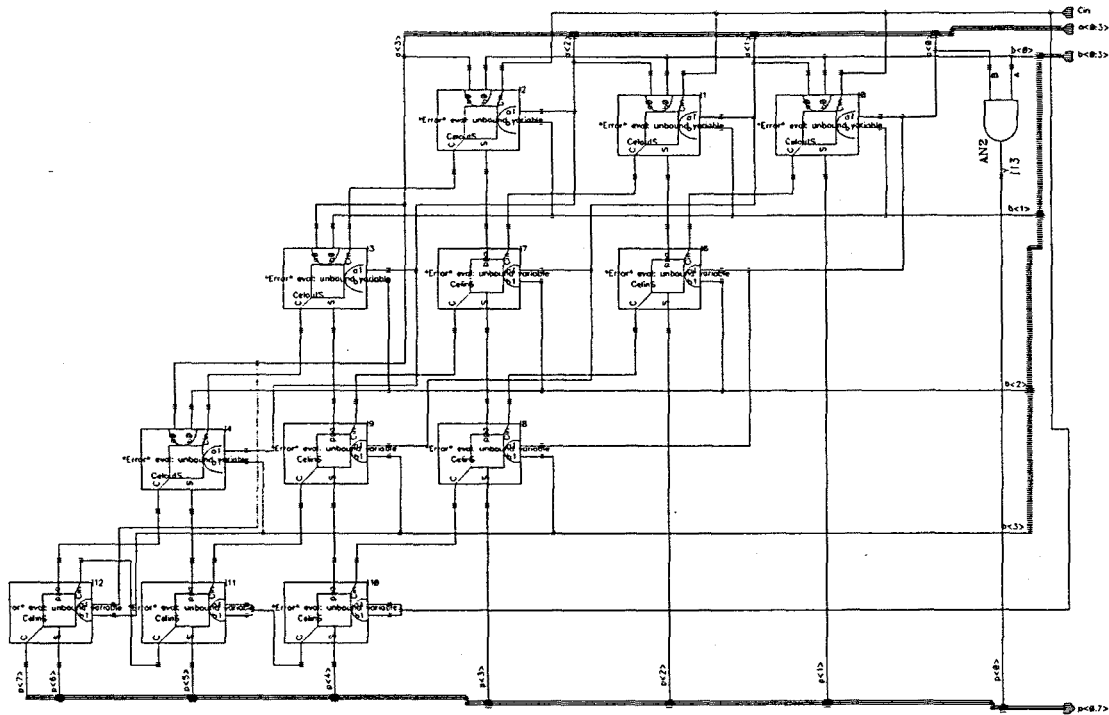
**Figura A-1**

*Diagrama de bloques total del prototipo ICEDCL incluyendo los dos multiplicadores de 4 x 4 bits, el multiplexor de salida y todos los pads de entrada y salida y las alimentaciones.*

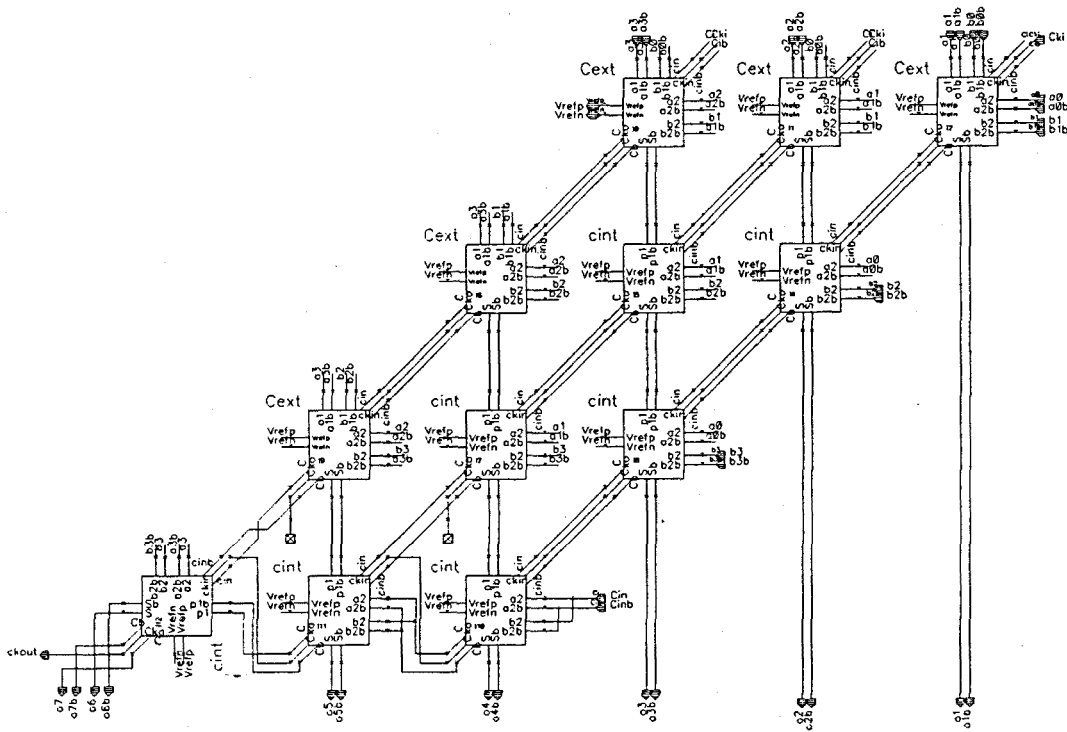


**Figura A-2**

*(a) Celda interna CMOS convencional. (B) Celda externa CMOS convencional*

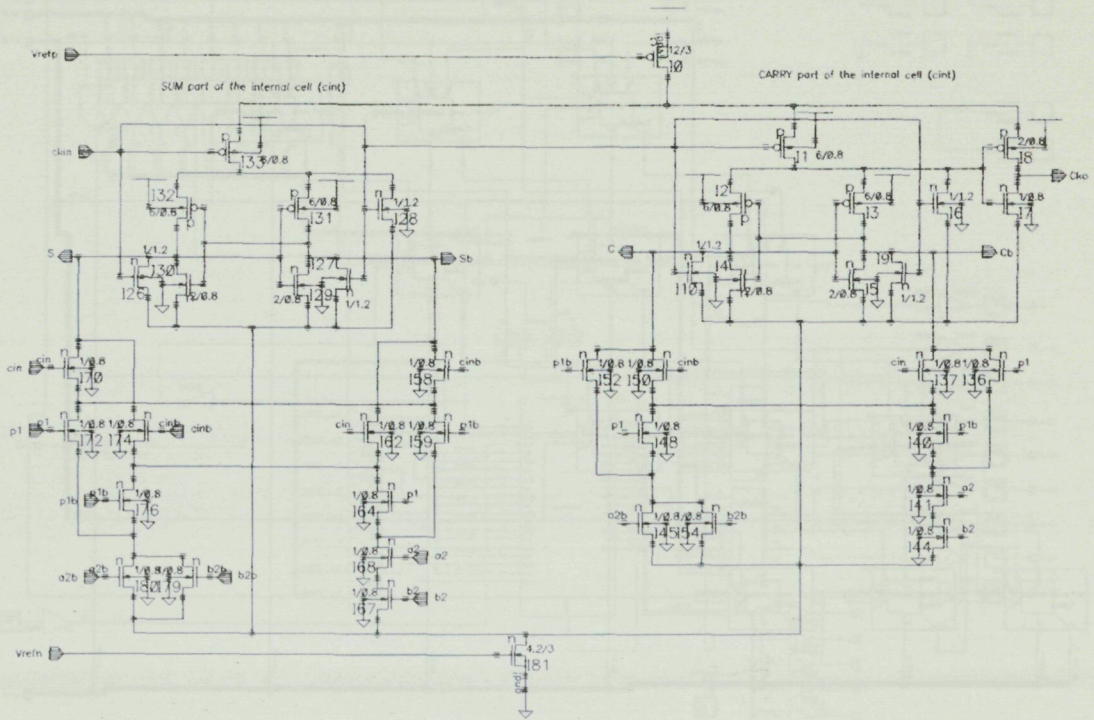


**Figura A-3**  
*Esquemático del multiplicador CMOS estático*



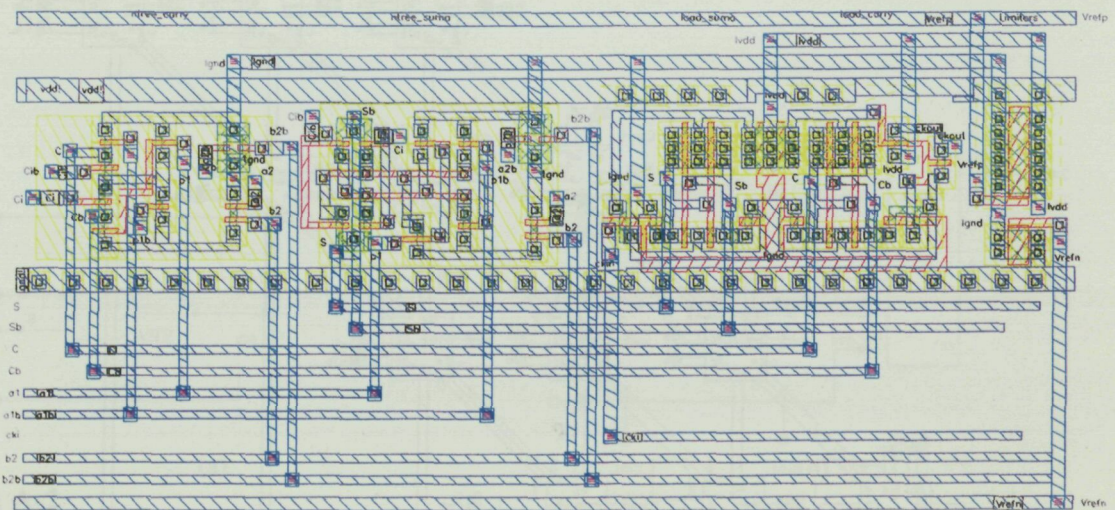
**Figura A-4**  
*Multiplicador ECDL con limitadores en cada celda*





**Figura A-5**  
Esquemático de la celda interna del multiplicador ECDL

Celda Interna Multiplicador ECDL



**Figura A-6**  
Layout de la celda interna del multiplicador ECDL


















# Apéndice B

---

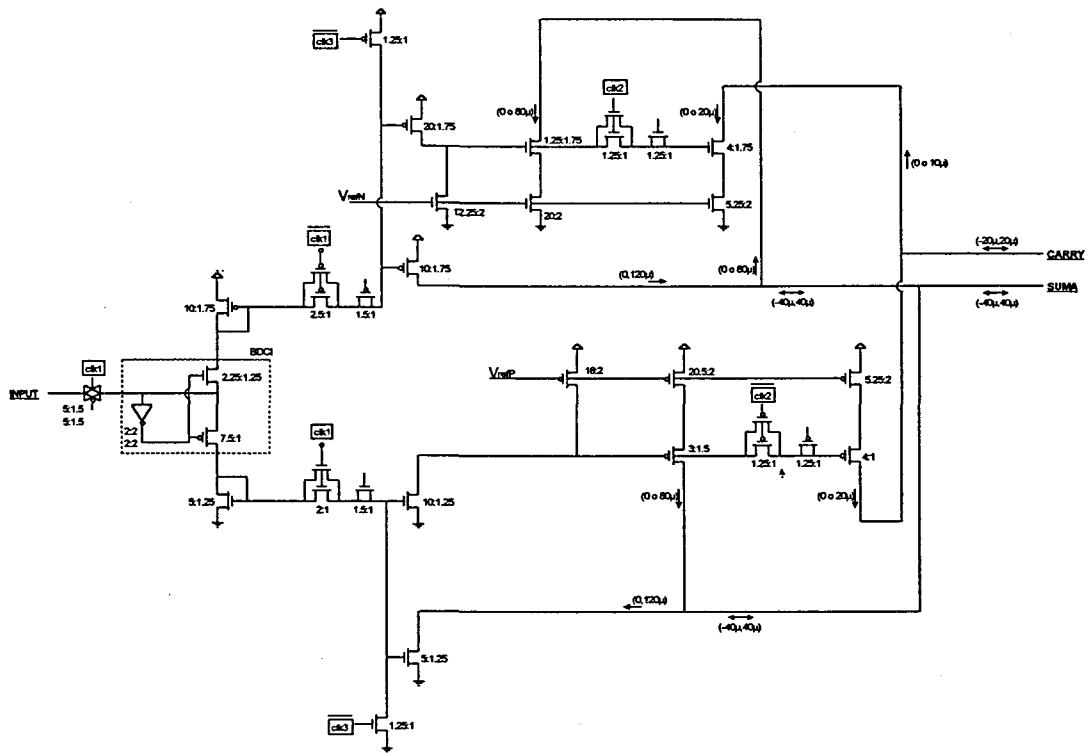
## Esquemáticos y layouts del circuito integrado ICCML

*En este apéndice se adjuntan los esquemáticos de alguno de los bloques y los layouts en detalle de las diferentes partes del prototipo ICCML diseñado con una tecnología CMOS de 1.0  $\mu\text{m}$ . Este circuito está explicado en el Capítulo 7 de esta memoria.*

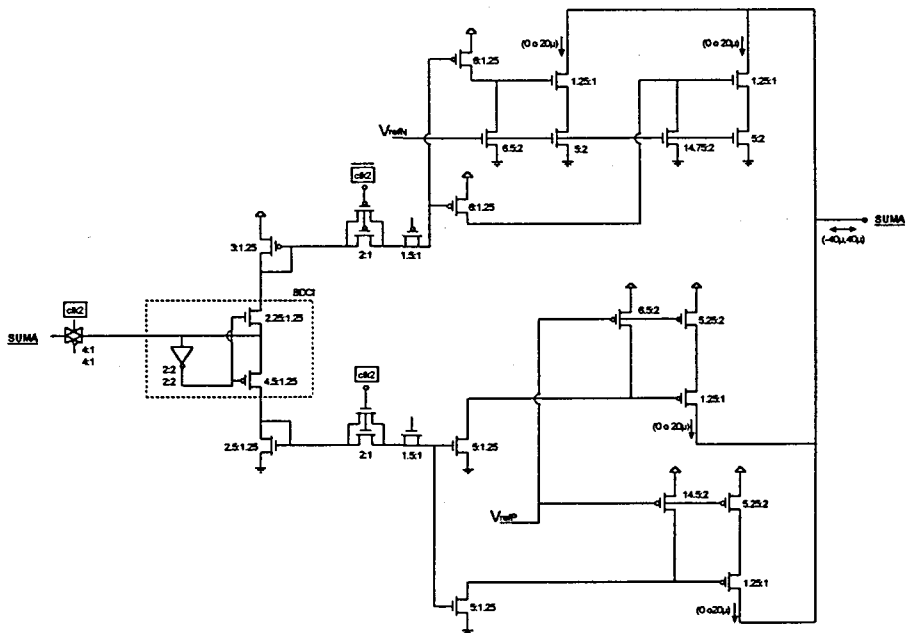
### Leyenda de las máscaras en los *layouts*

	Contactos
	Vías
	Metal 2
	Metal 1
	Difusión p+
	Difusión n+
	Polisilicio
	Zona activa
	Pozo n

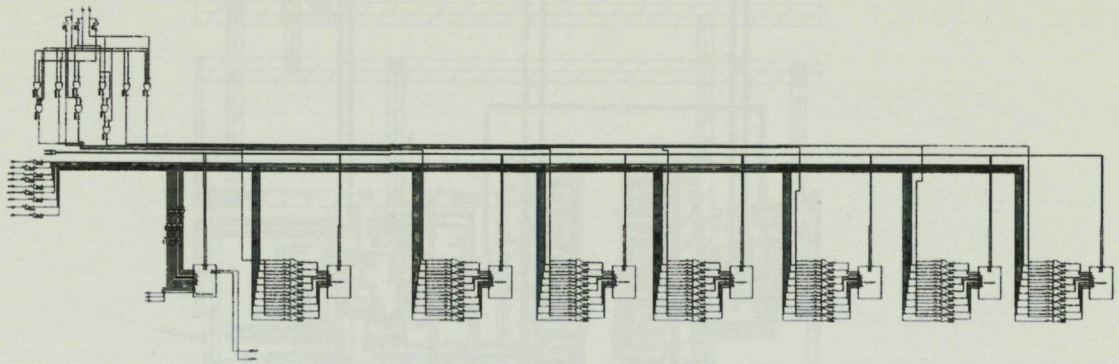




**Figura B-1**  
*Esquemático del bloque SDFa implementado en el prototipo.*

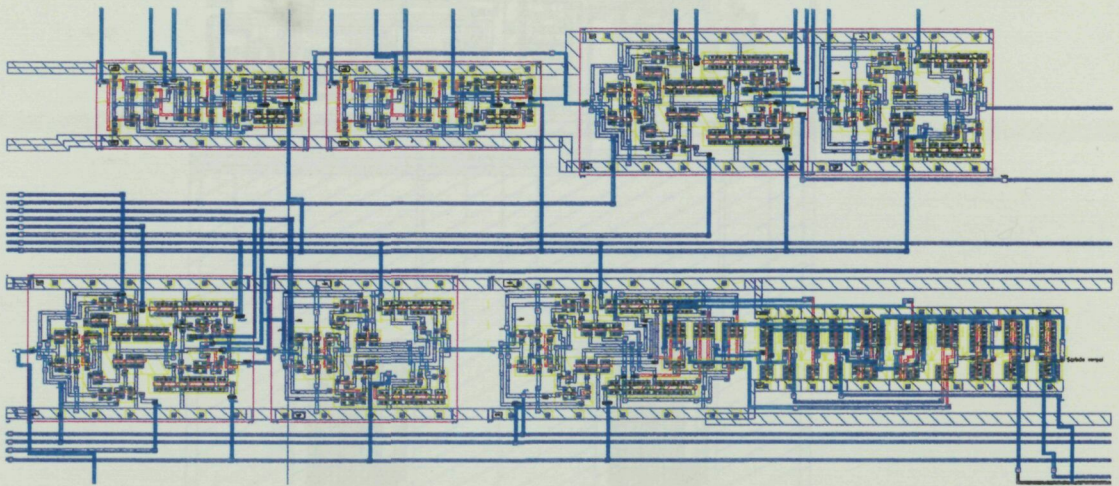


**Figura B-2**  
*Esquemático del bloque Cuantificador implementado en el prototipo.*



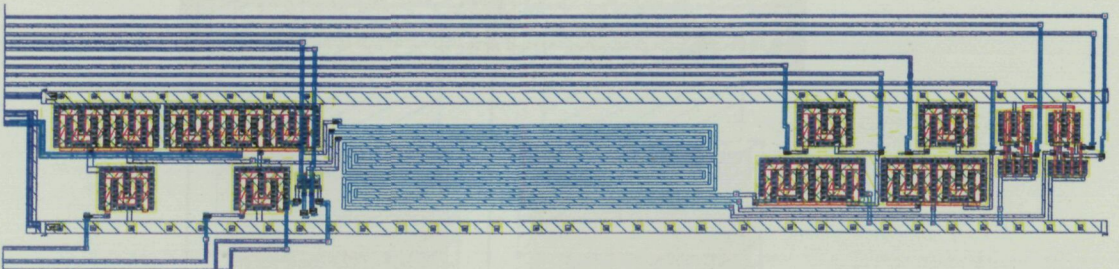
**Figura B-3**

*Diagrama del módulo formado por 8 bloques de cuatro sumadores CML con entradas binarias y lógica de control.*



**Figura B-4**

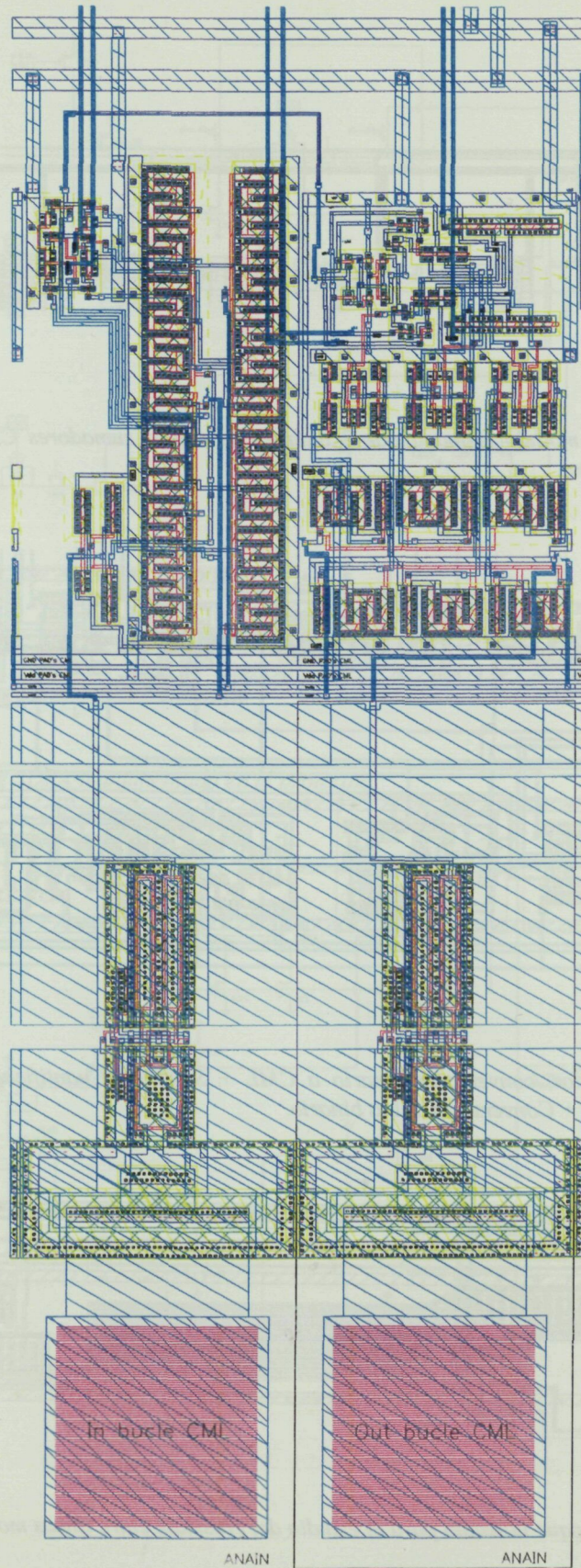
*Cadena superior, conversores binario a CML + SDFA + Cuantificador. Cadena inferior SDFA + Cuantificador + Conversor CML a binario.*



**Figura B-5**

*Layout del bloque utilizado para el estudio del crosstalk entre líneas modo tensión y modo corriente*



**Figura B-6**

*Layout de un pad de entrada CML (izquierda) y un pad de salida CML (derecha).*









